

0111

1001

0010

0110



7



9



2



6

Р. Токхейм *Основы  
цифровой  
электроники*

Издательство «Мир»



κ. 150/3





*Основы  
цифровой  
электроники*

# **Basic Skills in Electricity and Electronics**

---

**Digital Electronics**

**by**

**R. Tokheim**

**Second Edition**

**McGraw-Hill, Inc., New York, USA, 1984**

*Р. Токхейм*

*Основы  
цифровой  
электроники*

Перевод с английского  
канд. физ.-мат. наук В. А. Курочкина  
и канд. физ.-мат. наук В. М. Матвеева  
под редакцией  
канд. техн. наук Е. К. Масловского



*Москва «Мир» 1988*

ББК 32.85  
Т51  
УДК 621.374.1

Токхейм Р.

Т51 Основы цифровой электроники: Пер. с англ. — М.:  
Мир, 1988. — 392 с., ил.  
ISBN 5-03-000981-7

В книге известного американского специалиста последовательно излагаются принципы действия разнообразных электронных схем и устройств. Описаны методы конструирования цифровых приборов и систем на основе серийных микросхем. Книга содержит большое количество иллюстраций, облегчающих усвоение материала.

Для широкого круга читателей: инженерио-технических работников, студентов, изучающих электронику, радиолюбителей и юных техников.

Т  $\frac{2401000000 - 087}{041(01) - 88}$  177 — 88, Ч. 1

ББК 32.85

*Редакция литературы по электронике*

ISBN 5-03-000981-7 (русск.)  
ISBN 0-07-064980-4 (англ.)

© McGraw-Hill, 1984, 1979  
© перевод на русский язык, «Мир», 1988

## Предисловие редактора перевода

Вряд ли сейчас можно найти сферу нашей жизни, в которую не проникли бы в том или ином виде современные устройства цифровой электроники. Их можно встретить буквально на каждом шагу. Утром нас поднимает с постели электронный будильник, а наручные электронные часы сообщают нам о начавшемся новом дне недели и даже способны сыграть несколько бодрящих мелодий. Направляясь на работу, мы выходим на улицу, и дверь подъезда обычно накрепко запирает за нами электронный замок. При входе в метро разменный автомат любезно выдает нам нужное число пятаков взамен опущенной монеты, а зоркий турникет следит за правильной оплатой проезда. В учреждении, где вы работаете или учитесь, наверняка несет или будет нести трудную службу ЭВМ, никогда не устающая, ничего не забывающая, хранящая в своей памяти огромные объемы информации и способная быстро выдавать нужные сведения пользователю по первому требованию...

Основу всех рассмотренных устройств — и электронных часов, и разменного автомата, и автоматического турникета, и ЭВМ — составляют цифровые схемы логических цепей, регистров, счетчиков, таймеров, коммутаторов, дешифраторов, сумматоров, преобразователей и т. п. Понимание физических принципов работы этих схем и методов конструирования сложных систем на их основе является первым необходимым условием того, чтобы электронный будильник всегда подавал сигнал в назначенное время, автомат беспричинно не отказывался выполнять свои функции, а ЭВМ не находилась постоянно в неработоспособном состоянии.

Цифровой электронике принадлежит важнейшая роль в деле обеспечения высокой надежности создаваемых автоматических и автоматизированных систем, управляющих объектами, процессами и производственными системами. Решать эту задачу на качественно новом уровне предстоит и нынешнему поколению студентов самых различных специальностей. Предлагаемая в русском переводе книга Р. Токхейма ориентирована в первую очередь на них. Она может послужить хорошим учебным пособием, удачно сочетающим предельно доходчивое изложение теоретических основ цифровой электроники с разнообразием тематики лабораторных работ и коллоквиумов, для организации которых могут быть использованы завершающие каждую главу задания для самопроверки. Книга хорошо продумана

и в методическом плане: в ней нет ничего лишнего, а учебный материал расположен по возрастанию сложности; приводимые многочисленные иллюстрации дополняют при этом текстовую основу и потому заслуживают самого внимательного изучения.

Для понимания излагаемых в книге принципов цифровой электроники достаточно знаний в объеме школьных курсов физики и математики. Единственное затруднение состоит в том, что практические примеры рассматриваются автором применительно к американским интегральным схемам. В целях преодоления этой непринципиальной трудности в приложении дан перечень отечественных аналогов микросхем, упоминаемых в тексте и на рисунках. В основном это цифровые схемы транзисторно-транзисторной логики серии К155. Характеристики таких интегральных микросхем можно найти в справочнике «Интегральные микросхемы» (М.: Энергоатомиздат, 1985) и в прекрасном справочном пособии «Аналоговые и цифровые интегральные схемы» (М.: Радио и связь, 1984).

Круг читателей этой книги вряд ли целесообразно ограничивать только будущими специалистами по цифровой электронике и автоматике. Ее легко могут прочесть с большой пользой для себя и радиолюбители всех возрастов, и руководители кружков детского технического творчества, да и сами юные техники, которым необходимо хорошо знать современные основы автоматизации и компьютеризации, чтобы успешно применять на практике существующие средства и создавать новые.

Перевод предисловия редактора серии, введения и гл. 1–5 выполнен В. А. Курочкиным, а гл. 6–12, и приложений А и Б – В. М. Матвеевым.

*Е. Масловский*

## Предисловие редактора серии

Серия книг издательства McGraw-Hill под общим названием «Основы электротехники и электроники» предназначена для предварительного ознакомления читателей с широким кругом вопросов, относящихся к этим областям техники. Серия содержит руководства, позволяющие студентам быстро ориентироваться в предмете. Каждая тема включает в себя основной текст, задания для самостоятельной работы и указания для преподавателей. Основное внимание уделяется теоретическим и практическим вопросам, различным приложениям, а также приобретению навыков, необходимых для подготовки к выбранной профессии. Материал, включенный в такую серию, выбирался исходя из двух основных соображений: книги должны носить учебный характер и быть в то же время справочниками. Эти соображения учитывались в серии методом экспертных оценок. Во-первых, к работе над книгами серии привлекались авторы и редакторы, обладающие богатым опытом преподавания и высокой технической квалификацией и потому наиболее глубоко понимающие потребности студентов. Во-вторых, учитывались конкретные потребности коммерческой сферы и промышленности; для этого проводился анализ анкет, результатов специального обследования, индивидуальных интервью, докладов правительственных комиссий и отраслевых обзоров.

Широкое одобрение, которое встретила данная серия, и положительные отзывы читателей подтвердили правильность установленных принципов отбора материала и удачность выбранной формы его изложения, а также выявили высокую эффективность применения книг этой серии в качестве учебных пособий. Естественно, что с течением времени подобное издание нуждается в постоянной корректировке с точки зрения как технического содержания, так и методики обучения. С нашей стороны был приложен максимум усилий, чтобы должным образом отразить современные достижения. Для преподавателей в книгах серии даны тексты и методические указания по каждой теме, которые соответствующим образом структурированы и согласованы с современными целями обучения. Студенты же найдут здесь четко сформулированные понятия, хорошо иллюстрированные и увязанные с сегодняшней техникой и технологией.

Издатель и редактор с благодарностью примут замечания от преподавателей и студентов, использующих книги этой серии.

*Чарльз А. Шулер*

Книга «Основы цифровой электроники» задумана как учебное пособие для студентов, изучающих электронику впервые. Для освоения материала студент должен обладать общей математической подготовкой и быть знакомым с электрическими цепями постоянного тока. Цифровую электронику можно изучать одновременно с общими основами электроники, так как предварительное знакомство с активными дискретными компонентами схем не обязательно, а принципы использования двоичной системы счисления и булевой алгебры вводятся и объясняются постепенно по мере необходимости.

Цифровая электроника в настоящее время уже не является узкоспециальной областью электроники: цифровые схемы, первоначально применявшиеся только в вычислительных устройствах, теперь широко используются почти во всех более или менее сложных электронных приборах. Такие схемы можно найти в автомобилях, связанной аппаратуре, игрушках, звуковоспроизводящих системах, компьютерах и калькуляторах. Их можно также обнаружить в телевизионных приемниках, бытовой аппаратуре и в измерительных приборах. Бурное развитие микроэлектроники привело к быстрому расширению областей применения цифровых схем.

Второе издание книги «Основы цифровой электроники» включает 25 новых тем. Часть их посвящена элементам транзисторно-транзисторной логики (ТТЛ) и принципам работы комплементарных схем со структурой «металл-окисел-полупроводник» (КМОП-схем), а также методам поиска неисправностей с применением соответствующего оборудования. Семь тем связаны с микропроцессорной техникой, шестнадцатеричной и двоичной системами счисления, дополнительными кодами, с микроЭВМ, принципами их работы и декодированием адресов памяти. Новый материал касается также цифровых синхронизаторов на больших интегральных МОП-схемах и элементов цифровых индикаторов, работающих в мультиплексном режиме. Для удобства читателей простые сопряжения ТТЛ- и КМОП-схем включены в раздел приложения Б, касающийся комбинированных МОП-КМОП интегральных схем. Добавлен также материал по электронным индикаторам на жидких кристаллах.

Одна из наиболее трудных задач, с которыми приходится сталкиваться преподавателям, — это пробуждение



у студентов интереса к обучению. Для поддержания такого интереса на высоком уровне в тексте используются следующие принципы:

1. Простые двухцветные иллюстрации подчеркивают важнейшие моменты изложения и помогают студентам сосредоточить внимание на основных понятиях.
2. Многочисленные короткие задания для проверки (с ответами) непосредственно закрепляют полученные знания и создают уверенность в успешном освоении материала.
3. Формат книги специально выбран таким, чтобы можно было вынести на поля страниц важнейшие термины и понятия.
4. Изложение материала по принципу выделения систем и подсистем делает его более доходчивым для студентов.
5. Простая методика анализа формирует у студентов практические навыки отыскания неисправностей в схемах.
6. Особое значение придается несложным, часто встречающимся на практике задачам.

Материал данной книги основан на тщательном отборе и глубоком понимании исходных целей обучения. Для приведения этих целей в соответствие с последними достижениями использовались обзоры технической литературы, опрос студентов, учитывались отзывы преподавателей и представителей промышленных кругов. Цели затем уточнялись применительно к цифровым системам и подсистемам. В цифровой электронике принцип выделения систем и подсистем является основополагающим вследствие широкого применения интегральных схем как со средней, так и с высокой степенью интеграции. Изучение принципов работы выделяемых систем и подсистем проводится на примере использования интегральных схем с низкой степенью интеграции. Все электронные схемы, встречающиеся в тексте книги, можно собрать на серийно выпускаемых микросхемах транзисторно-транзисторной логики и продемонстрировать в ходе учебного процесса.

Я признателен многим преподавателям, студентам и специалистам из промышленных кругов, внесшим свой вклад в создание этой книги. Особой благодарности заслуживает мой бывший студент Дон Халгрэн за его самоотверженный труд по скрупулезной проверке работоспособности всех схем, фигурирующих в этой книге. В заключение я хотел бы выразить глубокую признательность членам моей семьи Дэниелу, Маршаллу и Кэри за их помощь и долготерпение.

*Роджер Л. Токхейм*

## Соблюдайте правила техники безопасности!

Электрические приборы и цепи могут представлять определенную опасность для работающих с ними людей. Поэтому для предотвращения поражения электрическим током, а также пожаров, взрывов, механических разрушений и травм, связанных с неправильным использованием технических средств, необходимо соблюдать технику безопасности.

Вероятно, наиболее опасно для человека поражение электрическим током. Если через человеческое тело пройдет ток, превышающий 10 мА, то он парализует человека и лишает его возможности оторваться от провода, находящегося под напряжением. Вообще говоря, 10 мА — это довольно небольшой электрический ток: всего *десять тысячных долей* ампера. В обычном карманном фонарике, например, проходит ток, в 100 раз превышающий эту величину. Если же человек подвергается воздействию тока более 100 мА, то это во многих случаях приводит к *смертельному* исходу. Но и ток 100 мА все же меньше тока, протекающего в карманном фонарике.

Батарейка карманного фонарика вырабатывает ток, значительно больший того, который убивает человека. Вместе с тем можно, совершенно не опасаясь, касаться руками ее выводов: сопротивление человеческой кожи, как правило, достаточно велико, так что протекающий по ней электрический ток мал. Человеческая кожа обычно имеет сопротивление в несколько сотен тысяч ом. В низковольтных цепях при столь высоком сопротивлении ток оказывается очень малым, и угроза поражения электрическим током в этих условиях чрезвычайно мала.

При высоком напряжении через кожу может протекать достаточно большой ток, приводящий к электрическому поражению, степень опасности которого возрастает по мере увеличения напряжения. Те, кто работает с высоковольтными цепями, должны использовать специальное оборудование и защитные средства.

Если человеческая кожа влажная или имеет повреждение, ее сопротивление уменьшается до нескольких сотен ом. Следовательно, электрическое поражение может возникнуть при значительно меньших напряжениях. Если кожный покров человека нарушен, то даже напряжение порядка 40 В может привести к смертельному исходу! Хотя большинство технических специалистов и рабочих-электриков считает 40 В *низким напряжением*, его нельзя назвать *безопасным*.

Отсюда следует, что вы должны быть очень осторожны даже в тех случаях, когда работаете с так называемыми низкими напряжениями.

Людей, понимающих, что такое техника безопасности, нельзя ввести в заблуждение таким термином, как *низкое напряжение*. Они не слишком надеются на защитные средства и не спешат поверить, что электричество отключено, даже если рубильник находится в положении «выключено». Они знают, что рубильник может быть неисправным.

По мере того как будут углубляться ваши знания в области электротехники и электроники, вы познакомитесь со многими специальными правилами безопасной работы и приобретете практические навыки. Но пока этого не произошло, придерживайтесь следующих правил:

1. Изучайте ситуацию, прежде чем действовать.
2. Четко выполняйте инструкции.
3. Если в чем-то сомневаетесь, то, *прежде чем действовать*, обратитесь к инструктору.

### Основные правила техники безопасности в электротехнике и электронике

Техника безопасности защитит вас и всех вокруг. А для этого изучите приводимые ниже правила, обсудите их с другими и выясните у вашего инструктора все, что вам непонятно.

1. Не работайте, когда вы устали или приняли лекарства, нарушающие вашу работоспособность.
2. Не работайте при плохом освещении.
3. Не работайте в сырых помещениях.
4. Используйте только официально рекомендованные инструменты, оборудование и защитные средства.
5. Не работайте во влажной одежде или при влажном состоянии кожи.
6. При работе с электрическим током снимайте с себя кольца, браслеты и подобные им металлические предметы.
7. Никогда не полагайтесь на то, что электрическая цепь отключена. Проверяйте это по прибору или с помощью какого-либо устройства, в надежной работе которого вы уверены.
8. Не трогайте приборы, контролирующие безопасность работы. Никогда не нарушайте работу блокировочного выключателя. Убедитесь в надежности блокировки.
9. Содержите ваш инструмент и оборудование в образцовом состоянии. Используйте для работы исправный инструмент.
10. Проверьте, разряжены ли конденсаторы. Некоторые конденсаторы способны сохранять опасный для жизни заряд в течение длительного времени.

11. Не отключайте заземление от оборудования. Проверяйте, не нарушена ли заземляющая цепь.
12. Не используйте переходные устройства, нарушающие качество заземления.
13. Используйте только аттестованные огнетушители. Вода может проводить электрический ток и тем самым увеличивать опасность аварии и разрушений. Огнетушители на двуокиси углерода ( $\text{CO}_2$ ) и галогенизированные огнетушители являются наиболее подходящими для тушения пожаров из-за неисправности электрических цепей. В некоторых случаях можно использовать пенные огнетушители.
14. При работе с химическими растворами и веществами строго следуйте инструкциям во избежание взрывов, воспламенения или разрушающего воздействия на электрические цепи.
15. Некоторые электрические приборы снижают безопасность работы оборудования. Используйте всегда только исправные запасные части.
16. Применяйте защитную одежду и безопасные очки, когда работаете с приборами высокого вакуума, такими, как телевизионный кинескоп.
17. Не пытайтесь работать со сложными приборами или электрическими цепями, прежде чем не будете подготовлены к этому. Избегайте скрытой опасности.
18. Важная информация о правилах безопасности при работе с электротехническим и электронным оборудованием содержится в инструкции изготовителя. Найдите и изучите эту инструкцию!

Некоторые из приведенных выше правил можно было бы расширить. По мере обучения вы освоите многие детали, касающиеся правил работы. Тщательно изучайте эти правила—они являются наиболее важной информацией для вас.

Помните и всегда выполняйте правила техники безопасности—от этого зависит ваша жизнь!

# Глава 1

## Цифровая электроника

В этой главе вы получите общее представление о цифровой электронике. Из нее вы узнаете, что такое цифровые электронные схемы и как они используются в электронной аппаратуре широкого применения.

Кроме того, вы изучите практические методы получения одиночных цифровых импульсов с помощью тумблеров, ползунковых и кнопочных механических переключателей. Вы познакомитесь с практическими схемами генераторов тактовых импульсов, а также с простыми способами контроля цифровых сигналов **ВЫСОКОГО** и **НИЗКОГО** уровней с использованием схем на светодиодах. В конце этой главы мы научим вас обращаться с логическим пробником — прибором для контроля работы цифровых схем.

Цифровая электроника вводит вас в мир микрокалькуляторов, ЭВМ, интегральных схем и двоичных чисел 0 и 1. Это бурно развивающаяся область электроники, поскольку число полезных применений цифровых электронных схем растет чрезвычайно быстро. Одна маленькая интегральная схема может выполнять функции тысяч транзисторов, диодов и резисторов. Вы сталкиваетесь с работой цифровых электронных схем почти ежедневно. В магазинах информация выводится на цифровые индикаторы кассовых аппаратов. В ближайшее время появятся персональные микроЭВМ размером с маленькие карманные микрокалькуляторы. Современные большие и малые ЭВМ выполняют расчеты с фантастической быстротой и точностью. Работа промышленного оборудования контролируется цифровыми электронными схемами. Мы узнаем время по электронным цифровым настольным и наручным часам. В автомобилях для контроля работы двигателя начинают применяться микропроцессоры. Технические специалисты широко используют в своей работе цифровые вольтметры и частотомеры.

В настоящее время все, кто работает с электронными устройствами, должны понимать основные принципы работы цифровых электронных схем. Наличие недорогих интегральных схем существенно облегчает изучение принципов цифровой электроники. Вы будете использовать всевозможные интегральные схемы для конструирования цифровых электронных схем.

### 1.1. Что такое цифровая электронная схема?

Изучая электричество или электронику, вы, вероятно, уже не раз пользовались аналоговыми электрическими цепями.

## Аналоговый сигнал

Электрическая цепь, показанная на рис. 1.1, а, вырабатывает на выходе *аналоговый* сигнал напряжения. Если движок потенциометра перемещать вверх, напряжение между точками *A* и *B* будет *плавно* увеличиваться. Когда движок перемещается вниз, напряжение постепенно уменьшается от 5 до 0 В. График изменения напряжения, показанный на рис. 1.1, б, характеризует аналоговый выходной сигнал.

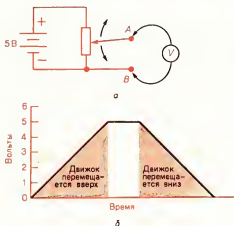


Рис. 1.1.

а — аналоговый сигнал с выхода потенциометра;  
б — форма аналогового сигнала.

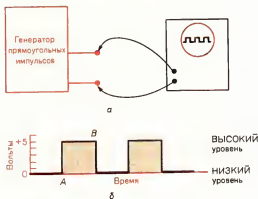


Рис. 1.2.

а — цифровой сигнал, наблюдаемый на экране осциллографа; б — форма цифрового сигнала.

В левой части графика напряжение между точками *A* и *B* постепенно возрастает до 5 В, в правой части напряжение постепенно снижается до 0 В. Остановив движок где-нибудь в средней части потенциометра, мы можем получать на выходе любое напряжение между 0 и 5 В. Таким образом, аналоговое устройство — это такое устройство, в котором сигнал на выходе *меняется непрерывно* при постепенном изменении сигнала на входе.

Цифровые устройства оперируют с цифровыми сигналами. На рис. 1.2, а изображен генератор прямоугольных импульсов. Генератор непрерывно выдает сигналы прямоугольной формы, которые можно наблюдать на экране осциллографа. Как показано на рис. 1.2, б, в *цифровом* сигнале имеются только два уровня напряжения: +5 и 0 В. В точке *A* напряжение возрастает от 0 до 5 В. Далее оно в течение какого-то времени остается равным +5 В. В точке *B* напряжение быстро падает от +5 В до 0 В, а затем некоторое время сохраняет величину 0 В. Для цифровых электронных схем, таким образом, существенны только два значения напряжения. На рис. 1.2, б показана форма цифрового сигнала, а эти значения напряжения названы **ВЫСОКИМ** и **НИЗКИМ** уровнями. Первому соответствует напряжение +5 В, второму — 0 В. Далее мы будем называть

## Цифровой сигнал

**ВЫСОКИЙ** уровень (+ 5 В) логической единицей, а **НИЗКИЙ** уровень (0 В) — логическим нулем.

Схемы, в которых применяются сигналы только двух типов — с **ВЫСОКИМ** и **НИЗКИМ** уровнями напряжения — называются *цифровыми схемами*. Мы уже заметили ранее, что цифровая электроника — это мир логических нулей и единиц. Величины напряжений, приведенные на рис. 1,2, б, довольно типичны для цифровых схем, с которыми вы будете иметь дело.

Цифровой сигнал, показанный на рис. 1,2, б, можно получить с помощью обычного переключателя. Такой же цифровой сигнал возникает при включении и выключении транзистора. В последнее время для генерации и обработки цифровых сигналов применяют в основном интегральные схемы (ИС).

Стандартный прибор для измерения напряжений, токов и сопротивлений, показанный на рис. 1.3, а, — пример *анало-*



а



б

Рис. 1.3.

а — аналоговый универсальный измерительный прибор; б — цифровой универсальный измерительный прибор. (Фотографии предоставлены фирмой Simpson Electric Company.)

Цифровой универсальный измерительный прибор

гового измерительного устройства. Когда напряжение, ток или сопротивление, измеряемые прибором, возрастают, стрелка ползет вверх по шкале постепенно и непрерывно. Цифровой универсальный измерительный прибор (мультиметр), показанный на рис. 1.3, б, служит примером цифрового измерительного устройства. Когда электрический ток, сопротивление или напряжение, измеряемые этим прибором, возрастают, цифровые показания на его шкале увеличиваются скачкообразно, изменяясь дискретным образом. Этот прибор-пример того, как цифровые электронные схемы принимают на себя функции, которые ранее выполнялись лишь аналоговыми устройствами. Тенденция перехода к цифровым схемам в последнее время все более заметна: теперь комплект оборудования на современном стенде технического специалиста может включать как аналоговую, так и цифровую измерительную аппаратуру.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Уровень +5 В \_\_\_\_\_ (аналогового, цифрового) сигнала (см. рис. 1.2) называют также логической единицей или \_\_\_\_\_ (ВЫСОКИМ, НИЗКИМ) уровнем.
2. Прибор, в котором сигнал на выходе изменяется непрерывно при постепенном изменении сигнала на входе, называется \_\_\_\_\_.

### 1.2. Где применяются цифровые схемы?

Цифровая электроника — это быстро развивающаяся область современной техники, о чем свидетельствует, в частности, появление микроЭВМ. На рис. 1.4 показана одна из персональных ЭВМ типа Apple II. Эта система помимо самой микроЭВМ включает в себя видеомонитор и запоминающее устройство (ЗУ) на гибких дисках. При соответствующем программном обеспечении систему такого типа можно использовать как в домашних условиях, так и в школах и небольших коммерческих учреждениях. МикроЭВМ легко приспособить к выполнению самых различных функций. Дома эту систему можно использовать для электронных игр или для планирования семейного бюджета. В школе эту же ЭВМ могут применять как учащиеся (например, для изучения правил правописания и математических действий), так и учителя (скажем, для учета посещаемости и успеваемости учеников). В коммерческих учреждениях та же микроЭВМ может составлять и вести платежные, инвентарные и почтовые ведомости. При наличии печатающего устройства и соответствующего программного обеспечения ми-

МикроЭВМ

Видеомонитор

ЗУ на гибких дисках





Рис. 1.4. Типичная микроЭВМ для домашнего пользования. (Фотография предоставлена фирмой Apple Computer, Inc.)

кроЭВМ, показанная на рис. 1.4, превращается в систему обработки текстовой информации.

Микропроцессоры

Основой микроЭВМ являются сложные ИС, называемые *микропроцессорами*. Кроме них в микроЭВМ входит большое число запоминающих устройств на ИС. МикроЭВМ, содержащая микропроцессоры и полупроводниковые запоминающие устройства, произвели революционный переворот в индустрии персональных компьютеров. Малые ЭВМ, стоившие ранее десятки тысяч долларов, теперь стоят только сотни долларов. Как в больших, так и в малых ЭВМ в настоящее время используются цифровые электронные схемы, размещающиеся внутри корпусов ИС.

Микрокалькулятор

Карманный микрокалькулятор — другой пример цифрового электронного устройства, которым пользуется чуть ли не каждый. Микрокалькуляторы весьма разнообразны — от очень простых, стоимостью 5 долл., до довольно сложных, используемых инженерами и научными работниками. Пример дорогого микрокалькулятора показан на рис. 1.5. Это полностью программируемая система, снабженная такими периферийными устройствами, как печатающее устройство и световой карандаш. На рис. 1.5 показаны также блок дополнительной памяти и программный модуль. В отличие от многих типов микрокалькуляторов, которые оперируют



Рис. 1.5. Микрокалькулятор высокого класса с периферийными устройствами. (Фотография предоставлена фирмой Hewlett-Packard.)



а



б

Рис. 1.6.  
а — цифровой частотомер; б — цифровой измеритель емкости. (Фотографии предоставлены фирмой Global Specialties Corporation.)

только числами, описываемая система способна обрабатывать и выводить на экран дисплея не только числовую, но и буквенную информацию. Микрокалькуляторы, подобные изображенному на рис. 1.5, по сути дела, уже становятся миниатюрными ЭВМ. Буквально два-три десятка лет назад даже простые микрокалькуляторы стоили тысячи долларов. За это время ученые, инженеры и техники далеко продвинулись в производстве ИС. В результате этих успехов масштабы применения средств цифровой электроники сегодня растут не по дням, а по часам.

Стенд технического специалиста выглядит теперь совсем по-новому. На нем обязательно имеется цифровой универсальный измерительный прибор, который измеряет сопротивление, напряжения и токи. В цифровом приборе, показанном на рис. 1.3, б, применен современный маломощный экономичный индикатор на жидких кристаллах. Этот прибор снабжен батарейным питанием, обладает точностью по постоянному току и напряжению  $0,2\%$ , имеет автоматический указатель полярности, характеризуется высоким входным сопротивлением при измерении напряжений и защищен от перегрузок.

На стенде можно также увидеть *частотомеры*. Этот прибор с поистине фантастическими возможностями позволяет регистрировать и измерять частоту сигнала переменного тока порядка десятков миллионов периодов в секунду. На рис. 1.6, а изображен один из приборов такого типа.

Другой цифровой прибор, который можно часто встретить во многих радиомастерских и лабораториях, — *цифровой измеритель емкости*. Один из таких приборов показан на рис. 1.6, б. Он позволяет измерять емкости в диапазоне

Частотомер

Цифровой измеритель емкости

от 1 пФ до 199 900 мкФ. В современных частотомерах и универсальных приборах для измерения токов, напряжений и сопротивлений широко используются цифровые электронные схемы.

Цифровые электронные схемы имеются и в автомобиле. Это может быть микропроцессор, устанавливающий с большой точностью момент зажигания в цилиндрах двигателя. На приборной доске светится шкала *цифрового тахометра*. Цифровые часы и цифровой спидометр могут быть вмонтированы в приборную панель. Цифровые приборы могут регулировать подачу топлива в двигатель и сообщать о его расходе. На приборной доске постоянно светятся красноватые цифры. Даже в автомобильном радиоприемнике могут использоваться цифровые электронные схемы. Все больше и больше цифровых схем появляется теперь в радиоприемниках и телевизорах.

Цифровые схемы широко используются и в многочисленных бытовых приборах, которые можно купить в вашем местном торговом центре. Например, в ювелирном отделе вы найдете цифровые наручные часы, высвечивающие время на индикаторе. Такие часы ценят за высокую точность хода. Они поистине символизируют собой триумф современной микроселектронной технологии. Широким спросом пользуются настольные часы и секундомеры. Например, цифровые настольные часы, показанные на рис. 1.7, а, вы можете собрать из деталей продаваемого в магазине конструктора.

Кассовый аппарат в вашем местном продуктовом магазине может оказаться сложнейшим цифровым устройством.

Цифровой тахометр  
Цифровые часы  
Цифровой спидометр

Цифровые наручные часы



а



б

Рис. 1.7.

а — цифровые часы; б — цифровой метеорологический прибор. (Фотографии предоставлены фирмой Heath Company.)

Универсальный код  
товаров

Торговый регистратор

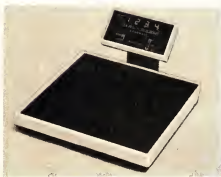
Цифровой метеороло-  
гический прибор

Термообогреватель

Многие такие аппараты снабжают теперь оптическим устройством для автоматического считывания информации, содержащейся в универсальном коде товара (УКТ). Этот код печатают на упаковках продуктовых товаров. Код представляет собой набор прямоугольных параллельных полос различной ширины с цифрами, которые напечатаны внутри их. В коде шифруется информация об изготовителе, о характеристиках товара. Специальный торговый регистратор может запоминать текущие цены товаров и даже одновременно осуществлять их инвентарный контроль в магазине. Данные считываемого кода обрабатываются цифровыми схемами, имеющимися в регистраторе.

В вашем доме также наверняка есть предметы с цифровыми электронными схемами. Время, температуру, скорость и направление ветра, атмосферное давление можно узнать, если взглянуть на цифровой метеорологический прибор, который показан на рис. 1,7,б. Этот прибор представляет собой микропроцессорную измерительную систему, накапливающую информацию о погоде. Раньше в звуковоспроизводящих стереосистемах и в радиоприемниках использовались исключительно аналоговые устройства, но с недавнего времени и здесь стали применять цифровые схемы. Обогревом вашего жилого помещения может управлять один из новейших «умных» приборов — автоматически включаемый и выключаемый термообогреватель. Широко используется цифровая электроника в электронных играх и в видеонграх. Такие бытовые приборы, как печи СВЧ, стиральные машины и сушилки могут иметь в своем составе сложные цифровые схемы, контролируемые микропроцессорами. В вашей ванной комнате могут находиться цифровые весы, показанные на рис. 1.8,а, или цифровой термометр, изображенный на рис. 1.8,б.

В школе может использоваться вычислительная система, изображенная на рис. 1.4, для обучения иностранным язы-



а



б

Рис. 1.8.

а — цифровые весы; б — цифровой термометр. (Фотографии предоставлены фирмой Heath Company.)

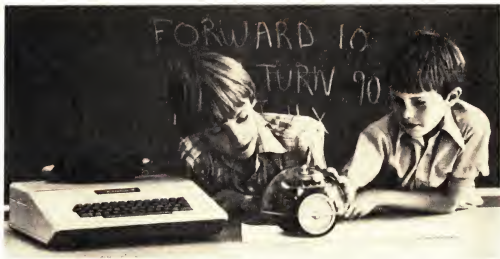


Рис. 1.9. Учащиеся младших классов управляют небольшим роботом с помощью микроЭВМ. (Фотография предоставлена фирмой Teggair, Inc.)

Робот

кам, программированию, математике или общественным дисциплинам. В школьных кабинетах могли бы найти применение микроЭВМ для управления устройствами, подобными небольшому роботу, показанному на рис. 1.9. Используя этот робот, школьники младших классов узнают о том, как микроЭВМ управляют сложными машинами.

Первоначально цифровые электронные схемы использовались только в ЭВМ. Теперь эти схемы вследствие их низкой цены и высокой точности применяются во многих других устройствах и приборах. Поскольку цифровые схемы имеются почти во всех электронных приборах, любой хорошо обученный специалист должен знать, как они работают.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

3. В универсальном \_\_\_\_\_ приборе, показанном на рис. 1.3, б, используется современный индикатор на \_\_\_\_\_ с малым потреблением энергии.
4. Необычайно быстрое развитие цифровой электроники обусловлено успехами в технологии изготовления \_\_\_\_\_ схем.
5. Основой микроЭВМ, подобной той, которая показана на рис. 1.4, является сложная интегральная схема, называемая \_\_\_\_\_.

### 1.3. Как получать цифровые сигналы?

Цифровой сигнал представляет собой чередование двух четко определенных уровней напряжения. Для большинства цифровых схем, с которыми вы будете далее встречаться, эти уровни характеризуются напряжением около 0 В (земля) и напряжением от +3 до +5 В. Указанные уровни называются *уровнями напряжения ТТЛ-схем*, потому что они используются в цифровых схемах на основе ИС, относящихся к семейству схем *транзисторно-транзисторной логики* (ТТЛ).

Цифровые ТТЛ-сигналы можно получить вручную, применяя механический переключатель. Рассмотрим простую цепь, показанную на рис. 1.10, а. Когда контактный рычажок однополюсного ползункового двухпозиционного переключателя перемещается из верхнего положения в нижнее и обратно, формируется *цифровой сигнал*, форма которого показана на рис. 1.10, а справа. В течение времени  $t_1$  напряжение равно 0 В, а на интервале  $t_2$  оно равно +5 В. В течение времени  $t_3$  напряжение опять становится равным 0 В

Уровни напряжения  
ТТЛ-схем

Транзисторно-тран-  
зисторная логика

Однополюсный пол-  
зунковый двухпози-  
ционный переключатель  
Форма цифрового  
сигнала

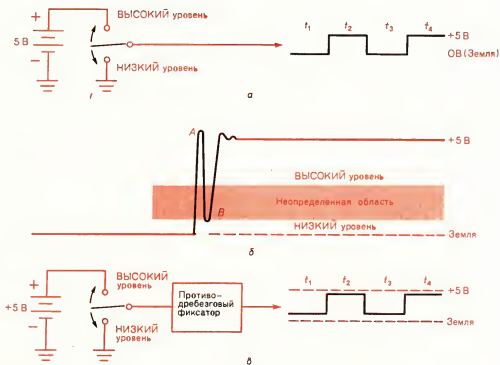


Рис. 1.10.

а — получение цифрового сигнала при помощи переключателя; б — переходный процесс из-за дребезга контакта механического переключателя; в — добавление противодребезгового фиксатора к механическому переключателю для получения стандартного цифрового сигнала.

(НИЗКИЙ уровень), а в течение времени  $t_4$  оно опять принимает значение  $+5\text{ В}$  (ВЫСОКИЙ уровень).

Дребезг контакта

Недостатком механического переключателя является *дребезг контакта* сразу после переключения. Если внимательно проследить за формой сигнала при переходе напряжения от НИЗКОГО уровня к ВЫСОКОМУ, то можно заметить следующие особенности этой формы, показанные на рис. 1.10, б. Сначала НИЗКИЙ уровень напряжения сразу сменяется ВЫСОКИМ (точка А), а затем из-за дребезга контактного рычажка падает до НИЗКОГО (точка В) и снова возрастает до ВЫСОКОГО уровня. Хотя все это происходит за очень короткое время, некоторые быстродействующие цифровые схемы воспринимают этот процесс как чередование НИЗКОГО, ВЫСОКОГО, снова НИЗКОГО и снова ВЫСОКОГО уровней напряжений. Заметим, что на самом деле, как показано на рис. 1.10, б, существует некоторый диапазон напряжений, соответствующих ВЫСОКОМУ и НИЗКОМУ уровням. Сигналы с уровнями, находящимися в промежуточной, *неопределенной области* напряжений, доставляют много неприятностей при работе с цифровыми электронными схемами, и таких сигналов необходимо избегать.

Неопределенная область напряжений

Для решения проблемы, проиллюстрированной на рис. 1.10, б, механические переключатели иногда дополняют специальными *противодребезговыми устройствами*. Блок-схема *бездребезгового логического переключателя* показана на рис. 1.10, в. Обратите внимание на использование в этой схеме специального устройства, исключающего дребезг и называемого фиксатором. Почти все механические логические переключатели, которыми вы будете пользоваться в лабораторном практикуме, снабжены фиксаторами. Фиксаторы иногда называют триггерами-защелками; более подробно их работу мы рассмотрим в одной из следующих глав. Как видно из рис. 1.10, в, НИЗКИЙ уровень на выходе фиксатора в течение промежутка времени  $t_1$  несколько отличается от 0 В. В течение времени  $t_2$  выходное напряжение имеет ВЫСОКИЙ уровень, хотя он и несколько ниже полного напряжения 5 В. Далее на интервалах  $t_3$  и  $t_4$  снова повторяются НИЗКИЙ и ВЫСОКИЙ уровни.

Бездребезговый логический переключатель

Фиксатор

Триггер

Можно попытаться для получения цифрового сигнала



Рис. 1.11.

а — кнопочный переключатель сам по себе не может генерировать стандартные цифровые сигналы; б — кнопочный переключатель, используемый для запуска одновибратора, формирует цифровой сигнал в виде одиночного импульса.

использовать кнопочный переключатель. Если кнопку нажать, появится **ВЫСОКИЙ** уровень напряжения, при отпускании кнопки этот уровень должен смениться на **НИЗКИЙ**. Рассмотрим простую цепь, показанную на рис. 1.11, а. Когда кнопка нажата, на выходе возникает напряжение около + 5 В (**ВЫСОКИЙ** уровень). Однако если кнопку отпустить, то уровень напряжения на выходе станет *неопределенным*. В этом случае в цепи между выходом и источником питания образуется разрыв. Такая цепь не может должным образом работать в качестве логического переключателя.

Кнопочный переключатель, разомкнутый в нормальном состоянии, можно применять для генерации цифровых импульсов только в совокупности со специальной электронной схемой. На рис. 1.11, б показан кнопочный переключатель, соединенный с *одновибратором*. Теперь при каждом нажатии кнопки переключателя на выходе одновибратора будет формироваться *короткий одиночный, положительный импульс*. Длительность импульса на выходе определяется параметрами одновибратора и *не зависит* от того, как долго была нажата кнопка.

Обе цепи – с фиксатором и с одновибратором – использовались и прежде. Обе они представляют собой схемы с *мультивибраторами* (МВ). Фиксатор называют по-другому *триггером*, или *бистабильным мультивибратором*. Одновибратор называют также *моностабильным мультивибратором*. Существует еще третий тип МВ – *астабильный мультивибратор*; его называют также *мультивибратором, работающим в режиме свободных колебаний*. Во многих цифровых схемах он выполняет роль *генератора тактовых импульсов*.

МВ в режиме свободных колебаний генерирует импульсы самостоятельно, без каких-либо переключений извне или внешних сигналов. Блок-схема МВ в режиме свободных колебаний приведена на рис. 1.12. МВ генерирует непрерывную последовательность импульсов с ТТЛ-уровнями. Напряжение на выходе схемы, показанной на рис. 1.12, все время скачкообразно меняется от **НИЗКОГО** уровня к **ВЫСОКОМУ** и наоборот.

В лабораторном практикуме вам часто придется самостоятельно получать цифровые сигналы. В состав используемого вами оборудования будут входить ползунковые и кнопочные переключатели, а также генераторы тактовых

Одновибратор

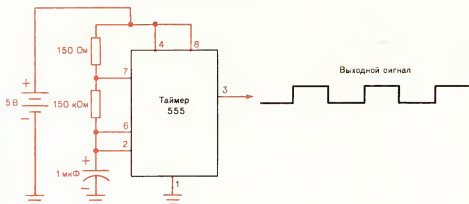
Мультивибратор

Бистабильный мультивибратор  
Моностабильный мультивибратор  
Астабильный мультивибратор  
Мультивибратор в режиме свободных колебаний  
Генератор тактовых импульсов

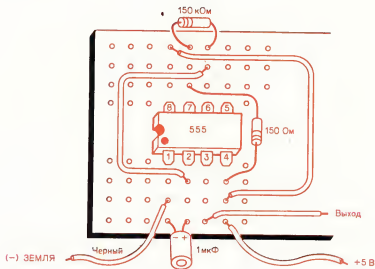


Рис. 1.12. Мультивибратор в режиме свободных колебаний генерирует последовательность цифровых импульсов.





а



б

Рис. 1.13.

а — принципиальная схема генератора тактовых импульсов в режиме свободных колебаний с использованием интегральной схемы типа 555; б — монтажная схема генератора тактовых импульсов в режиме свободных колебаний, собранного на контактной панели.

Логические переключатели

Генератор одиночных тактовых импульсов

Генератор тактовых импульсов в режиме свободных колебаний

импульсов в режиме свободных колебаний, которые будут генерировать сигналы с ТТЛ-уровнями, подобные показанным на рис. 1.10–1.12. В лабораторном практикуме вы также будете использовать *логические переключатели*, в которых дребезг предотвращается при помощи фиксатора (см. рис. 1.10, б). Вы будете также пользоваться *генератором одиночных тактовых импульсов*, запускаемым кнопочным переключателем. Кнопочный переключатель такого генератора будет соединен с одновибратором, как показано на рис. 1.11, б. Наконец, вы будете располагать и *генератором тактовых импульсов, работающим в режиме свободных ко-*

лебаний. Он будет генерировать непрерывные последовательности импульсов типа показанной на рис. 1.12.

Астабильные, моностабильные и бистабильные МВ можно собрать из дискретных компонентов (отдельных резисторов, конденсаторов и транзисторов) или приобрести сразу в виде готовых ИС. Принимая во внимание высокое качество изготовления, удобство применения и низкую стоимость интегральных схем, мы в данном учебном курсе будем пользоваться готовыми ИС. Принципиальная схема генератора тактовых импульсов приведена на рис. 1.13, а. Эта цифровая схема позволяет получать последовательности импульсов с ТТЛ-уровнями и низкой частотой повторения (2–4 Гц). Центральной частью схемы генератора тактовых импульсов является таймер общего назначения в виде ИС типа 555. Заметьте, что в схеме должны быть также использованы два резистора, конденсатор и источник питания.

Таймер — ИС типа 555

На рис. 1.13, б изображена монтажная схема генератора тактовых импульсов, собранного на типовой контактной панели. Заметьте, что расположение контактов панели согласуется с расположением выводов ИС. Обратите внимание также на то, что вывод 1 расположен по направлению против часовой стрелки сразу за выемкой или круглой меткой на корпусе ИС с восемью выводами.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

- Цифровой сигнал (см. рис. 1.10, в) в течение времени  $t_2$  имеет \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень, а в интервале  $t_3$  — \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ).
- Когда кнопка переключателя (см. рис. 1.11, а) не нажата (цепь разомкнута), выходное напряжение имеет \_\_\_\_\_ уровень.
- Фиксатор (см. рис. 1.10, в) называется по-другому триггером-защелкой или \_\_\_\_\_ мультивибратором.
- Одновибратор (см. рис. 1.11, б), используемый для формирования цифрового сигнала, называется также \_\_\_\_\_ мультивибратором.
- Изображенная на рис. 1.13 интегральная схема 555, называемая \_\_\_\_\_, вместе с несколькими дискретными компонентами использована для генерации непрерывной последовательности импульсов с ТТЛ-уровнями. Этот генератор тактовых импульсов, работающий в режиме свободных колебаний, называется также мультивибратором в режиме свободных колебаний или \_\_\_\_\_ мультивибратором.

#### 1.4. Как контролировать цифровые сигналы?

В предыдущем разделе вы познакомились с методами формирования цифровых сигналов, используя для этого различные цепи, содержащие МВ. Это как раз те методы генерирования *входных цифровых сигналов*, с которыми вы будете иметь дело в лабораторном практикуме при конструировании цифровых схем. В данном разделе мы обсудим некоторые простые методы контроля *выходных сигналов* цифровых цепей.

Рассмотрим цепь, изображенную на рис. 1.14, а. *Входной* сигнал в ней формируется с помощью простого однополюсного двухпозиционного переключателя и источника питания. *Индикатором выходного сигнала* служит *светодиодирующий диод* (СИД). Резистор (150 Ом) ограничивает ток, протекающий через СИД, до безопасной величины. Когда переключатель на рис. 1.14, а находится в верхнем положении, соответствующем **ВЫСОКОМУ** уровню напряжения, на анод светодиода подается напряжение + 5 В. При этом СИД оказывается включенным в прямом направлении, ток через него возрастает и возникает излучение. Если переключатель находится в нижнем положении, соответствующем **НИЗКОМУ** уровню, анод и катод светодиода заземлены, и он не излучает. Свечение светодиода соответствует **ВЫСОКОМУ** уровню напряжения, а отсутствие свечения — **НИЗКОМУ** уровню.

Простой светодиодный индикатор выходного цифрового сигнала еще раз показан на рис. 1.14, б. Теперь входной сигнал формируется изображенным в упрощенном виде логическим переключателем. Он действует подобно переключателю на рис. 1.14, а, за исключением того что не имеет дребезга. Однако выходным индикатором опять служит СИД с последовательно включенным ограничивающим резистором. Когда входной логический переключатель на рис. 1.14, б генерирует сигнал **НИЗКОГО** уровня, светодиод

Индикатор выходного сигнала  
Светодиодирующий диод

Последовательно включенный ограничивающий резистор

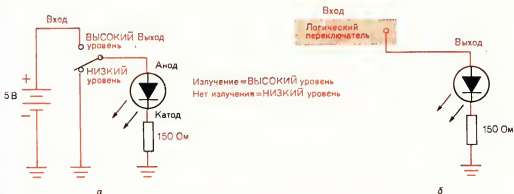


Рис. 1.14.

а — простой светодиодный индикатор выходного сигнала; б — соединение логического переключателя с простым светодиодным индикатором выходного сигнала.

не излучает. Однако, когда от логического переключателя поступает сигнал **ВЫСОКОГО** уровня, в светодиоде возникает излучение.

Другой вид светодиодного индикатора выходных сигналов показан на рис. 1.15. Здесь светодиод работает точно так же, как в только что рассмотренных цепях. Он излучает в случае **ВЫСОКОГО** уровня сигнала и не излучает в случае **НИЗКОГО** уровня сигнала. Однако в отличие от прежних схем светодиод на рис. 1.15 управляется не непосредственно входным сигналом, а транзистором. Преимуществом схемы с транзистором (рис. 1.15) является меньший ток, потребляемый индикатором с выхода контролируемой цифровой схемы. Светодиодные выходные индикаторы, подобные показанным на рис. 1.14 и 1.15, вы будете применять в лабораторном практикуме.

Рассмотрим теперь схему выходного индикатора на двух светодиодах, показанную на рис. 1.16. Когда на вход индикатора подается сигнал **ВЫСОКОГО** уровня (+5 В), нижний СИД светится, а верхний — нет. Если же на вход поступает сигнал **НИЗКОГО** уровня (ЗЕМЛЯ), излучает только верхний СИД. При подаче в точку У (см. схему на рис. 1.16) сигнала неопределенного уровня (промежуточного между **ВЫСОКИМ** и **НИЗКИМ**) или в случае отключения точки У от контролируемой цифровой схемы излучать будут оба светодиода.

Выходное напряжение цифровой схемы можно измерить и обычным вольтметром. Для ТТЛ-схем напряжение от 0 до 0,8 В считается **НИЗКИМ** уровнем, а напряжение от 2 до 5 В для тех же ИС — **ВЫСОКИМ** уровнем. Напряжения между 0,8 и 2 В попадают в неопределенную область, и соответствующие сигналы нежелательны для цифровых ТТЛ-схем.

Рис. 1.15. Светодиодный индикатор выходного сигнала, управляемый транзистором.

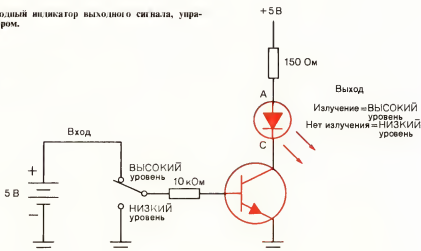
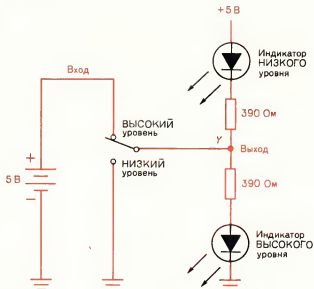


Рис. 1.16. Светодиодный индикатор, показывающий ВЫСОКИЙ, НИЗКИЙ и неопределенный логические уровни.



Удобным портативным измерительным прибором для определения выходных логических уровней является *логический пробник*. На рис. 1.17, а представлен один из недорогих приборов такого типа; вы можете собрать его самостоятельно. Чтобы использовать этот прибор для индикации логических уровней сигналов ТТЛ-схем, вы должны произвести следующие операции:

Логический пробник

Измерение логических уровней сигналов интегральных ТТЛ-схем

1. Присоедините щуп с красным проводником к точке контролируемой цифровой схемы с напряжением +5 В.
2. Присоедините щуп с черным проводником к ОБЩЕМУ выводу (заземленной точке) контролируемой цифровой схемы.
3. Присоедините третий щуп (ТТЛ) также к ОБЩЕМУ выводу контролируемой цифровой схемы.
4. Коснитесь острием пробника контролируемой точки цифровой схемы.
5. Один или оба светодиода пробника, показанные на рис. 1.17, а, должны при этом засветиться. Если светятся оба диода, то острие пробника либо вообще не касается контролируемой цифровой схемы, либо напряжение контролируемой точки лежит в неопределенной области между ВЫСОКИМ и НИЗКИМ уровнями.

Логический пробник, изображенный на рис. 1.17, а, можно также использовать и для контроля ИС, изготовленных с применением так называемой КМОП-технологии. КМОП — это сокращенное название *комплементарных* полупроводниковых приборов со структурой *металл-окисел-полупроводник*. Если логический пробник используют для

КМОП-приборы (комплементарные приборы со структурой металл-окисел-полупроводник)

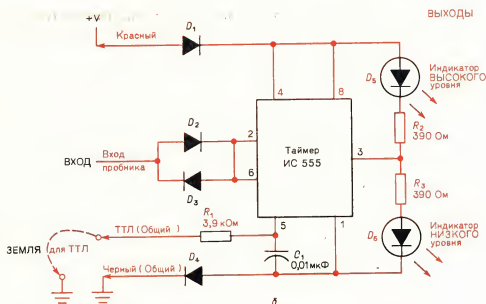
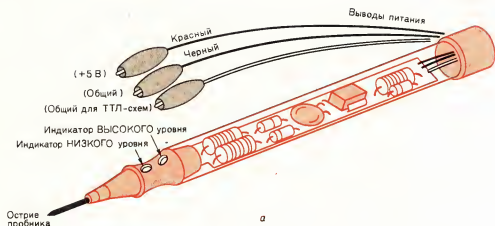


Рис. 1.17.

а – внешний вид логического пробника, собираемого студентами; б – принципиальная схема логического пробника на основе интегральной схемы типа 555.

Логические уровни  
ТТЛ- и КМОП-схем

индикации логических уровней КМОП-схем, то щуп с обозначением ТТЛ следует оставить *разомкнутым*. Красный щуп нужно подсоединить к положительному (+) полюсу источника питания, черный щуп – к ОБЩЕМУ выводу. Если вы теперь коснетесь острием пробника контролируемой точки в цифровой КМОП-схеме, световые индикаторы покажут вам **ВЫСОКИЙ** или **НИЗКИЙ** уровень напряжения. Принципиальная схема логического пробника приведена

на рис. 1.17, б. В этой схеме использован таймер в виде ИС типа 555. Для этой ИС используется источник питания с напряжением от 5 до 18 В. Цифровые ТТЛ-схемы работают всегда при напряжении 5 В, в то время как для некоторых типов КМОП-схем необходимы напряжения величиной до 15 В. Три проводника для подачи питания на таймер показаны в левой части рис. 1.17, б. Красный проводник подсоединяют к положительному полюсу источника питания, черный — к ОБЩЕМУ выводу. Если проверяется цифровая ТТЛ-схема, проводник с обозначением ТТЛ (ЗЕМЛЯ) также присоединяют к ОБЩЕМУ выводу; если контролю подлежит цифровая цепь на основе КМОП-схем, этот проводник оставляют свободным. Вход пробника показан слева на рис. 1.17, б; он подключается к контактам 2 и 6 таймера ИС 555. Если уровень напряжения на входе НИЗКИЙ, светится нижний диод ( $D_6$ ). Если же уровень напряжения на входе ВЫСОКИЙ, излучает верхний диод ( $D_5$ ). При разомкнутом входе светятся оба диода. Заметьте, что логический уровень на контакте 3 ИС 555 (на выходе ИС 555) всегда *противоположен* логическому уровню на входе этой ИС. Следовательно, если напряжение на входе (контакты 2 и 6) имеет ВЫСОКИЙ уровень, то на выходе ИС 555 (контакт 3) уровень сигнала будет НИЗКИМ. В результате вызывается свечение верхнего светодиода (индикатора ВЫСОКОГО уровня).

Четыре кремниевых диода ( $D_1$ – $D_4$ ), показанные на рис. 1.17, б, служат для защиты ИС от напряжений обратной полярности. Емкость предотвращает влияние наводок на логический пробник через отсоединенный проводник ТТЛ (ЗЕМЛЯ). Контакт 5 таймера ИС 555 заземляется через резистор  $R_1$ . Этот резистор необходим при контроле логических уровней ТТЛ, а не цифровых КМОП-схем.

Логический пробник, изображенный на рис. 1.17, по разному реагирует на соответствующие уровни напряжений в режимах контроля ТТЛ- и КМОП-схем. Логические уровни для ТТЛ- и КМОП-схем показаны на рис. 1.18 в процентах от полного напряжения источника питания. При кон-



Рис. 1.18. Определение логических уровней для цифровых интегральных ТТЛ- и КМОП-схем.

троле ТТЛ-схем, в которых всегда используется напряжение питания 5 В, логический пробник будет показывать **ВЫСОКИЙ** уровень при напряжениях от 2 В и выше и **НИЗКИЙ** при напряжениях ниже 0,8 В.

В лабораторном практикуме вам могут дать задание собрать логический пробник типа изображенного на рис. 1.17 или вы получите от преподавателя готовый логический пробник для контроля цифровых схем. Инструкции для работы с логическими пробниками разных типов различаются. Поэтому внимательно изучите соответствующую инструкцию для пробника, которым вы будете пользоваться.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

11. Если на вход (см. рис. 1.14) подается напряжение **ВЫСОКОГО** уровня, то светодиод \_\_\_\_\_ (будет, не будет) излучать, так как он будет включен в \_\_\_\_\_ (прямым, обратном) направлении.
12. Если на вход (см. рис. 1.15) подается напряжение **НИЗКОГО** уровня, транзистор находится в \_\_\_\_\_ (выключенном, включенном) состоянии, и диод \_\_\_\_\_ (излучает, не излучает).
13. Если на вход (см. рис. 1.16) поступает сигнал **ВЫСОКОГО** уровня, \_\_\_\_\_ (нижний, верхний) СИД излучает, так как его \_\_\_\_\_ (катод, анод) находится под напряжением + 5 В, обеспечивающим включение диода в прямом направлении.
14. Самостоятельно собираемый студентами \_\_\_\_\_, показанный на рис. 1.17, можно использовать для контроля как цифровых ТТЛ-схем, так и \_\_\_\_\_.

### Основные результаты главы

1. Аналоговые сигналы изменяются постепенно и непрерывно, в то время как цифровые сигналы представляют собой чередование напряжений двух дискретных уровней, называемых **ВЫСОКИМ** и **НИЗКИМ**.
2. Во всех ЭВМ, в том числе и в микроЭВМ широко используются цифровые схемы. Микрокалькуляторы тоже являются цифровыми устройствами.
3. В современной электронной аппаратуре используют как аналоговые, так и цифровые электронные схемы.
4. Величины напряжения логических уровней различны для разных семейств цифровых схем, таких, как ТТЛ- и КМОП-схем. Но все равно эти логические уровни напряжения всегда называют **ВЫСОКИМ**, **НИЗКИМ** или неопределенным.



5. Для генерации цифровых сигналов применяются бистабильные, моностабильные и астабильные мультивибраторы. Эти мультивибраторы иногда называют фиксаторами, одновибраторами и мультивибраторами, работающими в режиме свободных колебаний, соответственно.
6. В качестве индикаторов логических уровней применяют простые цепи, собранные на светодиодах и резисторах, вольтметры или специальные логические пробники. В нашем лабораторном практикуме используются в основном светодиодные индикаторы.

### Итоговые задания к изучаемой главе

1. Дайте определения следующим понятиям:
  - а. Аналоговый сигнал.
  - б. Цифровой сигнал.
2. Изобразите цифровой сигнал в виде непрерывной последовательности прямоугольных импульсов. Внизу проставьте значения напряжений 0 В, а сверху +5 В. Укажите **ВЫСОКИЙ** и **НИЗКИЙ** уровни. Отметьте логические единицы и нули.
3. Назовите какие-нибудь два прибора, в которых используются цифровые электронные схемы и которые могут производить математические расчеты.
4. Назовите три измерительных прибора, содержащих цифровые схемы и используемых техническими специалистами.
5. В чем причина столь широкого распространения цифровых электронных схем?
6. Когда для получения цифрового сигнала используется однополюсный двухпозиционный ползунковый переключатель (см. рис. 1.10), то в целях улучшения \_\_\_\_\_ применяется фиксатор.
7. Если для генерации цифрового сигнала применяется кнопочный переключатель (см. рис. 1.11), то при формировании цифрового импульса обычно используется \_\_\_\_\_ мультивибратор.
8. Астабильный мультивибратор или \_\_\_\_\_ генерирует непрерывную последовательность цифровых импульсов.
9. Цифровое устройство, собранное по монтажной схеме (см. рис. 1.13,б), можно считать \_\_\_\_\_ (астабильным, бистабильным) мультивибратором.
10. Светодиод, показанный на рис. 1.14,б, излучает, когда входной логический переключатель создает \_\_\_\_\_ (**ВЫСОКИЙ**, **НИЗКИЙ**) уровень напряжения.
11. Когда на вход логического переключателя (см. рис. 1.16) поступает напряжение **НИЗКОГО** уровня, излучает \_\_\_\_\_ (нижний, верхний) СИД.
12. Для каждого ли из типов логических схем можно использовать логический пробник, показанный на рис. 1.17?
13. Если на вход пробника (см. рис. 1.17,б) подается напряжение **НИЗКОГО** уровня, на контакт 3 таймера 555 поступает напряжение \_\_\_\_\_ (**ВЫСОКОГО**, **НИЗКОГО**) уровня. Это приведет к свечению \_\_\_\_\_ (нижнего, верхнего) диода.

**Ответы к заданиям для самопроверки**

1. Цифрового, **ВЫСОКИМ**
2. Аналоговым
3. Цифровом измерительном, жидких кристаллах
4. Интегральных
5. Микропроцессором
6. **ВЫСОКИЙ, НИЗКИЙ**
7. Неопределенный
8. Бистабильным
9. Моностабильным
10. Таймером; астабильным
11. Будет; прямом
12. Выключенном; не излучает
13. Нижний, анод
14. Логический пробник, КМОП-схем

# Глава 2

## Числа, используемые в цифровой электронике

Большинство людей прекрасно поймет вас, если вы скажете, что имеете 9 центов, поскольку 9—это число *десятичной* системы счисления, ежедневно используемой всеми нами. Но в цифровых устройствах применяют другую, «стрannую» систему счисления, называемую *двоичной*, а в цифровых ЭВМ и микропроцессорных системах используют еще одну «стрannую» систему—*шестнадцатеричную*. Все, кто собирается обслуживать цифровые электронные устройства, должны знать, как преобразовывать числа из привычной для нас десятичной системы счисления в двоичную или шестнадцатеричную. Изучив эту главу, вы научитесь преобразовывать обычные десятичные числа в двоичные и двоичные—в десятичные. Вы будете уметь переводить числа из двоичной системы в шестнадцатеричную и наоборот, а также взаимно преобразовывать числа десятичной и шестнадцатеричной систем.

### 2.1. Счет в десятичной и двоичной системах счисления

Система счисления

Система счисления с  
основанием 10  
Двоичная система  
счисления

Система счисления с  
основанием 2

Система счисления—это код, в котором используют специальные символы для обозначения количества каких-либо объектов. В десятичной системе применяются символы 1, 2, 3, 4, 5, 6, 7, 8 и 9. Общее количество символов в десятичной системе равно 10, и поэтому ее иногда называют *системой счисления с основанием 10*. В двоичной системе счисления используются только два символа—0 и 1, и поэтому ее иногда называют *системой счисления с основанием 2*.

На рис. 2.1 количеству монет, изображенных кружками, поставлены в соответствие их обозначения в десятичной и двоичной системах счисления. Символы десятичной си-










Монеты	Символы десятичной системы	Символы двоичной системы
Монет нет	0	0
	1	1
	2	10
	3	11
	4	100
	5	101
	6	110
	7	111
	8	1000
	9	1001

Рис. 2.1. Символы для подсчета количества каких-либо объектов.

стемы, которые мы обычно используем для обозначения количества предметов от 0 до 9, приведены в левом столбце, а в правом указаны символы двоичной системы, которые также применяют для обозначения количества предметов от 0 до 9. Заметим, что обозначения «ноль монет» и «одна монета» в двоичной и десятичной системах совпадают. Две монеты обозначаются двоичным числом 10 (читается «один-ноль»). Для обозначения девяти монет используется двоичное число 1001 (читается «один-ноль-ноль-один»).

Чтобы успешно работать с цифровыми электронными устройствами, вы должны твердо запомнить символы двоичной системы, применяемые для подсчета количества предметов по крайней мере до 9.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

1. Двоичная система счисления иногда называется системой \_\_\_\_\_.
2. Десятичное число 8 эквивалентно двоичному числу \_\_\_\_\_.
3. Двоичное число 0110 эквивалентно десятичному числу \_\_\_\_\_.

## 2.2. Вес разряда

Представьте себе, что официант в ресторане просит вас оплатить счет на 2 доллара и 43 цента. Всем известно, что это равно 243 центам. Однако вместо того, чтобы дать официанту такое количество мелких монет, вы, вероятно, расплатитесь с ним примерно так, как показано на рис. 2.2: двумя долларовыми бумажками, четырьмя десятицентовыми монетами и тремя монетами по одному центу. Этот

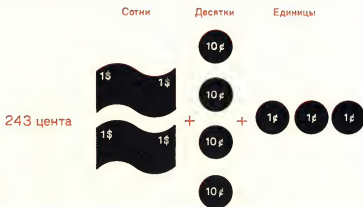


Рис. 2.2. Пример, поясняющий понятие «вес разряда».

Вес разряда

пример с деньгами иллюстрирует очень важное понятие — *вес разряда*.

Возьмем десятичное число 648 (рис. 2.3). Цифра 6 обозначает число 600, так как по своему положению она занимает третий разряд слева от десятичной точки. Цифра 4 представляет число 40, так как она занимает второй разряд слева от десятичной точки. Цифра 8 представляет число 8, поскольку она находится в первом разряде слева от десятичной точки. Таким образом, все число 648 представляет собой сумму шести сотен, четырех десятков и восьми единиц. Этот пример иллюстрирует понятие веса разряда, т. е. различной его значимости в десятичной системе счисления.

Рис. 2.3. Веса разрядов в десятичной системе счисления.

	сотни	десятки	единицы
648 =	600	+ 40	+ 8

В двоичной системе также используется понятие веса разряда. Какое количество предметов, например, обозначает двоичное число 1101 («один-один-ноль-один»)? Как видно из рис. 2.4, цифра 1, ближайшая к двоичной точке, находится в разряде единиц и, следовательно, обозначает один предмет. Наличие цифры 0 в разряде двоек говорит о том, что этот разряд ничего не добавляет к общему количеству предметов. Цифра 1 в разряде четверок означает, что к уже найденному количеству предметов нужно добавить четыре предмета. Цифра 1 в разряде с весом 8 означает, что к найденному количеству предметов необходимо добавить еще восемь предметов. Подсчитав общее количество предметов, мы окончательно находим, что двоичное число 1101 обозначает 13 предметов.



Рис. 2.4. Веса разрядов в двоичной системе счисления.

А сколько предметов обозначает двоичное число 1100 («один-один-ноль-ноль»)? Представляя это число так же, как на рис. 2.4, находим

8	4	2	1	Вес разряда
Есть	Есть	Нет	Нет	Заполнение
(1)	(1)	(0)	(0)	разряда
• •	• •			Двоичное число
• •	• •			Количество пред-
• •				метов

Таким образом, двоичное число 1100 обозначает 12 предметов.

На рис. 2.5 указан вес каждого разряда в двоичной системе счисления. Заметьте, что вес разряда каждый раз получается как результат умножения веса предыдущего разряда на два. Название «система с основанием 2» подчеркивает эту особенность двоичной системы счисления.

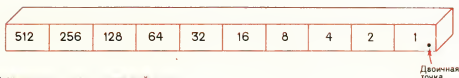


Рис. 2.5. Веса разрядов слева от двоичной точки.

### Задания для самопроверки

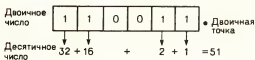
Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

4. Цифра 1 в двоичном числе 1000 находится в разряде с весом \_\_\_\_\_, выраженным в десятичной системе счисления.
5. Двоичное число 1010 эквивалентно числу \_\_\_\_\_ в десятичной системе.
6. Двоичное число 100000 эквивалентно числу \_\_\_\_\_ в десятичной системе.

### 2.3. Преобразование двоичных чисел в десятичные

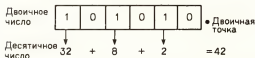
Во время работы с цифровыми электронными устройствами вам придется выполнять преобразование чисел из двоичной системы в десятичную. Допустим, вам дано двоичное число 110011. Какому десятичному числу оно эквивалентно? Чтобы ответить на этот вопрос, прежде всего запишите данное двоичное число следующим образом:

Преобразование чисел  
из двоичной системы  
в десятичную



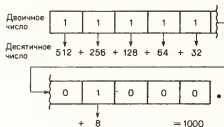
Затем, начиная от двоичной точки, двигайтесь влево. Под каждой двоичной единицей подпишите ее десятичный эквивалент (см. рис. 2.5) в строчке ниже выписанного двоичного числа. Сложите получившиеся четыре десятичных числа и вы найдете десятичное число, эквивалентное данному двоичному. Таким образом, двоичное число 110011 эквивалентно десятичному числу 51.

Рассмотрим еще один пример. Преобразуем двоичное число 101010 в десятичное число. Снова запишем двоичное число следующим образом:



Начиная от двоичной точки и двигаясь влево, поместим в нижней строке соответствующие десятичные эквиваленты двоичных единиц. Складывая три полученных десятичных числа, находим, что двоичное число 101010 эквивалентно десятичному числу 42.

Рассмотрим теперь более длинное и более сложное по своему виду двоичное число. Преобразуем двоичное число 1111101000 в десятичное. Запишем данное двоичное число указанным выше способом:



Пользуясь таблицей на рис. 2.5, превратим каждую двоичную единицу в соответствующий ей десятичный эквивалент. Сложим эти десятичные числа и получим искомое десятичное число. Двоичное число 1111101000, таким образом, эквивалентно десятичному числу 1000.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Двоичное число 1111 эквивалентно десятичному числу \_\_\_\_\_.
- Двоичное число 100010 эквивалентно десятичному числу \_\_\_\_\_.

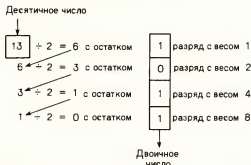
9. Двоичное число 1000001010 эквивалентно десятичному числу \_\_\_\_\_.

#### 2.4. Преобразование десятичных чисел в двоичные

Преобразование чисел из десятичной системы в двоичную

Во время работы с цифровыми электронными устройствами вам неоднократно придется преобразовывать числа из десятичной системы в двоичную. Мы научим вас простому приему, который облегчит эту задачу.

Предположим, что требуется преобразовать десятичное число 13 в двоичное. Вы можете воспользоваться следующей несложной процедурой:



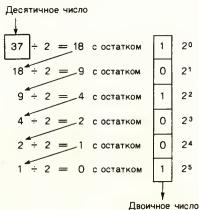
Частное

Остаток  
Разряд с весом 1 в двоичном числе

Разряд с весом 2 в двоичном числе

Сначала число 13 делим на 2 и получаем частное 6 и остаток 1. Этот остаток становится значением разряда с весом 1 в искомом двоичном числе. Число 6 затем делим снова на 2, получаем частное 3 и остаток 0. Этот остаток помещаем в разряд с весом 2 в двоичном числе. Число 3 затем делим на 2 с результатом 1 и остатком 1. Полученный остаток становится значением разряда с весом 4. Наконец, единицу делим на 2 и получаем 0 и остаток 1. Последний помещается в разряд с весом 8 искомого двоичного числа. Таким образом, десятичное число 13 мы преобразовываем в двоичное число 1101.

Попрактикуемся в этой процедуре на примере десятичного числа 37:





Отметим, что процесс деления на 2 следует заканчивать в тот момент, когда получается частное, равное 0. В соответствии с нашей процедурой десятичное число 37 эквивалентно двоичному числу 100101.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

10. Десятичное число 39 эквивалентно двоичному числу \_\_\_\_\_.
11. Десятичное число 100 эквивалентно двоичному числу \_\_\_\_\_.
12. Десятичное число 133 эквивалентно двоичному числу \_\_\_\_\_.

## 2.5. Электронные переводчики

Если бы вы попытались поговорить с французом, который не знает английского языка, то вам понадобился бы человек, переводящий с английского на французский, и с французского на английский. Подобная проблема существует в цифровой электронике. Практически все цифровые схемы (в микрокалькуляторах и ЭВМ) «понимают» только двоичные числа. Большинство людей, однако, понимают лишь десятичную систему счисления. Таким образом, необходимо иметь специальные электронные устройства, которые могли бы преобразовывать десятичные числа в двоичные и обратно.

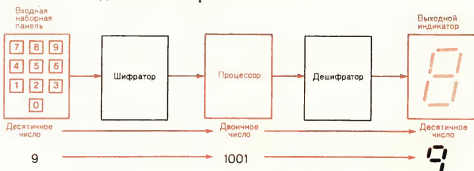


Рис. 2.6. Система, в которой используются шифратор и дешифратор.

На рис. 2.6 показана типичная система, которая реализует перевод десятичных чисел в двоичные и двоичных чисел в десятичные. Устройство, переводящее десятичные числа, набранные на клавиатуре, в двоичные числа, называется *шифратором*, а устройство, преобразующее двоичные числа в десятичные, называется *дешифратором*.

Перевод

Шифратор  
Дешифратор

В нижней части рис. 2.6 проиллюстрирована операция преобразования конкретного числа. Когда вы нажмете на клавиатуре кнопку с десятичным числом 9, шифратор переведет это число в двоичное число 1001. Дешифратор переведет двоичное число 1001 обратно в десятичное число 9 и передаст его на выходной индикатор.

Электронные схемы шифраторов и дешифраторов широко используются во всех цифровых устройствах. В каждом карманном микрокалькуляторе, например, должны быть шифраторы и дешифраторы для автоматического перевода десятичных чисел в двоичные и наоборот. На рис. 2.6, следовательно, отображена в самом общем виде блок-схема карманного микрокалькулятора. Когда вы нажимаете на его клавиатуре кнопку с числом 9, оно тут же высвечивается на выходном индикаторе.

В настоящее время в продаже имеются шифраторы и дешифраторы, способные преобразовывать данные, представленные в любых общеупотребительных кодах. Большинство шифраторов и дешифраторов, которые вам придется использовать в лабораторном практикуме, выполнены в виде отдельных интегральных схем.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

- 13: \_\_\_\_\_ — это электронное устройство, которое переводит десятичное число, поданное на его вход, в двоичное число.
14. Информация на выходе процессора микрокалькулятора имеет форму двоичных чисел. Для подачи на индикатор микрокалькулятора эти двоичные числа преобразуются в десятичные электронным устройством, которое называется \_\_\_\_\_.

### 2.6. Шестнадцатеричные числа

В шестнадцатеричной системе счисления (с основанием 16) используют 16 символов: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E и F. На рис. 2.7 приведены двоичные и шестнадцатеричные коды десятичных чисел от 0 до 17. Заметим, что буква A обозначает число 10, B — число 11 и т.д. Преимущество шестнадцатеричной системы состоит в том, что при ее использовании можно реализовывать непосредственно преобразование четырехразрядных двоичных чисел. Например, символ F в шестнадцатеричной системе соответствует четырехразрядному двоичному числу 1111. Шестнадцатеричные коды обычно используются для представления многозначных двоичных чисел. Например, шестнадцатеричное число A6 соответствует восьмиразрядному двоичному числу

Шестнадцатеричная  
система счисления

Система счисления с  
основанием 16

Четырехразрядное  
двоичное число

Восьмиразрядное  
двоичное число

Десятичное число	Двоичное число	Шестнадцатеричное число
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F
16	10000	10
17	10001	11

Рис. 2.7. Двоичный и шестнадцатеричный эквиваленты для десятичных чисел от 0 до 17.

Микропроцессорная система

10100110. Шестнадцатеричная система широко применяется в микропроцессорных цифровых схемах для представления 8- и 16-разрядных двоичных чисел.

Индекс

Итак, сколько же предметов обозначает число 10? Как видно из таблицы на рис. 2.7, это может быть и десять, и два, и шестнадцать предметов в зависимости от выбранного основания системы счисления, для указания которого иногда используют нижний индекс. При наличии такого индекса запись  $10_{10}$  обозначает десять предметов. Нижний индекс указывает при этом, что речь идет о десятичном числе, т.е. о числе в системе с основанием 10. Запись  $10_2$  обозначает два предмета, представляя двоичное число в системе с основанием 2. В случае нижнего индекса 16 запись  $10_{16}$  обозначает шестнадцать предметов, так как основание системы счисления равно 16.

Преобразование чисел из шестнадцатеричной системы в двоичную

Преобразование чисел из шестнадцатеричной системы в двоичную и из двоичной в шестнадцатеричную — это типичная операция, реализуемая в микропроцессорах и микроЭВМ. Рассмотрим это преобразование на примере числа  $C3_{16}$  и найдем эквивалентное ему двоичное число. На рис. 2.8, а показано, как каждый символ шестнадцатеричного

Преобразование чисел из двоичной системы в шестнадцатеричную

Рис. 2.8.

а — преобразование шестнадцатеричного числа в двоичное; б — преобразование двоичного числа в шестнадцатеричное.



числа переводится в его четырехзначный двоичный эквивалент (см. таблицу на рис. 2.7). Шестнадцатеричный символ  $C$  соответствует четырехразрядному двоичному числу 1100, а шестнадцатеричный символ  $3_{16}$  — двоичному числу 0011. Объединяя эти две двоичные группы, получаем, что  $C3_{16} = 11000011$ .

Займемся теперь обратной процедурой и преобразуем двоичное число 11101010 в эквивалентное ему шестнадцатеричное. Это простое преобразование проиллюстрировано на рис. 2.8, б. Двоичное число разделяется на четырехзначные группы, начиная с двоичной точки. Далее каждая двоичная группа переводится в свое эквивалентное шестнадцатеричное представление с помощью таблицы, приведенной на рис. 2.7; в результате имеем:  $11101010_2 = EA_{16}$ .

Рассмотрим, как преобразовать шестнадцатеричное число  $2DB_{16}$  в его десятичный эквивалент. Веса первых трех разрядов шестнадцатеричного числа, как показано в верхней строке на рис. 2.9, равны соответственно 256, 16 и 1. В шестнадцатеричном числе, записанном на рис. 2.9, имеет-

Преобразование чисел из шестнадцатеричной системы в десятичную

Вес разряда	256	16	1
Шестнадцатеричное число	2	D	B <sub>16</sub>
	$\begin{array}{r} 256 \\ \times 2 \\ \hline 512 \end{array}$	$\begin{array}{r} 16 \\ \times 13 \\ \hline 208 \end{array}$	$\begin{array}{r} 1 \\ \times 11 \\ \hline 11 \end{array}$
Десятичное число	$512 + 208 + 11 = 731_{10}$		

Рис. 2.9. Преобразование шестнадцатеричного числа в десятичное.

$$\begin{array}{l}
 47_{10} \div 16 = 2 \text{ с остатком } 15 \\
 \downarrow \\
 2 \div 16 = 0 \text{ с остатком } 2 \\
 \downarrow \\
 47_{10} = 2F_{16}
 \end{array}$$

Рис. 2.10. Преобразование десятичного числа в шестнадцатеричное.

ся одиннадцать единиц; в разряде с весом 16 стоит число 13, которое при умножении на вес разряда дает число 208, а двойка в разряде с весом 256 обозначает число 512. Составляя сумму  $11 + 208 + 512$ , находим число  $731_{10}$ . Таким образом, для шестнадцатеричного числа, записанного на рис. 2.9, получаем:  $2DB_{16} = 731_{10}$ .

Теперь рассмотрим обратное преобразование десятичного числа 47 в его шестнадцатеричный эквивалент. На рис. 2.10 показана процедура последовательных делений на 16. Первое деление десятичного числа 47 на 16 дает частное 2 и остаток 15. Этот остаток 15 (т.е. число F в шестнадцатеричной системе) следует взять в качестве последней значащей цифры искомого шестнадцатеричного числа. Частное (в данном случае 2) надо принять далее в качестве делимого и снова разделить его на 16. В результате получится частное 0 с остатком 2; эту цифру 2 следует считать очередной цифрой искомого шестнадцатеричного числа. На этом процесс преобразования заканчивается, так как получилось частное, равное 0. С помощью процедуры последовательно-

Преобразование чисел из десятичной системы в шестнадцатеричную

го деления на 16, проиллюстрированной на рис. 2.10, мы преобразовали число  $47_{10}$  в эквивалентное ему шестнадцатеричное число  $2F_{16}$ .

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

15. Десятичное число 15 эквивалентно шестнадцатеричному числу \_\_\_\_\_.
16. Шестнадцатеричное число A6 эквивалентно двоичному числу \_\_\_\_\_.
17. Двоичное число 11110 эквивалентно шестнадцатеричному числу \_\_\_\_\_.
18. Шестнадцатеричное число 1F6 эквивалентно десятичному числу \_\_\_\_\_.
19. Десятичное число 63 эквивалентно шестнадцатеричному числу \_\_\_\_\_.

---

### Основные результаты главы

1. В десятичной системе счисления используются десять символов: 0, 1, 2, 3, 4, 5, 6, 7, 8 и 9.
2. Двоичная система счисления содержит только два символа: 0 и 1.
3. Веса разрядов слева от двоичной точки в двоичной системе счисления соответственно равны 64, 32, 16, 8, 4, 2 и 1.
4. Все, кто специализируется в области цифровой электроники, должны уметь преобразовывать двоичные числа в десятичные и десятичные числа — в двоичные.
5. Шифраторы — это электронные устройства, преобразующие десятичные числа в двоичные.
6. Дешифраторы — это электронные устройства, преобразующие двоичные числа в десятичные.
7. В шестнадцатеричной системе счисления используются 16 символов: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E и F.
8. Шестнадцатеричная система широко применяется для представления двоичных чисел в ЭВМ.

---

### Итоговые задания к изучаемой главе

1. Произнесите название десятичного числа 1001.
2. Назовите словами двоичное число 1001.
3. Преобразуйте следующие двоичные числа в десятичные:  
а. 1; б. 100; в. 101;  
г. 1011; д. 1000;  
е. 10000; ж. 10101;
- з. 11111;  
и. 11001100;  
к. 11111111.
4. Преобразуйте следующие десятичные числа в двоичные:

- а. 0; б. 1; в. 18;  
г. 25; д. 32; е. 64;  
ж. 69; з. 128;  
и. 145; к. 1001.
5. Представьте следующие десятичные числа в двоичном коде:  
а. 9; б. 3; в. 15;  
г. 13; д. 10; е. 2.
6. Дешифрируйте следующие двоичные числа, преобразовав их в десятичные:  
а. 0010; б. 1011;  
в. 1110; г. 0111;  
д. 0110; е. 0000.
7. В чем состоит назначение шифратора?
8. В чем заключается назначение дешифратора?
9. Запишите десятичные числа от 0 до 15 в двоичной системе счисления.
10. Преобразуйте следующие шестнадцатеричные числа в двоичные:  
а. 8А; б. В7; в. 6С;  
г. FF.
11. Преобразуйте следующие двоичные числа в шестнадцатеричные:  
а. 01011110;  
б. 00011111;  
в. 11011011;  
г. 00110000.
12. Шестнадцатеричное число 3Е6 = \_\_\_\_\_<sub>10</sub>.
13. Десятичное число 4095 = \_\_\_\_\_<sub>16</sub>.

#### Ответы к заданиям для самопроверки

- |                   |                  |              |
|-------------------|------------------|--------------|
| 1. С основанием 2 | 8. 34            | 15. F        |
| 2. 1000           | 9. 522           | 16. 10100110 |
| 3. 6              | 10. 100111       | 17. 1E       |
| 4. 8              | 11. 1100100      | 18. 502      |
| 5. 10             | 12. 10000101     | 19. 3F       |
| 6. 32             | 13. Шифратор     |              |
| 7. 15             | 14. Дешифратором |              |

# Глава 3

## Двоичные логические элементы

Люди, далекие от техники, иногда смотрят на ЭВМ, микрокалькуляторы и другие цифровые электронные устройства как на нечто магическое. На самом же деле эти устройства работают в соответствии с четкими логическими законами. Основными составными частями любых цифровых схем являются логические элементы. Логические элементы, которые вы будете использовать, оперируют с двоичными числами и поэтому называются двоичными логическими элементами.

Специалисты, работающие в области цифровой электроники, сталкиваются с двоичными логическими элементами ежедневно. Изучив эту главу, вы должны усвоить условные обозначения основных логических элементов и их характеристики. Помните, что именно логические элементы образуют основу даже самых сложных современных ЭВМ.

Логические элементы можно собрать на простых переключателях, реле, вакуумных лампах, транзисторах, диодах или ИС. Ввиду доступности, широкого использования и низкой стоимости ИС вы будете собирать цифровые устройства исключительно из этих схем.

### 3.1. Логический элемент И

Логический элемент И

Логический элемент И иногда называют элементом типа «все или ничего». На рис. 3.1 иллюстрируется принцип работы элемента И с использованием механических переключателей (ключей).

Что нужно сделать в схеме на рис. 3.1, чтобы заставить лампу  $L_1$  на выходе схемы загореться? Чтобы это произошло, вы должны замкнуть оба ключа  $A$  и  $B$ . Другими словами, чтобы на выходе схемы горел свет, нужно замкнуть ключ  $A$  и ключ  $B$ .

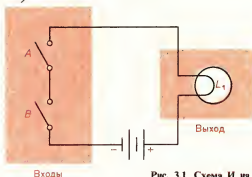


Рис. 3.1. Схема И на механических переключателях.

Условное обозначение

Логические элементы И, которые вам придется использовать наиболее часто, собраны на диодах и транзисторах, находящихся в корпусе ИС. Чтобы показать на схеме логический элемент И, мы используем *условное обозначение*, представленное на рис. 3.2. Это стандартное обозначение элемента И применяется независимо от того, на чем он собран — на реле, переключателях, пневматических устройствах, отдельных диодах и транзисторах или на ИС. Указанный символ вы должны запомнить и всегда использовать его для обозначения логического элемента (вентили) И.

Термин «логический» обычно применяют по отношению к процедуре принятия решения. В таком случае можно сказать, что логический элемент — это такая схема, которая,



Рис. 3.2. Условное обозначение (символ) логического элемента И.

«основываясь» на входных сигналах, «может решать», что ей ответить на выходе — «да» или «нет». Как мы уже выяснили, схема логического элемента И на рис. 3.1 отвечает «да» (на выходе загорается лампа) только в том случае, когда на *оба* ее входа поданы сигналы «да» (оба ключа замкнуты).

Теперь рассмотрим реальную схему, подобную той, которую вы будете собирать в лабораторном практикуме. Логический элемент И на рис. 3.3 подсоединен к входным ключам A и B. Индикатором выхода служит светодиод. Если на входах A и B возникают сигналы НИЗКОГО логического уровня (земля), то светодиод *не излучает*. Эта ситуация символически записана в строке 1 таблицы на рис. 3.4. Заметьте, что в строке 1 входные и выходные сигналы обо-

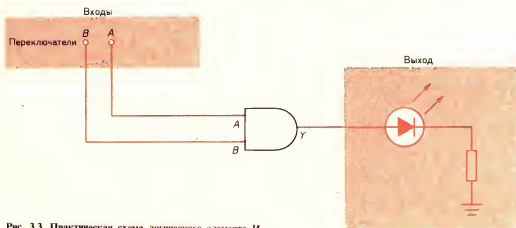


Рис. 3.3. Практическая схема логического элемента И.



Рис. 3.4. Таблица истинности для логического элемента И.

	Входы				Выход	
	В		А		У	
	Уровень напряжения	Двоичный сигнал	Уровень напряжения	Двоичный сигнал	Излучение	Двоичный сигнал
Строка 1	НИЗКИЙ	0	НИЗКИЙ	0	Нет	0
Строка 2	НИЗКИЙ	0	ВЫСОКИЙ	1	Нет	0
Строка 3	ВЫСОКИЙ	1	НИЗКИЙ	0	Нет	0
Строка 4	ВЫСОКИЙ	1	ВЫСОКИЙ	1	Есть	1

значены соответствующими двоичными цифрами. Согласно строке 1, если на оба входа поданы двоичные нули, то на выходе логического элемента также возникает двоичный ноль. Внимательно рассмотрите все возможные комбинации состояний ключей А и В на рис. 3.4. Обратите внимание на то, что двоичная единица на выходе элемента (см. строку 4) возникает только в том случае, когда на оба входа А и В поданы двоичные единицы.

Двоичной единице, или напряжению ВЫСОКОГО уровня, в точках А, В или У соответствует потенциал +5 В относительно земли. Двоичный ноль, или напряжение НИЗКОГО уровня, в точках А, В или У определяется как напряжение, соответствующее потенциалу земли (точнее, близкое к потенциалу земли, т.е. к нулю). Мы применяем здесь так называемую *положительную логику*, поскольку для получения двоичной единицы используется *положительное* напряжение 5 В. При работе с цифровыми электронными устройствами вы чаще всего будете иметь дело с положительной логикой.

Таблица, показанная на рис. 3.4, называется *таблицей истинности*. В этой таблице для логического элемента И указаны все возможные комбинации сигналов на входах А и В и соответствующие сигналы на выходе. Таким образом, приведенная таблица истинности дает исчерпывающую характеристику работы этого логического элемента, т.е. описывает *логическую функцию* И. Таблицу истинности для логической функции И вам следует запомнить. Отличительное свойство логического элемента И состоит в том, что на его выходе появляется сигнал ВЫСОКОГО логического уровня только тогда, когда на все его входы подаются также сигналы ВЫСОКОГО уровня. На рис. 3.4 показано, что в столбце выхода логическая 1 имеется *только* в строке 4, в то время как в остальных строках стоят логические 0.


Итак, вы запомнили условное обозначение и таблицу истинности для логического элемента И. Теперь мы познакомимся с принятым способом записи следующей операции: «входной сигнал А связан логической функцией И со входным сигналом В, в результате чего на выходе схемы появляется сигнал У». Сокращенный способ записи этого

Положительная логика

Таблица истинности

Логическая функция И

Рис. 3.5. Четыре способа описания связи входов  $A$  и  $B$  с помощью логической функции И.

На естественном языке	Вход $A$ связан со входом $B$ операцией И, в результате на выходе получается сигнал $Y$															
Булево выражение	$A \cdot B = Y$ Символ И															
Условное обозначение																
Таблица истинности	<table><tr><th><math>B</math></th><th><math>A</math></th><th><math>Y</math></th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	$B$	$A$	$Y$	0	0	0	0	1	0	1	0	0	1	1	1
$B$	$A$	$Y$														
0	0	0														
0	1	0														
1	0	0														
1	1	1														

#### Булево выражение

утверждения называется его *булевым выражением* (термин «булево» заимствован из булевой алгебры – алгебры логики). Булевы выражения – это универсальный язык, используемый инженерами и техниками в цифровой электронике. На рис. 3.5 приведены различные способы описания того факта, что вход  $A$  связан с входом  $B$  (логической функцией И), в результате чего на выходе появляется сигнал  $Y$ . В верхней строке на рис. 3.5 показано, каким образом можно объяснить этот факт словами. В следующей строке приведено соответствующее булево выражение. Заметьте, что знак умножения в виде точки ( $\cdot$ ) здесь использован для обозначения функции И (логического умножения) в булевом выражении. Таким образом, на рис. 3.5 иллюстрируются четыре обычно используемых способа описания того, что входы  $A$  и  $B$  связаны функцией логического умножения И. Все эти способы находят широкое применение, и каждый, кто имеет дело с цифровой электроникой, должен их хорошо знать.

#### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Со стороны выхода условное обозначение логического элемента И выглядит \_\_\_\_\_ (плоским, заостренным, закругленным).
2. Запишите булево выражение для логического элемента И с двумя входами.
3. Если на оба входа схемы (см. рис. 3.3) поданы логические сигналы **ВЫСОКОГО** уровня, то на выходе  $Y$  появится сигнал \_\_\_\_\_ уровня и СИД \_\_\_\_\_ (будет излучать, не будет излучать).

## 3.2. Логический элемент ИЛИ

Логический элемент ИЛИ

Логический элемент ИЛИ иногда называют элементом типа «что-нибудь или все». На рис. 3.6 иллюстрируется принцип работы элемента ИЛИ с использованием обычных переключателей. Посмотрев на рис. 3.6, вы можете убедиться, что лампа на выходе схемы будет гореть, если *какой-либо* из ключей или *оба* сразу окажутся замкнутыми и, наоборот, не будет гореть, если оба ключа разомкнуты. Таблица

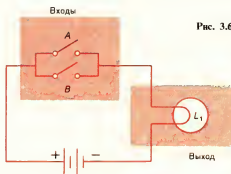


Рис. 3.6. Схема ИЛИ на переключателях.

истинности для логического элемента ИЛИ показана на рис. 3.7. В таблице истинности отображены состояния ключей и лампы для схемы логического элемента ИЛИ на рис. 3.6; эта таблица описывает логическую *функцию включающее ИЛИ*. Отличительное свойство логического элемента ИЛИ состоит в том, что на его выходе появляется сигнал НИЗКОГО логического уровня только тогда, когда на все его входы подаются также сигналы НИЗКОГО логического уровня. В столбце выхода на рис. 3.7 видно, что двоичный 0 возникает *только* в первой строке таблицы истинности для элемента ИЛИ, во всех же других строках на выходе получается двоичная 1.

Включающее ИЛИ

Входы				Выход	
В		А		У	
Переключатель	Двоичный сигнал	Переключатель	Двоичный сигнал	Излучение	Двоичный сигнал
Разомкнут	0	Разомкнут	0	Нет	0
Разомкнут	0	Замкнут	1	Есть	1
Замкнут	1	Разомкнут	0	Есть	1
Замкнут	1	Замкнут	1	Есть	1

Рис. 3.7. Таблица истинности для логического элемента ИЛИ.

Условное обозначение логического элемента ИЛИ показано на рис. 3.8. Обратите внимание на то, что входы А и

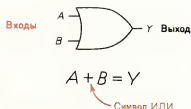


Рис. 3.8. Условное обозначение логического элемента ИЛИ и соответствующее булево выражение.

В связаны функцией ИЛИ, в результате чего на выходе появляется сигнал  $Y$ . На том же рисунке приведено булево выражение для логического элемента ИЛИ, применяемое в инженерной практике, в нем знак плюс (+) представляет собой булев символ для логической функции ИЛИ.

Следовательно, теперь вы знаете условное обозначение, булево выражение и таблицу истинности для логического элемента ИЛИ.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

4. Со стороны выхода условное обозначение логического элемента ИЛИ выглядит \_\_\_\_\_ (плоским, заостренным, закругленным).
5. Запишите булево выражение для логического элемента ИЛИ с двумя входами.
6. Если на оба входа  $A$  и  $B$  (см. рис. 3.8) поданы сигналы НИЗКОГО логического уровня, то на выходе  $Y$  появится сигнал \_\_\_\_\_ уровня.
7. Таблица истинности, приведенная на рис. 3.7, описывает логическую функцию \_\_\_\_\_ (исключающее, включающее) ИЛИ.

### 3.3. Инвертор

Все логические элементы, рассмотренные до сих пор, имели по крайней мере два входа и один выход. В отличие от них в схеме НЕ, часто называемой *инвертором*, есть только один вход и один выход. Основная функция схемы НЕ (инвертора) состоит в том, чтобы обеспечивать на выходе сигнал, противоположный сигналу на входе. Условное обозначение инвертора показано на рис. 3.9.

Схема НЕ  
Инвертор

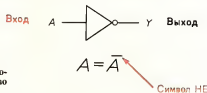


Рис. 3.9. Условное обозначение инвертора (логического элемента НЕ) и булево выражение для него.

Инвертор дополняет

Дополнение

Если бы мы подали логический сигнал 1 на вход  $A$  схемы на рис. 3.9, то на выходе  $Y$  получили бы противоположный сигнал, т.е. логический 0. Мы говорим, что инвертор *дополняет* или *инвертирует* входной сигнал. На рис. 3.9 записано также булево выражение для логической функции НЕ, или функции инвертирования. Обратите внимание на использование черты ( $\neg$ ) над обозначением входного сигнала: эта черта указывает на то, что входной сигнал  $A$  инвертирован, или взято его дополнение. Булев терм (член)  $\bar{A}$  читается как «не  $A$ ».

Таблица истинности для инвертора приведена на рис. 3.10. Если уровень напряжения на входе инвертора НИЗКИЙ, то на выходе появится сигнал ВЫСОКОГО

Рис. 3.10. Таблица истинности для инвертора.

Вход		Выход	
$A$		$Y$	
Уровень напряжения	Двоичный сигнал	Уровень напряжения	Двоичный сигнал
НИЗКИЙ	0	ВЫСОКИЙ	1
ВЫСОКИЙ	1	НИЗКИЙ	0

уровня. Однако если входное напряжение будет иметь ВЫСОКИЙ уровень, то на выходе мы обнаружим сигнал НИЗКОГО уровня. Как вы уже уяснили, выходной сигнал инвертора всегда противоположен входному. В приведенной таблице истинности характеристики инвертора описаны также и в терминах двоичных нулей и единиц.

Теперь вы уже знаете, что при прохождении сигнала через инвертор входной сигнал инвертируется или дополняется. Мы можем также сказать, что входной сигнал при этом *отрицается*. Отсюда следует, что понятия «отрицание», «дополнение» и «инверсия» означают одно и то же. На рис. 3.11 показана схема устройства, в котором входной сигнал  $A$  проходит через два инвертора. Этот сигнал сначала инвертируется и получается сигнал «не  $A$ » ( $\bar{A}$ ), а затем инвертируется вторично и получается сигнал «двойное не  $A$ » ( $\bar{\bar{A}}$ ). Переходя на язык двоичных чисел, находим, что логическая единица на входе, инвертированная дважды, дает исходную двоичную единицу. Следовательно, мы нашли, что  $\bar{\bar{A}}$  равно  $A$ . Таким образом, булев терм с двумя чертами эквивалентен самому терму, стоящему под ними, как показано в нижней части рис. 3.11.

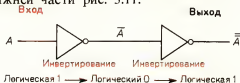


Рис. 3.11. Двойное инвертирование.

Следовательно,  $\bar{\bar{A}} = A$

Отрицание

Двойное инвертирование

Вы теперь знаете условное обозначение, булево выражение и таблицу истинности для инвертора, ими вам неизбежно придется пользоваться в повседневной работе с цифровыми электронными устройствами.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

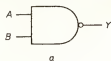
- Если на вход  $A$  схемы (см. рис. 3.9) подано напряжение **ВЫСОКОГО** уровня, то на выходе  $Y$  инвертора появится напряжение \_\_\_\_\_ уровня.
- Если на вход  $A$  схемы (см. рис. 3.11) слева от инвертора подать сигнал **НИЗКОГО** уровня, то на выходе справа от инвертора возникает сигнал \_\_\_\_\_ уровня.
- Запишите булево выражение, применяемое для описания действия инвертора.
- Запишите два слова, которые используют для замены термина «инвертирование».

### 3.4. Логический элемент И–НЕ

Логический элемент  
И–НЕ

Символ инвертора  
(кружок)

Логические элементы И, ИЛИ и НЕ представляют собой три основных типа схем, из которых komponуются все цифровые электронные устройства. Логический элемент И–НЕ реализует логическую функцию И–НЕ или инвертированное И. Стандартное условное обозначение логических элементов И–НЕ показано на рис. 3.12, а. Символ *инвертора* (небольшой кружок) с правой стороны обозначения говорит об инвертировании результата логической операции И.



Входы

Выход

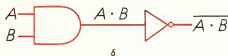


Рис. 3.12.

$a$  – условное обозначение логического элемента И–НЕ;  $b$  – булево выражение для выхода логического элемента И–НЕ.

На рис. 3.12, б раздельно показаны логический элемент И и инвертор, совместное использование которых обеспечивает ту же логическую функцию И–НЕ. Обратите внимание также на булевы выражения  $(A \cdot B)$  и  $\overline{(A \cdot B)}$  соответственно для логического элемента И и элемента И–НЕ, приведенные на рис. 3.12, б.

Таблица истинности для логического элемента И–НЕ дана на рис. 3.13 (правый столбец). Заметьте, что столбец для элемента И–НЕ получается путем *инвертирования* выходов элемента И, которые приведены в той же таблице для сравнения.

Входы		Выход	
В	А	И	И–НЕ
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

Рис. 3.13. Таблицы истинности для логических элементов И и И–НЕ.

Логические элементы И–НЕ используются в схемах промышленной электроники, а также в цифровых электронных устройствах всех типов. Поэтому вам необходимо хорошо запомнить условное обозначение, булево выражение и таблицу истинности для логического элемента И–НЕ. Отличительное свойство логического элемента И–НЕ состоит в том, что на его выходе появляется сигнал НИЗКОГО уровня только тогда, когда на все его входы подаются сигналы ВЫСОКОГО уровня. Столбцы выхода на рис. 3.13 показывают, что *только* комбинация, соответствующая четвертой строке, дает на выходе элемента И–НЕ логический 0, а во всех других случаях на выходе формируется сигнал логической 1.

#### Задания для самопроверки

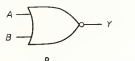
Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Со стороны выхода условное обозначение элемента И–НЕ имеет \_\_\_\_\_ (плоскую, заостренную, закругленную) форму с добавлением инвертирующего кружка.
- Запишите булево выражение для логического элемента И–НЕ с двумя входами.
- Если на оба входа А и В схемы (см. рис. 3.12, а) поданы сигналы ВЫСОКОГО логического уровня, то на выходе Y логического элемента И–НЕ появится сигнал \_\_\_\_\_ уровня. Этот случай \_\_\_\_\_ (отражает, не отражает) уникальное свойство логического элемента И–НЕ.

### 3.5. Логический элемент ИЛИ–НЕ

Логический элемент  
ИЛИ–НЕ

Логический элемент ИЛИ–НЕ называют еще по-другому элементом отрицания ИЛИ. Это говорит о том, что для реализации функции ИЛИ–НЕ выход элемента ИЛИ должен

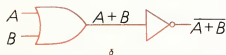


Входы

Выход

Рис. 3.14.

а — условное обозначение логического элемента ИЛИ–НЕ; б — булево выражение для выхода логического элемента ИЛИ–НЕ.



быть инвертирован. Условное обозначение логического элемента ИЛИ–НЕ показано на рис. 3.14, а. Заметьте, что условное обозначение элемента ИЛИ–НЕ совпадает с обозначением элемента ИЛИ, за исключением небольшого кружка справа, указывающего на инвертирование. На рис. 3.14, б логическая функция ИЛИ–НЕ реализуется путем комбинирования логического элемента ИЛИ с инвертором. Здесь же дано булево выражение  $(A + B)$  для логической функции ИЛИ, а для полной логической функции ИЛИ–НЕ оно имеет вид  $\overline{A + B}$ .

Таблица истинности для логического элемента ИЛИ–НЕ приведена на рис. 3.15. Обратите внимание на то, что выход логического элемента ИЛИ–НЕ является точным дополнением выхода элемента ИЛИ. Значения выходов логического элемента ИЛИ даны в той же таблице для сравнения.

Входы		Выход	
B	A	ИЛИ	ИЛИ–НЕ
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

Рис. 3.15. Таблица истинности для логических элементов ИЛИ и ИЛИ–НЕ.

Постарайтесь теперь запомнить условное обозначение, булево выражение и таблицу истинности для логического элемента ИЛИ–НЕ. Эти сведения часто будут нужны вам в вашей работе с цифровыми электронными устройствами. Отличительное свойство логического элемента ИЛИ–НЕ состоит в том, что на его выходе появляется сигнал **ВЫСОКОГО** логического уровня только тогда, когда на все его входы подаются сигналы **НИЗКОГО** логического уровня. Как показано в столбце выхода на рис. 3.15, единица появляется *только* в первой строке таблицы истинности для элемента ИЛИ–НЕ, в остальных же строках на выходе получается 0.



## Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

15. Со стороны выхода условное обозначение логического элемента ИЛИ–НЕ имеет \_\_\_\_\_ (плоскую, заостренную, закругленную) форму с добавлением инвертирующего кружка.
16. Запишите булево выражение для логического элемента ИЛИ–НЕ с двумя входами.
17. Если на вход  $A$  схемы (см. рис. 3.14) поступит сигнал НИЗКОГО логического уровня, а на вход  $B$  – сигнал ВЫСОКОГО уровня, то на выходе  $Y$  логического элемента ИЛИ–НЕ появится сигнал \_\_\_\_\_ уровня. Этим свойством по отношению к выходу обладает \_\_\_\_\_ (только, не только) логический элемент ИЛИ–НЕ.
18. Если на оба входа схемы (см. рис. 3.14) поданы сигналы НИЗКОГО логического уровня, то на выходе  $Y$  логического элемента ИЛИ–НЕ появится сигнал \_\_\_\_\_ уровня. Таким свойством по отношению к выходу обладает \_\_\_\_\_ (только, не только) логический элемент ИЛИ–НЕ.

## 3.6. Логический элемент исключающее ИЛИ

Логический элемент  
исключающее  
ИЛИ  
Логический элемент  
XOR

Логический элемент исключающее ИЛИ иногда называют элементом типа «что-нибудь, но не все» и часто для него используют английское сокращение XOR. Условное обозначение логического элемента исключающее ИЛИ показано на рис. 3.16, а; булево выражение для логического элемента исключающее ИЛИ дано на рис. 3.16, б. Символ  $\oplus$  (псевдоплюс) означает, что входы  $A$  и  $B$  связаны логической функцией исключающее ИЛИ.

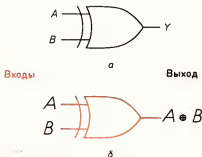


Рис. 3.16.

а – условное обозначение логического элемента исключающее ИЛИ; б – булево выражение для выхода элемента исключающее ИЛИ.

Таблица истинности для логического элемента исключающее ИЛИ приведена на рис. 3.17. Обратите внимание на то, что если на какой-либо из входов (но не на все) подана логическая единица, то на выходе также появляется

Входы		Выход	
В	А	ИЛИ	ИСКЛЮЧАЮЩЕЕ ИЛИ
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	0

Рис. 3.17. Таблица истинности для логических элементов ИЛИ и исключающее ИЛИ.

двоичная или логическая единица. На рис. 3.17 для сравнения показаны также выходы логического элемента ИЛИ. При нечетном числе выходов (1, 3, 5 и т.д.), на которые подаются сигналы **ВЫСОКОГО** логического уровня, на выходе логического элемента исключающее ИЛИ появится также сигнал **ВЫСОКОГО** логического уровня, а при четном числе входов (0, 2, 4 и т.д.) на выходе элемента исключающее ИЛИ появится сигнал **НИЗКОГО** логического уровня. В качестве примера рассмотрим таблицу истинности, приведенную на рис. 3.17. В строке 4 имеется *четное* число входов (2) с сигналом **ВЫСОКОГО** уровня, и, следовательно, на выходе появится сигнал **НИЗКОГО** уровня. В строке 3 на рис. 3.17 сигналы **ВЫСОКОГО** логического уровня поданы на *нечетное* число входов (1), и, следовательно, на выходе будет наблюдаться сигнал **ВЫСОКОГО** логического уровня.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

19. Логический элемент исключающее ИЛИ иногда называют элементом типа \_\_\_\_\_ (ответ состоит из четырех слов).
20. Запишите булево выражение для элемента исключающее ИЛИ с двумя входами.
21. Если на оба входа схемы (см. рис. 3.16, а) поданы сигналы **ВЫСОКОГО** логического уровня, то на выходе  $Y$  логического элемента исключающее ИЛИ будет наблюдаться сигнал \_\_\_\_\_ уровня.
22. Если на нечетное число входов (см. рис. 3.16, а) поданы сигналы **ВЫСОКОГО** логического уровня, то на выходе логического элемента исключающее ИЛИ появится сигнал \_\_\_\_\_ уровня.

### 3.7. Логический элемент исключающее ИЛИ – НЕ

Для термина «логический элемент исключающее ИЛИ – НЕ» часто используют английское сокращение XNOR. Условное обозначение этого элемента показано на рис. 3.18, а. Обратите внимание на то, что это обозначение фактически

Логический элемент  
исключающее  
ИЛИ – НЕ

Логический элемент  
XNOR

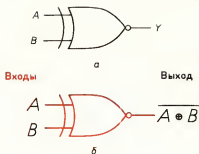


Рис. 3.18.

*a* – условное обозначение логического элемента исключающее ИЛИ – НЕ; *б* – булево выражение для выхода элемента исключающее ИЛИ – НЕ.

представляет собой символ элемента исключающее ИЛИ, но с добавлением инвертирующего кружка со стороны выхода этого элемента. На рис. 3.18, *б* дано одно из булевых выражений, используемых для логического элемента исключающее ИЛИ – НЕ. Согласно рисунку, булево выражение выглядит как  $A \oplus B$ . Горизонтальная черта над выражением  $A \oplus B$  говорит об инвертировании выхода логического элемента исключающее ИЛИ. Обратившись теперь к таблице истинности, приведенной на рис. 3.19, заметим, что выход логического элемента исключающее ИЛИ – НЕ является дополнением по отношению к выходу элемента исключающее ИЛИ. Для сравнения выходы логического элемента исключающее ИЛИ также приведены в таблице истинности на рис. 3.19.

Входы		Выход	
A	B	ИСКЛЮЧАЮЩЕЕ ИЛИ	ИСКЛЮЧАЮЩЕЕ ИЛИ – НЕ
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Рис. 3.19. Таблица истинности для логических элементов исключающее ИЛИ и исключающее ИЛИ – НЕ.

Теперь вам знакомы условное обозначение, таблица истинности и булево выражение для логического элемента исключающее ИЛИ – НЕ.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Условное обозначение логического элемента исключающее ИЛИ – НЕ получается путем добавления \_\_\_\_\_ кружка на выходе условного обозначения логического элемента \_\_\_\_\_.
- Запишите булево выражение для логического элемента исключающее ИЛИ – НЕ с двумя входами.
- Если на вход *A* схемы (см. рис. 3.18, *a*) подан сигнал НИЗКОГО логического уровня, то на выходе *Y* логиче-

- ского элемента исключающее ИЛИ – НЕ появится сигнал \_\_\_\_\_ уровня.
26. Если на четное число входов (см. рис. 3.18, а) поданы сигналы **ВЫСОКОГО** логического уровня, то на выходе  $Y$  логического элемента исключающее ИЛИ – НЕ будет наблюдаться сигнал \_\_\_\_\_ уровня.

### 3.8. Универсальный характер логического элемента И – НЕ

До сих пор в этой главе вы изучали основные элементы, используемые в любых цифровых электронных схемах. Вы познакомились также с семью различными логическими элементами и теперь знаете характеристики элементов И, ИЛИ, И – НЕ, ИЛИ – НЕ, исключающее ИЛИ, исключающее ИЛИ – НЕ и инвертора. Среди ИС, имеющихся в широкой продаже, можно приобрести схемы, реализующие любую из этих семи основных логических функций.

Универсальный логический элемент И – НЕ

В рекламной и справочной литературе логические элементы И – НЕ представлены более широко по сравнению со многими другими типами логических элементов. Имея это в виду, мы покажем, каким образом можно реализовать все другие логические функции на основе универсального логического элемента И – НЕ.

В таблице на рис. 3.20 показано, как нужно соединять логические элементы И – НЕ для реализации любых других основных логических функций, записанных в левом столбце; условные обозначения соответствующих логических элементов помещены во втором столбце таблицы. Эту таблицу запоминать не требуется, но она может оказаться хорошим подспорьем в вашей будущей работе с цифровыми электронными устройствами.

#### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

27. Логический элемент И – НЕ может выполнять логическую функцию инвертирования, если его входы \_\_\_\_\_ (соединены вместе, разъединены).
28. Сколько нужно логических элементов И – НЕ с двумя входами для реализации логической функции ИЛИ с двумя входами?

### 3.9. Логические элементы с числом входов больше двух

До сих пор мы использовали только логические элементы с одним или двумя входами. Однако довольно часто бывает необходимо иметь логические элементы с большим числом входов. На рис. 3.21, а представлен для примера ло-




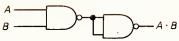

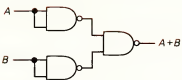

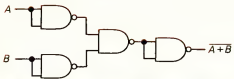

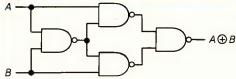


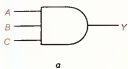
Логическая функция	Условное обозначение	Схема с использованием только логических элементов И — НЕ
Инвертор	 $\bar{A}$	
И	 $A \cdot B$	
ИЛИ	 $A + B$	
ИЛИ — НЕ	 $\overline{A + B}$	
Исключающее ИЛИ	 $A \oplus B$	
Исключающее ИЛИ — НЕ	 $\overline{A \oplus B}$	

Рис. 3.20. Реализация логических функций на основе замещения логическими элементами И — НЕ.



$$A \cdot B \cdot C = Y$$

б

Входы			Выходы
С	В	А	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

в

Рис. 3.21. Логический элемент И с тремя входами.  
а — условное обозначение; б — булево выражение;  
в — таблица истинности.

# Логический элемент И с тремя входами

гический элемент И с тремя входами. Булево выражение для такого элемента имеет вид  $A \cdot B \cdot C = Y$  (рис. 3.21, б). Все возможные комбинации входов  $A$ ,  $B$  и  $C$  указаны в таблице истинности на рис. 3.21, в; выходы для логического элемента И с тремя входами перечислены в правом столбце таблицы истинности. Заметьте, что в случае трех входов число строк таблицы истинности возрастает до восьми.

Зададимся теперь целью получить логический элемент И с тремя входами, показанный на рис. 3.21, используя только элементы И с двумя входами. Решение этой задачи дано на рис. 3.22, а. Обратите внимание на способ соединения двухвходовых логических элементов И. На рис. 3.22, б показано, каким образом можно было бы собрать логический элемент И с четырьмя входами, имея в наличии лишь логические элементы с двумя входами.

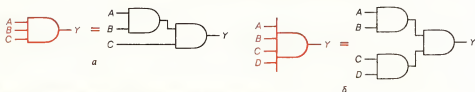
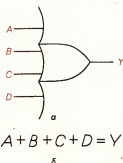


Рис. 3.22. Увеличение числа входов логического элемента И.

Обратите внимание на способ включения дополнительных входов на рис. 3.22, б без увеличения размеров обозначения самого логического элемента.

Обозначение логического элемента ИЛИ с четырьмя входами дано на рис. 3.23, а. Булево выражение для элемента ИЛИ с четырьмя входами имеет вид  $A + B + C + D = Y$  и записано на рис. 3.23, б. Это булево выражение нужно читать следующим образом:  $A$  или  $B$  или  $C$  или  $D$  равно  $Y$ .



Входы				Выход
D	C	B	A	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Рис. 3.23. Логический элемент ИЛИ с четырьмя входами.

а — условное обозначение, показывающее способ включения дополнительных входов без увеличения размеров обозначения самого логического элемента; б — булево выражение; в — таблица истинности.

поскольку, как вы помните, символ «+» в булевых выражениях обозначает логическую функцию ИЛИ. Таблица истинности для логического элемента ИЛИ с четырьмя входами показана на рис. 3.23, в. Заметьте, что из-за наличия четырех входов число возможных комбинаций  $A$ ,  $B$ ,  $C$  и  $D$  возрастает до 16. В таком случае для реализации логической функции ИЛИ с четырьмя переменными необходимо приобрести готовый логический элемент с четырьмя входами, либо собрать логический элемент ИЛИ с четырьмя входами, комбинируя элементы ИЛИ с двумя входами, как показано на рис. 3.24, а. Для конструирования элемента ИЛИ с тремя входами необходимо соединить двухвходовые логические элементы ИЛИ по схеме на рис. 3.24, б. Обратите внимание на то, что конфигурация соединений элементов

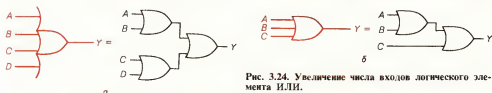


Рис. 3.24. Увеличение числа входов логического элемента ИЛИ.

ИЛИ с двумя входами, обеспечивающая увеличение числа входов, осталась той же, что и в случае элементов И (ср. рис. 3.22 и 3.24).

Рис. 3.25. Увеличение числа входов логического элемента И-НЕ.

Увеличение числа входов



Увеличить число входов логического элемента И-НЕ уже несколько труднее. На рис. 3.25 показано, как собрать логический элемент И-НЕ с четырьмя входами, используя два элемента И-НЕ с двумя входами и один элемент ИЛИ с двумя входами.

На практике вам часто придется использовать логические элементы с числом входов от двух до восьми и более. Основные сведения, приведенные в этой главе, должны послужить для вас руководством в тех случаях, когда вам нужно будет увеличить число входов логических элементов.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

29. Запишите булево выражение для логического элемента И-НЕ с тремя входами.

30. Таблица истинности для логического элемента И–НЕ с тремя входами должна содержать \_\_\_\_\_ строк, чтобы включить все возможные комбинации входов.
31. Запишите булево выражение для логического элемента ИЛИ–НЕ с четырьмя входами.
32. Таблица истинности для логического элемента ИЛИ–НЕ с четырьмя входами должна содержать \_\_\_\_\_ строк, чтобы включить все возможные комбинации входов.

### 3.10. Использование инвертора для преобразования логических элементов

Часто бывает удобно преобразовывать основные логические элементы, такие, как И, ИЛИ, И–НЕ, ИЛИ–НЕ для получения других логических функций. Это можно легко осуществлять с помощью инверторов. На рис. 3.27 приведена справочная таблица по преобразованию любого данного логического элемента в элемент, выполняющий другую логическую функцию. При внимательном взгляде на таблицу вы заметите, что в ее верхней части инвертированию подвергаются только выходы. Инвертирование выходов приводит к легко предсказуемым результатам, показанным в правой части таблицы.

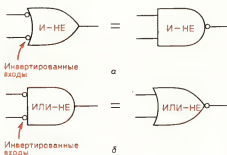


Рис. 3.26.

а – условные обозначения для элементов И–НЕ; б – условные обозначения для элементов ИЛИ–НЕ.

Альтернативное условное обозначение элемента И–НЕ

Альтернативное условное обозначение элемента ИЛИ–НЕ

В центральной части таблицы даны примеры, в которых инвертируются только входы логических элементов. Например, если вы инвертируете оба входа элемента ИЛИ, он превращается в элемент И–НЕ. Этот случай специально показан на рис. 3.26, а. Заметьте, что к обозначению элемента ИЛИ были добавлены инвертирующие кружки, с помощью которых элемент ИЛИ превращается в элемент И–НЕ. В центральной части таблицы инвертированию подвергаются также входы логического элемента И. Этот случай отдельно изображен на рис. 3.26, б. Заметьте, что инвертирующие кружки на входе элемента И преобразуют его в логический элемент ИЛИ–НЕ. Новые условные обозначения в левой части рис. 3.26 (с инвертирующими кружками на входе) используются в некоторых логических схемах вместо более привычных стандартных обозначений элемен-



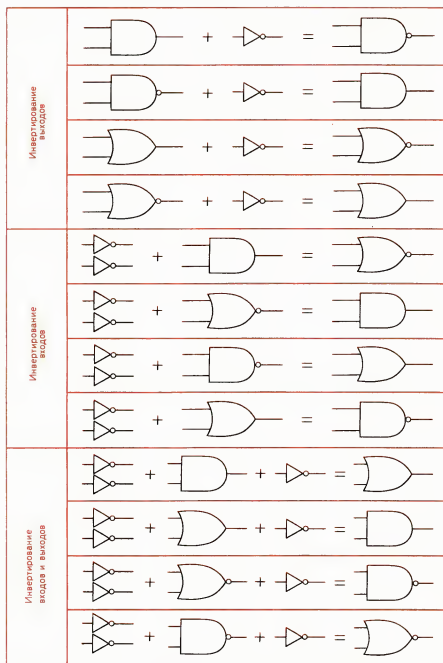


Рис. 3.27. Преобразование логических элементов с использованием инверторов.

Символ «+» обозначает добавление логических элементов.

тов И–НЕ и ИЛИ–НЕ, показанных справа. Внимательно изучите эти новые обозначения, так как они встретятся вам в вашей будущей работе с цифровыми электронными устройствами.

В нижней части таблицы на рис. 3.27 рассматриваются случаи, когда инвертированию подвергаются и входы и выходы. Обратите внимание на то, что, используя инверторы на входе и выходе, вы можете взаимно преобразовывать друг в друга логические элементы И и ИЛИ, И–НЕ и ИЛИ–НЕ.

На основе 12 преобразований, приведенных в таблице на рис. 3.27, можно преобразовывать любой основной логический элемент (И, ИЛИ, И–НЕ, ИЛИ–НЕ) в любой другой логический элемент, применяя только инверторы. Таблица на рис. 3.27 может служить вам для справок, и ее запоминать не требуется.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

33. Логический элемент ИЛИ можно преобразовать для выполнения логической функции И–НЕ, если к его входам добавить \_\_\_\_\_.
34. Добавляя инверторы ко входам логического элемента И, можно реализовать логическую функцию \_\_\_\_\_.
35. Добавляя инвертор к выходу логического элемента И, можно реализовать логическую функцию \_\_\_\_\_.
36. Добавляя инверторы ко всем входам и выходу логического элемента И, можно реализовать логическую функцию \_\_\_\_\_.

### 3.11. Практические схемы на логических элементах семейства ТТЛ

Семейства

Совместимость

Биполярная технология

Популярность цифровых электронных схем отчасти обусловлена широкой доступностью и относительно невысокой стоимостью соответствующих интегральных схем. Изготовители разработали множество *семейств* (типов) цифровых ИС, представляющих собой наборы схем, которые могут использоваться совместно. Если ИС принадлежат к одному семейству, то говорят, что они совместимы; такие ИС можно легко соединять друг с другом.

Одно из семейств цифровых ИС – это схемы, получаемые на основе так называемой биполярной технологии. В этих ИС содержатся элементы, очень похожие на отдельно выпускаемые (дискретные) биполярные транзисторы, диоды и резисторы. Другое семейство цифровых ИС изготавливается с использованием МОП-технологии (металл – окисел – полу-

Семейство биполярных ТТЛ-ИС

Семейство КМОП-ИС

МОП-технология

проводник). В лабораторном практикуме вы, вероятно, начнете с изучения популярного семейства биполярных ТТЛ-ИС. Семейство КМОП-ИС — это широко используемые схемы с очень малым потреблением энергии, создаваемые на основе МОП-технологии и содержащие элементы, похожие на полевые транзисторы с изолированным затвором (IGFET).

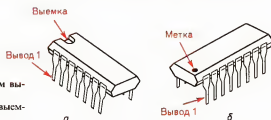


Рис. 3.28. Корпус ИС с двухрядным расположением выводов (DIP).

а — определение положения вывода 1 с помощью выемки; б — то же с использованием метки.

Корпус с двухрядным расположением выводов

Распространенный тип ИС показан на рис. 3.28, а. Этот тип изготовители относят к семейству корпусированных ИС с двухрядным расположением выводов (корпус типа DIP). В частности, данную ИС можно определить как ИС в корпусе DIP с 14 выводами.

На рис. 3.28, а сразу за выемкой в корпусе (если двигаться по направлению *против часовой стрелки*) расположен вывод 1. Дальнейшая нумерация выводов осуществляется в направлении *против часовой стрелки* от 1 до 14, *если смотреть на корпус ИС сверху*. Другой способ указания положения вывода 1 — нанесение метки на верхнюю часть корпуса типа DIP, как показано на рис. 3.28, б.

Изготовители ИС обычно сопровождают свои изделия схемой расположения выводов (рис. 3.29). Приведенная на рисунке ИС 7408 содержит четыре логических элемента И с двумя входами каждый. В связи с этим такую схему называют логической схемой на *четыре элемента И с двумя входами*; это — одна из многих доступных ТТЛ-ИС серии

Маркировка вывода 1 на ИС

Схема на четырех логических элементах И с двумя входами каждый

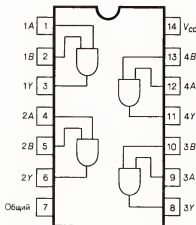


Рис. 3.29. Схема расположения выводов цифровой ИС 7408.

7400. Питание подается на ИС через выводы, обозначенные как ОБЩИЙ (вывод 7) и  $V_{CC}$  (вывод 14). Все другие выводы являются входами и выходами четырех ТТЛ-элементов.

ТТЛ-ИС 7408

Пусть теперь нам дана цепь, показанная на рис. 3.30, а; соберем ее, применяя ТТЛ-ИС 7408. Принципиальная схема этой цепи приведена на рис. 3.30, б. Здесь используется регулируемый источник питания с постоянным напряжением 5 В, обычно применяемый для всех ИС семейства ТТЛ. Положительный ( $V_{CC}$ ) и отрицательный (ЗЕМЛЯ) полюсы источника подсоединяются к выводам 14 и 7 соответственно. Входные переключатели (А и В) присоединены к выводам 1 и 2. Заметьте, что если переключатели находятся в *верхнем положении*, на вход логического элемента И подается логическая 1 (+5 В). Однако если переключатели находятся в *нижнем положении*, то на вход подается логический 0. В правой части схемы на рис. 3.30, б показан СИД, который через ограничительный резистор 150 Ом подсоединен к ЗЕМЛЕ. Если на контакте 3 появится сигнал **ВЫСОКОГО** логического уровня (напряжение около +5 В), через свето-

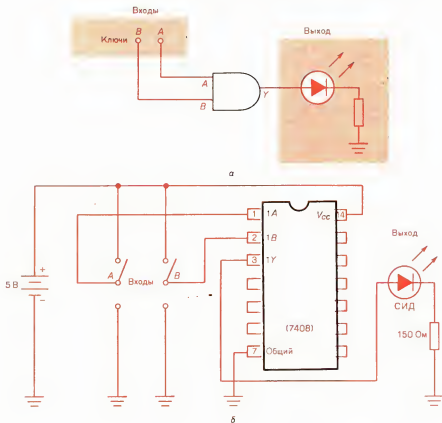


Рис. 3.30.

а — схема с логическим элементом И с двумя входами; б — принципиальная схема, реализующая логическую функцию И с двумя входами.



Рис. 3.31.

а — маркировка типичной цифровой ИС, выпускаемой фирмой National Semiconductor; б — расшифровка обозначения на корпусе ИС.



Цифровая часть условного обозначения ИС

диод потечет ток, и он начнет излучать, а это означает, что на выходе логического элемента И возникает сигнал ВЫСОКОГО логического уровня.

На рис. 3.31, а показана верхняя часть корпуса одной из распространенных цифровых ТТЛ-ИС. Две стоящие рядом буквы NS на верхней части корпуса ИС определяют фирму-изготовитель: National Semiconductor. Основное обозначение на корпусе DM7408N можно разделить на части так, как показано на рис. 3.31, б. Первые две буквы обозначения DM (префикс) являются условным кодом фирмы-изготовителя (все наименования изделий фирмы National Semiconductor начинаются с этих букв). Средняя часть обозначения — число 7408 — определяет тип ТТЛ-ИС как схему на четыре логических элемента И с двумя входами каждый. Такое обозначение принято всеми изготовителями ИС. Последняя буква N (суффикс) есть код, используемый некоторыми изготовителями для обозначения корпуса типа DIP.

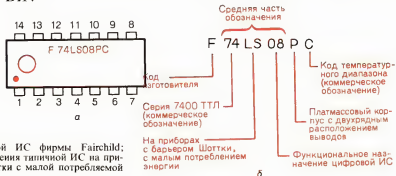


Рис. 3.32.

а — маркировка цифровой ИС фирмы Fairchild; б — расшифровка обозначения типичной ИС на приборах с барьерами Шоттки с малой потребляемой мощностью.

Коммерческая маркировка  
Средняя часть обозначения

Верхняя часть корпуса другой цифровой ИС показана на рис. 3.32, а. Буква F на этой ИС устанавливает фирму-изготовитель: Fairchild Camera and Instrument. На этом изделии фирмы Fairchild суффикс Р обозначает пластмассовый корпус типа DIP, а буква С является кодом диапазона рабочих температур от 0 до +70°С. Эти обозначения обычно представляют собой коммерческую маркировку. Средняя часть обозначения — 74LS08 — определяет примерно то же, что

Приборы с барьерами Шоттки с малой потребляемой мощностью

ТТЛ-схемы с высоким быстродействием  
ТТЛ-схемы с малой потребляемой мощностью  
ТТЛ-схемы на приборах с барьерами Шоттки  
Подсемейство

и цифры 7408 в случае схемы, рассмотренной ранее, на четыре логических элемента И с двумя входами каждый. Буквы LS в середине обозначения говорят о том, что в данной ИС применены ТТЛ-элементы. В нашем случае обозначение LS относится к приборам с барьерами Шоттки с малой потребляемой мощностью.

В буквах во внутренней части обозначения на корпусе ИС серии 7400 содержатся и некоторые сведения о логическом семействе или подсемействе ИС:

- C – КМОП-схемы (отдельное семейство);
- H – ТТЛ-схемы с высоким быстродействием (подсемейство ТТЛ);
- L – ТТЛ-схемы с малой потребляемой мощностью (подсемейство ТТЛ);
- LS – ТТЛ-схемы на приборах с барьерами Шоттки с малой потребляемой мощностью (подсемейство ТТЛ);
- S – ТТЛ-схемы на приборах с барьерами Шоттки (подсемейство ТТЛ).

Буквы во внутренней части обозначения содержат также информацию о быстродействии цифровых ИС и потребляемой мощности. Вследствие различия этих параметров у разных ИС изготовители обычно рекомендуют внимательно следить за обозначениями при замене одних схем другими. Если, например, внутри обозначения серии 7400 встречается буква C, то это означает, что данная цифровая ИС принадлежит к семейству КМОП-схем, а не ТТЛ-схем.

Технический паспорт, составляемый изготовителями, содержит много важной информации о цифровых ИС. В нем имеются схемы расположения выводов и данные о типе корпуса; расшифровывается обозначение ИС и даются другие ценные сведения для технических специалистов, учащихся или инженеров-конструкторов.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

37. Выпишите два распространенных семейства цифровых ИС.
38. На рис. 3.28 изображена ИС с широко распространенной формой корпуса, называемого \_\_\_\_\_.
39. Для питания ТТЛ-ИС используется источник постоянного напряжения \_\_\_\_\_ В. Вывод  $V_{cc}$  присоединяется к \_\_\_\_\_ (отрицательному, положительному) полюсу источника, а общий вывод – к \_\_\_\_\_ (отрицательному, положительному) полюсу источника.
40. Как понимается изготовителем обозначение 7408 на корпусе ИС (см. рис. 3.30, б)?
41. Что вы можете сказать о цифровой ИС, которая имеет на корпусе обозначение DM74LS08N?

## 3.12. Поиск неисправностей в простых логических схемах

Логический пробник

Основным измерительным прибором для проверки цифровых электронных схем является *логический пробник*. Простой логический пробник изображен на рис. 3.33. Ползунковый переключатель используется для задания режимов работы пробника в зависимости от принадлежности проверяемых ИС к ТТЛ- или КМОП-семействам (на рис. 3.33 он настроен на проверку цифровых ТТЛ-схем).

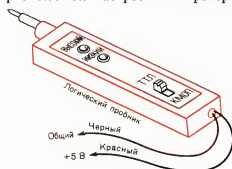


Рис. 3.33. Логический пробник.

Как обычно, два проводника служат для подачи питания на логический пробник. Красный проводник соединен с положительным (+) полюсом источника, а черный — с отрицательным (—) или ЗЕМЛЕЙ. После подачи питания на пробник заостренным щупом касаются проверяемой точки или вывода в схеме. В логическом пробнике при этом будет светиться какой-либо из индикаторов в результате поступления сигналов **ВЫСОКОГО** или **НИЗКОГО** логических уровней. Если ни один из индикаторов не светится, то это обычно означает, что уровень проверяемого напряжения находится в промежутке между **ВЫСОКИМ** и **НИЗКИМ**.

На практике при сборке электронной аппаратуры большинство цифровых ИС монтируется на печатных платах

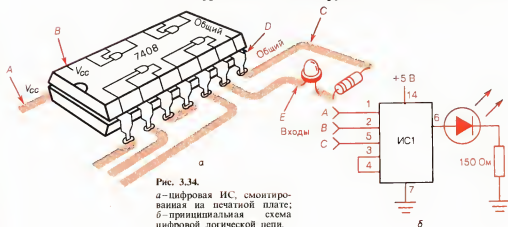


Рис. 3.34.  
а — цифровая ИС, смонтированная на печатной плате;  
б — принципиальная схема цифровой логической цепи.

Последовательность  
действий при поиске  
неисправностей

(рис. 3.34, а). В распоряжении студента или специалиста может быть также принципиальная схема, подобная показанной на рис. 3.34, б. На принципиальных схемах часто не показываются соединения выводов ИС, обозначенных как  $+5 В (V_{cc})$  и ОБЩИЙ, с источником питания. Однако при этом всегда подразумевается, что такие соединения должны существовать. На принципиальной схеме выводы ИС обычно бывают пронумерованы. Типы ИС могут и не обозначаться на схеме, однако они, как правило, приводятся в спецификации деталей, необходимых для данного цифрового устройства.

Первый этап проверки собранного устройства основывается на ваших собственных ощущениях. *Потрогайте* пальцами верхние части корпусов ИС, чтобы выяснить, не нагрелись ли они. При нормальной работе некоторые ИС могут быть холодными, другие — слегка нагретыми. *Убедитесь* в том, что в схеме нет разрывов, перемычек из припоя, нарушения соединений на печатной плате, механических разрушений на стигах выводов ИС. Проверьте, нет ли характерного запаха, свидетельствующего о перегреве элементов схемы. *Посмотрите*, нет ли признаков обугливания или изменения цвета окраски в элементах схемы из-за перегрева.

На следующем этапе проверки можно выяснить, подается ли питание на каждую ИС. Подсоединив питание к логическому пробнику, проверьте щупом точки, обозначенные на рис. 3.34, а как *A* и *B* (вывод  $V_{cc}$ ), *C* и *D* (вывод ОБЩИЙ). При проверке точек *A* и *B* на пробнике должен ярко светиться индикатор сигнала ВЫСОКОГО логического уровня, а при проверке точек *C* и *D* появится яркое свечение индикатора сигнала НИЖНЕГО уровня.

Затем можно проверить прохождение логических сигналов через элементы схемы. В нашем примере (см. рис. 3.34) схема представляет собой логический элемент И с тремя входами. Отличительное свойство такого элемента состоит в том, что на его выходе появляется сигнал ВЫСОКОГО логического уровня тогда, когда на все его входы (*A*, *B* и *C*) подаются также сигналы ВЫСОКОГО уровня. Проверьте логическим пробником напряжения на выводах 1, 2 и 5 (входы *A*, *B* и *C*) и обеспечьте подачу сигналов ВЫСОКОГО уровня на все входы. Когда это будет сделано, на выходе (вывод 6) тоже должен появиться сигнал ВЫСОКОГО уровня, и СИД будет излучать. Если уникальное свойство данного логического элемента реализуется, то попробуйте создать другие комбинации входов и проверьте соответствующие выходные сигналы.

Вернемся теперь к рис. 3.34, а. Пусть в точке *A* логический пробник показывает, что напряжение имеет ВЫСОКИЙ логический уровень, а в точке *B* — НИЗКИЙ логический уровень (вывод 14). Это, вероятно, означает, что проводящая дорожка на печатной плате имеет разрыв или что в точках *A* и *B* повреждены паяные соединения. Если



выводы корпуса DIP вставляются при монтаже в специальные гнезда, то в тонких местах выводных ножек ИС может появиться двойной изгиб. Этот часто встречающийся дефект монтажа создает зазор между выводом ИС и лепестками соответствующего гнезда и, следовательно, приводит к нарушению контакта с проводящей дорожкой печатной платы.

Снова обратимся к рис. 3.34,а. Предположим, что на выводах 1, 2 и 3 имеет место сигнал НИЗКОГО логического уровня, в то время как на выводе 4 сигнал отсутствует (ни один СИД на логическом пробнике не светится). Отсутствие показаний обоих индикаторов для большинства типов логических пробников означает, что уровень напряжения в контролируемой точке находится в промежутке между НИЗКИМ и ВЫСОКИМ (для ТТЛ-ИС это соответствует величине напряжения между 1 и 2 В). Вход, соответствующий выводу 4, является «плавающим», т.е. отсоединенным, и для ИС 7408, принадлежащей к семейству ТТЛ-схем, должен соответствовать ВЫСОКОМУ логическому уровню. Предполагается, что с выхода первого логического элемента И (вывод 3) на вход второго логического элемента И (вывод 4) подается сигнал НИЗКОГО уровня. Если это не так, то надо искать повреждения в проводящей дорожке печатной платы, паяных соединениях или в изогнутых ножках ИС. Могут быть также разрывы или короткие замыкания внутри самих цифровых ИС.

Таким образом, поиск неисправностей нужно начинать, основываясь на собственных ощущениях. Затем необходимо проверить с помощью логического пробника подачу питания на каждую ИС, определить правильность выполнения логических функций в схеме и проконтролировать появление сигналов на выходах, характерных только для данных типов логических элементов. Наконец, нужно произвести проверку других комбинаций входов и выходов логических элементов. Разрывы или короткие замыкания могут иметь место как во внешней схеме, так и внутри самих ИС. Замечу цифровых ИС следует проводить по возможности в пределах одного и того же типа.

### **Задания для самопроверки**

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

42. Для проверки каких семейств логических схем можно использовать логический пробник, изображенный на рис. 3.33?
43. С чего нужно начинать поиск неисправностей в логических схемах, собранных на ТТЛ-ИС?
44. Что делается на втором этапе поиска неисправностей?








## Основные результаты главы

1. Двоичные логические элементы являются основными составными частями всех цифровых электронных схем.
2. На рис. 3.35 приведена сводная таблица семи базовых логических элементов. Эту таблицу нужно запомнить.
3. Логические элементы И–НЕ применяются очень широко, и их можно использовать для реализации других логических функций.
4. Часто бывают необходимы логические элементы с числом входов от 2 до 10. Для увеличения числа входов можно применять специальные схемы соединений нескольких логических элементов.
5. Используя инверторы, можно взаимно преобразовывать друг в друга логические элементы И, ИЛИ, И–НЕ, ИЛИ–НЕ.
6. Логические элементы обычно помещаются в корпус ИС типа DIP. В цифровых схемах невысокой сложности широко применяются как ТТЛ-, так и КМОП-схемы.
7. Логический пробник, знание принципов работы схем и ваши собственные ощущения – зрение, обоняние, осязание – вот те основные средства, которые вы можете использовать при поиске неисправностей в логических схемах.

## Итоговые задания к изучаемой главе

1. Нарисуйте условные изображения следующих логических элементов, используя для входов обозначения *A, B, C, D*, а для выходов *Y*:
  - а. Схему И с двумя входами.
  - б. Схему ИЛИ с тремя входами.
  - в. Инвертор.
  - г. Схему исключающее ИЛИ с двумя входами.
  - д. Схему И–НЕ с четырьмя входами.
  - е. Схему ИЛИ–НЕ с двумя входами.
  - ж. Схему исключающее ИЛИ с двумя входами.
2. Нарисуйте ИЛИ–НЕ с двумя входами (специальный символ).
3. Запишите булево выражение для каждого логического элемента из п. 1.
4. Изобразите таблицу истинности для каждого логического элемента из п. 1.
5. Посмотрите на таблицу на рис. 3.35. Какой из логических элементов всегда дает на выходе 1 только в том случае, когда сигналы на двух входах не одинаковы (0 и 1 или 1 и 0)?
6. Какой из логических элементов можно назвать элементом типа «что-нибудь или все»?
7. Какой из логических элементов формирует дополнение сигнала, поданного на вход?
8. Какой из логических элементов можно назвать элементом типа «что-нибудь, но не все»?
9. Изобразите на схеме, как, имея логическую ячейку И и инвертор, можно осуществить логическую функцию ИЛИ–НЕ?
10. Как, имея логическую ячейку И–НЕ и инвертор, можно осуществить логическую функцию

Рис. 3.35. Сводная таблица базовых логических элементов.

Логическая функция	Условное обозначение	Булево выражение	Таблица истинности		
			Входы		Выход
			B	A	Y
И		$A \cdot B \rightarrow Y$	0	0	0
			0	1	0
			1	0	0
			1	1	1
			0	0	0
или		$A + B \rightarrow Y$	0	1	1
			1	0	1
			1	1	1
			0	0	0
Инвертор		$A \rightarrow \bar{A}$		0	1
				1	0
И — НЕ		$\overline{A \cdot B} \rightarrow Y$	0	0	1
			0	1	1
			1	0	1
			1	1	0
или — НЕ		$\overline{A + B} \rightarrow Y$	0	0	1
			0	1	0
			1	0	0
			1	1	0
Исключающее ИЛИ		$A \oplus B \rightarrow Y$	0	0	0
			0	1	1
			1	0	1
			1	1	0
Исключающее ИЛИ — НЕ		$\overline{A \oplus B} \rightarrow Y$	0	0	1
			0	1	0
			1	0	0
			1	1	1

ИЛИ? Начертите схему.

- Как, имея логическую ячейку И — НЕ и инвертор, можно осуществить логическую функцию И? Начертите схему.
- Как, имея четыре логических элемента

И с двумя входами каждый, получить логический элемент И с пятью входами? Начертите схему.

- Как, имея несколько логических элементов И — НЕ и ИЛИ, получить логический элемент И — НЕ

с четырьмя входами? Начертите схему.

- Аналогично какому логическому элементу работает схема с последовательно соединенными ключами (см. рис. 3.1)?

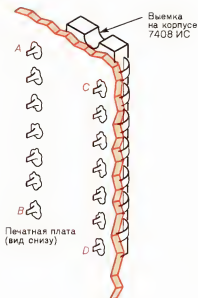


Рис. 3.36. ИС, припаянная к печатной плате.



Рис. 3.37. Вид сверху на типичную цифровую ИС.

15. Аналогично какому логическому элементу работает схема с параллельно соединенными ключами (см. рис. 3.6)?

16. На рис. 3.28, б показана ИС с \_\_\_\_\_ (8, 16) выводами в корпусе типа \_\_\_\_\_ (сокращенный термин).

17. Изобразите принципиальную схему, подобную схеме на рис. 3.30, б и реализующую логическую функцию И с тремя входами. Используйте при этом ИС 7408, источник питания с по-

стоянным напряжением 5 В, три входных ключа и индикатор выхода.

18. Контактная площадка на печатной плате, обозначенная буквой \_\_\_\_\_ (А, С), соответствует выводу 1 ИС на рис. 3.36.

19. Контактная площадка на печатной плате, обозначенная буквой \_\_\_\_\_, соответствует выводу ОБЩ. ИС 7408 на рис. 3.36.

20. Контактная площадка на печатной плате, обозначенная буквой \_\_\_\_\_, со-

ответствует выводу  $V_{cc}$  ИС 7408 на рис. 3.36.

21. ИС, показанная на рис. 3.37, производится фирмой \_\_\_\_\_ (Fairchild, Texas Instruments, Inc.)

22. Что означает префикс SN на корпусе ИС (см. рис. 3.37)?

23. TTL-ИС в корпусе DIP с 14 выводами, изображенная на рис. 3.37, является \_\_\_\_\_ (стандартной ИС, ИС с малым потреблением мощности).

24. Вывод 1 ИС, показанной на рис. 3.37,

- обозначен буквой \_\_\_\_\_.
25. Буквой **С** на корпусе ИС (см. рис. 3.37) обозначен вывод под номером \_\_\_\_\_.
26. Изобразите логическую схему цепи, показанной на рис. 3.34, используя условные обозначения логических элементов.
27. На рис. 3.34, *б* приведен пример \_\_\_\_\_ (логической, принципиальной) схемы, которую могут использовать специалисты, обслуживающие цифровые электронные устройства.
28. Посмотрите на рис. 3.34, *а*. Если на все входные контакты (1, 2 и 5) поданы сигналы **ВЫСОКОГО** логического уровня и при этом на выходном контакте 6 появился также сигнал **ВЫСОКОГО** логического уровня, а в точке *Е* обнаруживается сигнал **НИЗКОГО** уровня, то СИД \_\_\_\_\_ (будет, не будет) излучать и вся схема \_\_\_\_\_ (исправна, неисправна).
29. Выпишите все возможные неисправности, соответствующие случаю, когда на выводе 6 (см. рис. 3.34, *а*) действует сигнал **ВЫСОКОГО** логического уровня, а в точке *Е* — **НИЗКОГО**. Из-за внутреннего разрыва между выходом первого логического элемента И и выводом 3 (см. рис. 3.34, *а*) на логическом пробнике нельзя обнаружить ни сигнала **ВЫСОКОГО**, ни сигнала **НИЗКОГО** логического уровня. Это означает, что оба вывода 3 и 4 находятся под «плавающим» \_\_\_\_\_ (**ВЫСОКИМ**, **НИЗКИМ**) уровнем напряжения.

# Ответы к заданиям для самопроверки

1. Закругленным
2.  $A \cdot B = Y$
3. **ВЫСОКОГО**; будет излучать
4. Заостренным
5.  $A + B = Y$
6. **НИЗКОГО**
7. включающее
8. **НИЗКОГО**
9. **НИЗКОГО**
10.  $A = A$
11. Отрицание; дополнение
12. Заостренную
13.  $A \cdot B = Y$
14. **НИЗКОГО**; отражает
15. Заостренную
16.  $A + B = Y$
17. **НИЗКОГО**; не только
18. **ВЫСОКОГО**; только
19. «Что-нибудь, но не всё»
20.  $A \oplus B = Y$
21. **НИЗКОГО**
22. **ВЫСОКОГО**
23. Инвертирующего, исключаяющее ИЛИ
24.  $A \oplus B = Y$
25. **НИЗКОГО**
26. **ВЫСОКОГО**
27. Соединены вместе
28. Три
29.  $A \cdot B \cdot C = Y$
30. Восемь
31.  $A + B + C + D = Y$
32. 16
33. Инверторы
34. ИЛИ – НЕ
35. И – НЕ
36. ИЛИ
37. ТТЛ, КМОП
38. Корпусом с двухрядным расположением выводов (DIP)
39. 5 В; положительному, отрицательному
40. ТТЛ с четырьмя логическими элементами И с двумя входами каждый.
41. Изготовитель – фирма National Semiconductor, корпус – с двухрядным расположением выводов,

- семейство – ТТЛ серия 7400, тип – ИС на приборах с барьерами Шоттки, с малым потреблением энергии, функциональное назначение – логический элемент И с двумя входами.
42. ТТЛ и КМОП
43. С поиска разрывов, коротких замыканий и перегревов, используя при этом собственные ощущения.
44. Проверяется подача питания на каждую ИС.

# Глава 4

## Применение двоичных логических элементов

Изучая гл. 3, вы должны были запомнить условные обозначения, таблицы истинности и булевы выражения для каждого из типов двоичных логических элементов. Эти логические элементы составляют основу всех современных цифровых электронных систем.

В данной главе вы увидите, как полученные вами знания условных обозначений логических элементов, таблиц истинности и булевых выражений можно использовать для решения реальных задач из области электроники. Вам придется соединять различные логические элементы в схемы, которые специалисты называют *комбинационными логическими схемами*, а также комбинировать различные логические элементы (вентили И, ИЛИ, инверторы и пр.) для решения логических задач.

Существуют три основных «орудия труда» для решения задач символической логики: *условные обозначения (символы) логических элементов, таблицы истинности и булевы выражения*. Владеете ли вы этими средствами? Знаете ли вы их? Если вам необходимо вспомнить основные сведения о логических элементах, обратитесь к выводам в конце гл. 3, особенно поможет вам в этом рис. 3.33.

Понимать, как используются логические элементы, очень важно, — ведь успех вашей деятельности как технического специалиста, связанного с эксплуатацией электронной аппаратуры, инженера-конструктора или просто человека, интересующегося цифровой электроникой в качестве «хобби», целиком будет зависеть от того, насколько хорошо вы овладели навыками сборки электронных схем из логических элементов. Предполагается, конечно, что все детали, необходимые для сборки *комбинационных логических схем*, вы сумеете найти в магазине или лаборатории. Логические элементы, с которыми вам придется иметь дело, представляя собой компактные, недорогие и удобные для использования корпусированные ИС.

Комбинационные логические схемы

Схемы на основе булевых выражений

### 4.1. Конструирование схем на основе булевых выражений

Предположим, что вам задали булево выражение  $A + B + C = Y$  (оно читается так: *A, или B, или C равно Y*) и предложили построить схему, которая реализует эту логическую функцию. Посмотрев на выражение, вы легко заметите, что для получения нужного результата на выходе  $Y$  каждый вход следует объединить с другими входами функ-



Рис. 4.1. Принципиальная схема, реализующая булево выражение  $A + B + C = Y$ .

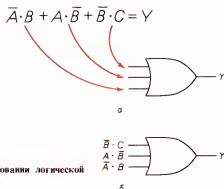


Рис. 4.2. Первый шаг в конструировании логической схемы.

цией ИЛИ. На рис. 4.1 показан необходимый для этого логический элемент (вентиль).

Допустим теперь, что нам задано булево выражение  $\bar{A} \cdot B + A \cdot \bar{B} + \bar{B} \cdot C = Y$  (оно читается так: не  $A$  и  $B$ , или  $A$  и не  $B$ , или не  $B$  и  $C$  равно выходу  $Y$ ). Как сконструировать схему, выполняющую операции, соответствующие этому выражению? Прежде всего, внимательно изучив булево выражение, вы заметите, что в нем требуется выполнить логическую операцию ИЛИ над  $\bar{A} \cdot B$ ,  $A \cdot \bar{B}$  и  $\bar{B} \cdot C$ . На рис. 4.2,а показан первый шаг в конструировании логической схемы, т.е. как необходимый результат на выходе  $Y$  можно сформировать с помощью логического элемента ИЛИ с тремя входами. Эту же схему можно изобразить по-другому, как показано на рис. 4.2,б.

Второй шаг в конструировании логической схемы на основе данного булева выражения  $\bar{A} \cdot B + A \cdot \bar{B} + \bar{B} \cdot C = Y$  проиллюстрирован на рис. 4.3. Обратите внимание на то, что здесь (рис. 4.3,а) с целью формирования комбинации  $\bar{B} \cdot C$  на входе элемента ИЛИ в схему добавлен элемент И, а для получения  $\bar{B}$  на входе элемента И (под номером 2) в схему введен инвертор. На рис. 4.3,б в схему добавлен элемент И под номером 3 с целью формирования  $A \cdot \bar{B}$  на входе эле-

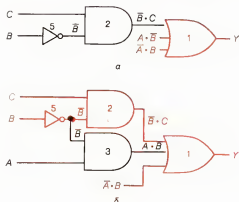
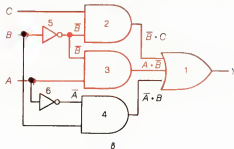


Рис. 4.3. Второй шаг в конструировании логической схемы.





мента ИЛИ. Наконец, на рис. 4.3, в введен еще один элемент И под номером 4 и инвертор под номером 6, чтобы получить  $A \cdot B$  на входе элемента ИЛИ. Рис. 4.3, в представляет собой схему, которую надо собрать, чтобы реализовать требуемую логическую функцию в соответствии с заданным булевым выражением  $A \cdot B + A \cdot \bar{B} + \bar{B} \cdot C = Y$ .

Заметим, что мы начали с выхода логической схемы и постепенно переходили к ее входам. В этом и состоит способ конструирования комбинационных логических схем на основе булевых выражений.

Булевы выражения встречаются в двух основных формах. Одну из них — *сумму произведений* — мы уже видели на рис. 4.2 и можем привести еще один пример:  $A \cdot B + B \cdot C = Y$ . Вторая форма булева выражения — *произведение сумм*; например,  $(D + E) \cdot (E + F) = Y$ . Булево выражение в виде суммы произведений в технической литературе называют *дизъюнктивной нормальной формой* (ДНФ), а булево выражение в виде произведения сумм специалисты называют *конъюнктивной нормальной формой* (КНФ).

Сумма произведений

Произведение сумм

Дизъюнктивная нормальная форма  
Конъюнктивная нормальная форма

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Составьте логические схемы с использованием логических элементов И, ИЛИ и НЕ для следующих булевых выражений:  
 а.  $A \cdot B + A \cdot \bar{B} = Y$ ;  
 б.  $A \cdot \bar{C} + A \cdot B \cdot C = Y$ .
2. Дизъюнктивную нормальную форму булева выражения называют также формой в виде \_\_\_\_\_.
3. Конъюнктивную нормальную форму булева выражения называют также формой в виде \_\_\_\_\_.

Схема на основе булева выражения в конъюнктивной нормальной форме

### 4.2. Построение схемы на основе булева выражения в конъюнктивной нормальной форме

Пусть нам задано булево выражение в конъюнктивной нормальной форме  $(A + B + C) \cdot (A + \bar{B}) = Y$ . Первый шаг в конструировании логической схемы для этого выражения показан на рис. 4.4, а. Заметьте, что для получения выхода  $Y$  члены (термы) этого выражения  $(A + B + C)$  и  $(A + \bar{B})$  должны быть связаны функцией И. На рис. 4.4, б та же схема изображена в более компактной форме. Второй шаг в конструировании логической схемы показан на рис. 4.5. Часть выражения  $(A + \bar{B})$  реализуется путем добавления логического элемента ИЛИ под номером 2 и инверторов под номерами 3 и 4, как показано на рис. 4.5, а. Затем результат операции  $(A + \bar{B} + C)$  поступает на вход элемента И через

$$(A + B + C) \cdot (\bar{A} + \bar{B}) = Y$$

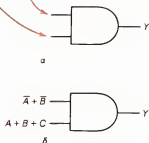


Рис. 4.4. Первый шаг в конструировании логической схемы, реализующей произведение сумм.

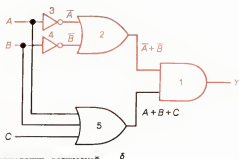
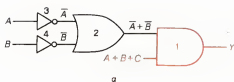


Рис. 4.5. Второй шаг в конструировании логической схемы, реализующей произведение сумм.

логический элемент ИЛИ под номером 5, как показано на рис. 4.5, б. Схема, приведенная на рис. 4.5, б, представляет собой полную логическую схему, реализующую булево выражение  $(A + B + C) \cdot (\bar{A} + \bar{B}) = Y$ .

Итак, преобразуя булево выражение в логическую схему, мы движемся справа налево (от выхода ко входу). Обратите внимание на то, что при составлении комбинационных логических схем мы используем только логические элементы И, ИЛИ и НЕ. Логические схемы можно построить на основе булевых выражений в дизъюнктивной или конъюнктивной нормальных формах. В первом случае получаются логические схемы типа И–ИЛИ (рис. 4.3, в), а во втором – схемы типа ИЛИ–И (рис. 4.5, б).

Теперь, следовательно, вы должны уметь различать булевы выражения в дизъюнктивной и конъюнктивной формах, а также представлять их комбинационными логическими схемами, в которых используются логические элементы И, ИЛИ и НЕ.

#### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Используя логические элементы И, ИЛИ и НЕ, составьте логические схемы для следующих булевых выражений:
  - $(A + B) \cdot (A + B) = Y$ ;
  - $(\bar{A} + B) \cdot C = Y$ .
- Вернитесь к вопросу 4. В нем даны булевы выражения в \_\_\_\_\_ (конъюнктивной нормальной форме, дизъюнктивной нормальной форме).

Логические схемы  
И-ИЛИ

Логические схемы  
ИЛИ-И

6. Вернитесь к заданию 4. В нем приведены булевы выражения типа \_\_\_\_\_ (произведения сумм, суммы произведений).
7. Булевы выражения в конъюнктивной нормальной форме используются для конструирования логических схем \_\_\_\_\_ (И – ИЛИ, ИЛИ – И).

### 4.3. Таблицы истинности для булевых выражений

Таблица истинности

Преобразование таблицы истинности в булево выражение

Булевы выражения – это удобный метод описания принципа работы логической схемы. *Таблица истинности* – это другой точный метод описания того, как работает логическая схема. Поскольку вы будете иметь дело с цифровыми электронными устройствами, вам нужно будет уметь преобразовывать информацию, представленную в форме таблицы истинности, в булево выражение.

Обратимся к таблице истинности, изображенной на рис. 4.6, а. Заметьте, что только две из восьми возможных комбинаций двоичных сигналов на входах  $A$ ,  $B$  и  $C$  дают на выходе логическую 1. Эти две возможные комбинации представлены выражениями  $\bar{C} \cdot B \cdot A$  (читается так: не  $C$  и  $B$  и  $A$ ) и  $C \cdot \bar{B} \cdot \bar{A}$  (читается так:  $C$  и не  $B$  и не  $A$ ). На рис. 4.6, б пока-

Таблица истинности

Входы			Выход
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

а

б Булево выражение

$$\bar{C} \cdot B \cdot A + C \cdot \bar{B} \cdot \bar{A} = Y$$

$$\bar{C} \cdot B \cdot A = 1$$

$$C \cdot \bar{B} \cdot \bar{A} = 1$$

Рис. 4.6. Построение булевого выражения на основе таблицы истинности.

зано, каким образом эти две комбинации связываются логической функцией ИЛИ, чтобы получить булево выражение для данной таблицы истинности. Как таблица истинности на рис. 4.6, а, так и булево выражение на рис. 4.6, б демонстрируют принцип действия одной и той же логической схемы.

В большинстве случаев конструирование логических схем начинается с составления таблицы истинности. Поэтому вы должны уметь преобразовывать информацию в форме таблицы истинности в булевы выражения так, как это делается в данном разделе. Запомните, что нужно искать те

а Булево выражение

$$\bar{C} \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A = Y$$

Таблица истинности

Входы			Выход
С	В	А	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

б

Рис. 4.7. Построение таблицы истинности на основе булева выражения.

а Булево выражение

$$\bar{C} \cdot \bar{A} + C \cdot B \cdot A = Y$$

Таблица истинности

Входы			Выход
С	В	А	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

б

Рис. 4.8. Построение таблицы истинности на основе булева выражения.

Преобразование буле-  
ва выражения в таб-  
лицу истинности

комбинации переменных, которые дают логическую 1 в таблице истинности.

Иногда вам придется выполнять процедуру, обратную только что рассмотренной, т.е. вы должны будете по известному булевой выражению восстанавливать таблицу истинности. Рассмотрим булево выражение на рис. 4.7,а. Это выражение означает, что две комбинации входов А, В и С дают на выходе логическую 1. На рис. 4.7,б проиллюстрировано, каким образом мы находим нужные комбинации А, В и С, которые даны в булевом выражении, и отмечаем соответствующие единицы в столбце значений выхода. Все другие выходы в таблице истинности дают 0. Как булево выражение на рис. 4.7,а, так и таблица истинности на рис. 4.7,б исчерпывающим образом описывают действие некоторой логической схемы.

Предположим, что нам задано булево выражение (рис. 4.8,а). На первый взгляд кажется, что этому выражению должны соответствовать лишь два выхода с логической 1. Однако если вы внимательно посмотрите на рис. 4.8,б, то увидите, что булево выражение  $\bar{C} \cdot \bar{A} + C \cdot B \cdot A = Y$  на самом деле дает в столбце выхода три логических единицы. Следовательно, при анализе булевых выражений требуется особое внимание, чтобы не упустить из виду подобные неожиданности. Необходимо иметь твердую уверенность в том, что учтены все возможные комбинации входов, которые дают логическую единицу в таблице истинности. Булево выражение на рис. 4.8,а и таблица истинности на рис. 4.8,б описывают одну и ту же логическую схему.

Теперь вы умеете преобразовывать таблицы истинности в булевы выражения и обратно. Полезно напомнить, что все булевы выражения, с которыми вы имели дело в этом

разделе, принадлежали к группе ДНФ. Процедуры получения из таблиц истинности булевых выражений в конъюнктивной нормальной форме должны быть совершенно иными.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Предположите, что только две нижние строки таблицы истинности на рис. 4.6, а дают на выходе логическую 1, а все другие—0. Запишите для данного случая булево выражение в виде суммы произведений.
- В каких двух строках таблицы истинности (рис. 4.6, а), соответствующей булеву выражению  $C \cdot B \cdot A + \bar{C} \cdot \bar{B} \cdot A = Y$ , имеют место сигналы ВЫСОКОГО уровня на выходе?
- Составьте таблицу истинности для булева выражения  $C \cdot B \cdot A + C \cdot \bar{B} \cdot A = Y$ .

### 4.4. Пример решения логической задачи

Поскольку вы собираетесь работать с цифровыми электронными устройствами, вам необходимо приобрести определенные навыки выполнения процедур, описанных в разделах 4.1–4.3. Чтобы помочь вам в этом, мы рассмотрим логическую задачу, часто встречающуюся на практике и требующую преобразования таблицы истинности в булево выражение с последующим переходом к логической схеме.

Предположим, что мы конструируем простой электронный замок. Замок должен открываться только в том случае, когда определенные электронные ключи замкнуты.

Конструирование простого электронного замка

а. Таблица истинности

Входы			Выход
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

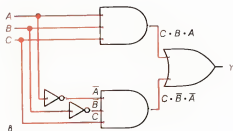
б

Булево выражение

$$C \cdot B \cdot A + C \cdot \bar{B} \cdot \bar{A} = Y$$

Рис. 4.9. Задача об электронном замке.

а—таблица истинности; б—булево выражение; в—логическая схема.



На рис. 4.9, а приведена таблица истинности для электронного замка. Обратите внимание, что две комбинации входов  $A$ ,  $B$  и  $C$  дают на выходе логическую 1. Единица на выходе означает, что замок открыт. На рис. 4.9, б показано, каким образом мы формируем для электронного замка булево выражение в дизъюнктивной нормальной форме. Затем в соответствии с полученным булевым выражением составляется логическая схема (рис. 4.9, в). Посмотрите внимательно на рис. 4.9, в, отражающий весь процесс решения логической задачи, и убедитесь в том, что вы можете повторно осуществить переход от таблицы истинности к булеву выражению и затем от него — к логической схеме.

Теперь вы в состоянии решать задачи, подобные той, которая иллюстрируется на рис. 4.9. Приведенные ниже задания для самопроверки дадут вам возможность попрактиковаться в решении задач с применением таблиц истинности, булевых выражений и комбинационных логических схем.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

- Используя данные из приведенной ниже таблицы истинности для электронного замка, запишите соответствующее этой таблице булево выражение в дизъюнктивной нормальной форме.

Таблица истинности

Входные переключатели			Выход
$C$	$B$	$A$	$Y$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

- На основе булева выражения, полученного в задании 11, составьте принципиальную схему электронного замка, применяя известные вам обозначения логических элементов.

Упрощение булевых  
выражений

# 4.5. Упрощение булевых выражений

Рассмотрим булево выражение  $\bar{A} \cdot B + A \cdot \bar{B} + A \cdot B = Y$ , приведенное на рис. 4.10, а. В процессе составления логической схемы для данного булева выражения выясняется, что нам необходимы три элемента И, два инвертора и один элемент ИЛИ с тремя входами. На рис. 4.10, б изображена схема, реализующая логику булева выражения  $\bar{A} \cdot B + A \cdot \bar{B} + A \cdot B = Y$ . На рис. 4.10, в дана таблица истинности для булева выражения и логической схемы, показанных соответственно на рис. 4.10, а и б. Вы сразу можете узнать в ней таблицу истинности для логического элемента ИЛИ с двумя входами. Как показано на рис. 4.10, г, упрощенное булево выражение для элемента ИЛИ с двумя входами есть  $A + B = Y$ . Такая схема ИЛИ с двумя входами в простейшей ее форме представлена на рис. 4.10, д.

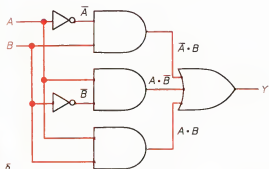
Пример, приведенный на рис. 4.10, показывает, каким образом мы должны попытаться упростить заданное булево выражение, чтобы получить как можно более простую (а следовательно, и менее дорогую) логическую схему. В данном случае нам просто повезло, и мы догадались, что таблица истинности принадлежала элементу ИЛИ. Однако обычно приходится использовать более общие методы упрощения булевых выражений. Эти методы основаны на приложениях булевой алгебры и построении так называемых карт Карно.

Булева алгебра была разработана Джорджем Булем (1815–1864 гг.). Эта алгебра в 30-х годах двадцатого столетия была применена для анализа цифровых логических схем; она является основой всех «хитростей», которые мы будем использовать для упрощения булевых выражений.

 Построение карт  
Карно  
Булева алгебра

а Исходное булево выражение

$$\bar{A} \cdot B + A \cdot \bar{B} + A \cdot B = Y$$



в

Таблица истинности

Входы		Выход
B	A	Y
0	0	0
0	1	1
1	0	1
1	1	1

г Упрощенное булево выражение

$$A + B = Y$$

д



Рис. 4.10. Упрощение булевых выражений.

Мы не собираемся здесь заниматься булевой алгеброй как таковой, поскольку многие из тех, кто продолжит специализацию в области конструирования цифровых электронных устройств, будут изучать булеву алгебру более детально.

Карты Карно – весьма практичный метод упрощения булевых выражений – подробно рассматриваются в разделах 4.6–4.9. Известны и другие широко распространенные методы упрощения булевых выражений: например, диаграммы Вейча, диаграммы Венна и табличный метод.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

13. Логические схемы, показанные на рис. 4.10, б и д, соответствуют \_\_\_\_\_ (различным, одинаковым) таблицам истинности.
14. Булевы выражения можно значительно упростить в результате простого анализа либо при помощи методов, основанных на \_\_\_\_\_ алгебре или картах \_\_\_\_\_.

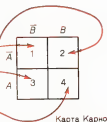
### Карты Карно

#### 4.6. Карты Карно

В 1953 г. Морис Карно опубликовал статью о разработанной им системе графического представления и упрощения булевых выражений. Карта Карно показана на рис. 4.11. Четыре квадрата (1, 2, 3, 4) соответствуют четырем возможным комбинациям  $A$  и  $B$  в таблице истинности с двумя переменными. При таком изображении квадрат 1 на карте Карно соответствует произведению  $\bar{A} \cdot \bar{B}$ , квадрат 2 – произведению  $\bar{A} \cdot B$  и т.д.

Таблица истинности

Входы		Выход
$B$	$A$	$Y$
0	0	
0	1	
1	0	
1	1	



Карта Карно

Рис. 4.11. Обозначение квадратов на карте Карно.

Предположим теперь, что нам надо составить карту Карно для логической задачи, проиллюстрированной на рис. 4.10. Исходное булево выражение  $\bar{A} \cdot B + A \cdot \bar{B} + A \cdot B = Y$  для удобства еще раз переписано на рис. 4.12, а. Разместим логические единицы во всех квадратах, которым соответствуют произведения в исходном булевом выражении на рис. 4.12, а. Заполненная таким образом карта Карно те-



$$a \quad \bar{A} \cdot \bar{B} + A \cdot \bar{B} + A \cdot B = Y$$

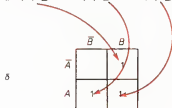


Рис. 4.12. Нанесение единиц на карту Карно.

#### Построение контуров

теперь готова для построения, и эта процедура демонстрируется на рис. 4.13. В соответствии с ней *соседние единицы* объединяются в один контур группами по две, четыре или восемь единиц. Построение контуров продолжается до тех пор, пока все единицы не окажутся внутри контуров. Каждый контур представляет собой новый член упрощенного булева выражения. Заметим, что на рис. 4.13 у нас получилось только два контура. Это означает, что новое, упрощенное булево выражение будет состоять только из двух членов, связанных функцией ИЛИ.



Рис. 4.13. Объединение единиц группами в один контур на карте Карно.



Упрощенное булево выражение

$$A + B = Y$$

ИЛИ  
(дизъюнктивный член)

Рис. 4.14. Упрощение булевых выражений на основе карты Карно.

Теперь упростим булево выражение, принимая во внимание два контура на рис. 4.13, повторенные на рис. 4.14. Взяв сначала нижний контур, замечаем, что  $A$  здесь встречается в комбинации с  $B$  и  $\bar{B}$ . В соответствии с правилами булевой алгебры  $B$  и  $\bar{B}$  дополняют друг друга и их можно опустить. Тогда в нижнем контуре остается один член  $A$ . Аналогично этому вертикально расположенный контур содержит  $A$  и  $A$ , которые можно также опустить, оставив только  $B$ . Оставшиеся в результате  $A$  и  $B$  затем объединяются функцией ИЛИ, что приводит к упрощенному булеву выражению  $A + B = Y$ .

Процедура упрощения булева выражения сложна лишь на первый взгляд. На самом деле после некоторой тренировки ее легко освоить, выполняя последовательно шесть шагов, указанных ниже.

1. Начните с булева выражения в дизъюнктивной нормальной форме.
2. Нанесите единицы на карту Карно.
3. Объедините соседние единицы контурами, охватывающими два или восемь квадратов.
4. Проведите упрощения, исключая члены, дополняющие друг друга внутри контура.
5. Объедините оставшиеся члены (по одному в каждом контуре) функцией ИЛИ.
6. Запишите полученное упрощенное булево выражение в дизъюнктивной нормальной форме.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

15. Карту, показанную на рис. 4.12, изобрел \_\_\_\_\_.
16. Перечислите шесть шагов процедуры упрощения булевых выражений с применением карт Карно.

### Карты Карно с тремя переменными

#### 4.7. Карты Карно с тремя переменными

Рассмотрим исходное булево выражение  $A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot C = Y$ , приведенное на рис. 4.15, а. Карта Карно для случая трех переменных показана на рис. 4.15, б. Обратите внимание на то, что имеется восемь возможных комбинаций переменных  $A$ ,  $B$  и  $C$ , которые представлены восемью квадратами на карте. В них занесены четыре единицы, отображающие каждый из четырех членов исходного булева выражения. Заполненная карта Карно повторена на рис. 4.15, в, где каждая группа из двух соседних единиц обведена контуром. Нижний контур содержит  $B$  и  $\bar{B}$ , вследствие чего  $B$  и  $\bar{B}$  можно опустить. После этого в составе нижнего контура сохраняются лишь  $A$  и  $\bar{C}$ , которые дают член  $A \cdot \bar{C}$ . В верхний контур входят  $C$  и  $\bar{C}$ , поэтому  $C$  и  $\bar{C}$  опускаются, в результате чего остается только член  $A \cdot B$ . Булево выражение в дизъюнктивной нормальной форме получается введением символа операции ИЛИ. Упрощенное булево выражение, записанное на рис. 4.15, г, имеет вид  $A \cdot \bar{C} + A \cdot B = Y$ .

Очевидно, что это упрощенное булево выражение потребует для своей реализации значительно меньше электронных компонентов, чем исходное выражение. Интересно отметить тот факт, что столь непохожее на оригинал упрощенное булево выражение описывается той же самой таблицей истинности, что и исходное булево выражение.

Существенно, чтобы карта Карно была составлена именно так, как показано на рис. 4.15. Заметьте, что по мере того как вы смещаетесь вниз по левой части карты, на ка-

а Булево выражение

$$A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} = Y$$

б Карта Карно

	$\bar{C}$	$C$
$\bar{A} \bar{B}$	1	1
$\bar{A} B$		
$A \bar{B}$	1	
$A B$	1	

в Объединение контуров и опускание переменных

	$\bar{C}$	$C$
$\bar{A} \bar{B}$	1	1
$\bar{A} B$		
$A \bar{B}$	1	
$A B$	1	

Перем. опускаются

Перем. опускаются

г Упрощенное булево выражение

$$A \cdot \bar{C} + \bar{A} \cdot \bar{B} = Y$$

Рис. 4.15. Упрощение булевых выражений на основе карты Карно.

а — исходное булево выражение; б — нанесение на карту логических единиц; в — объединение каждой группы единиц контурами и опускание дополняющих друг друга переменных; г — построение упрощенного выражения в дизъюнктивной нормальной форме.

ждом шагу изменяется лишь одна переменная. Сверху слева записано произведение  $\bar{A} \cdot \bar{B}$ , а строкой ниже  $\bar{A} \cdot B$  (где только  $\bar{B}$  заменено на  $B$ ). Далее при продвижении от  $\bar{A} \cdot \bar{B}$  к  $\bar{A} \cdot B$  вниз  $\bar{A}$  переходит в  $A$ . Наконец, смещение вниз от  $\bar{A} \cdot \bar{B}$  к  $A \cdot \bar{B}$  приводит к замене  $\bar{B}$  на  $B$ . Если карту Карно составить неправильно, она не будет давать ожидаемого эффекта.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

17. Упростите булево выражение  $\bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C = Y$ , проводя следующие процедуры:
  - а. Нанесите единицы на карту Карно с тремя переменными.
  - б. Объедините контурами группы единиц по две или по четыре.

6. Опустите переменные, дополняющие друг друга внутри контуров.
7. Запишите упрощенное булево выражение.

Карты Карно с четырьмя переменными

#### 4.8. Карты Карно с четырьмя переменными

Таблица истинности для четырех переменных включает 16 возможных комбинаций. В связи с этим задача упрощения булева выражения с четырьмя переменными кажется сложной, однако применение карты Карно облегчает и эту задачу.

Рассмотрим булево выражение  $A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot C \cdot D + \bar{A} \cdot B \cdot C \cdot D + A \cdot B \cdot C \cdot D + A \cdot \bar{B} \cdot \bar{C} \cdot D = Y$ , записанное на рис. 4.16, а. Карта Карно с четырьмя переменными, показанная на рис. 4.16, б, допускает 16 возможных комбинаций  $A$ ,  $B$ ,  $C$  и  $D$ . Эти комбинации представлены соответственно 16 квадратами карты. Нанесем на карту шесть единиц, которые соответствуют шести членам в заданном булевом выражении. Полученная карта Карно вторично изображена на рис. 4.16, в. Группы из двух и четырех единиц объединены контурами. Нижний контур из двух единиц дает возможность опустить  $D$  и  $\bar{D}$ . После

а Булево выражение

$$A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot C \cdot D + \bar{A} \cdot B \cdot C \cdot D + \bar{A} \cdot B \cdot C \cdot D + A \cdot \bar{B} \cdot \bar{C} \cdot D = Y$$

б Карта Карно

в Объединение контурами и опускание переменных

г Упрощенное булево выражение

$$A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot D = Y$$

Рис. 4.16. Упрощение на основе карты Карно булева выражения с шестью членами до получения выражения с двумя членами.

этого в нем остается член  $(A \cdot \bar{B} \cdot \bar{C})$ . Далее в верхнем контуре из четырех единиц попарно опускаются  $C$  и  $\bar{C}$ ,  $B$  и  $\bar{B}$ , так что в результате этого верхний контур даст член  $A \cdot D$ . Наконец, члены  $A \cdot \bar{B} \cdot \bar{C}$  и  $A \cdot D$  объединяем символом операции ИЛИ. Упрощенное булево выражение в дизъюнктивной нормальной форме имеет вид  $A \cdot \bar{B} \cdot \bar{C} + A \cdot D = Y$  (рис. 4.16, з).

Отметим, что для упрощения булевых выражений с двумя, тремя и четырьмя переменными применяются общая процедура и одинаковые правила и чем больше размеры объединяющих контуров, тем больше переменных можно опустить. Чтобы убедиться в этом, достаточно еще раз внимательно сопоставить карты, показанные на рис. 4.14–4.16.

### Задание для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

18. Упростите булево выражение  $\bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot \bar{C} \cdot D + A \cdot B \cdot C \cdot D + A \cdot \bar{B} \cdot C \cdot \bar{D} = Y$  в рекомендуемом порядке:
  - а. Нанесите единицы на карту Карно с четырьмя переменными.
  - б. Объедините контурами группы из двух или четырех единиц.
  - в. Опустите переменные, дополняющие друг друга внутри контуров.
  - г. Запишите упрощенное булево выражение.

### 4.9. Другие разновидности карт Карно

В этом разделе мы рассмотрим различные примеры карт Карно. Рекомендуем обратить внимание на нестандартные способы построения контуров, используемые в большинстве приведенных здесь примеров.

Рассмотрим булево выражение, записанное на рис. 4.17, а. Четыре его члена представлены на карте Карно (рис. 4.17, б) четырьмя единицами. На этом же рисунке показан правильный способ построения контура. Заметьте, что карта Карно представляется в данном случае свернутой в цилиндр, в котором левый ее край совмещается с правым. Обратите внимание на то, что при этом попарно опускаются члены  $A$  и  $\bar{A}$ ,  $C$  и  $\bar{C}$ . Упрощенное булево выражение  $B \cdot \bar{D} = Y$  записано на рис. 4.17, в.

Другой необычный способ построения контура иллюстрируется на рис. 4.18, а. Заметим, что при таком способе «сходятся» нижняя и верхняя части карты, как если бы эту карту при образовании контуров свернули в виде горизонтально расположенного цилиндра. Упрощенное булево выражение для этой карты имеет вид  $B \cdot C = Y$  и приведено на

а Булево выражение

$$A \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot \bar{D} + A \cdot B \cdot C \cdot \bar{D} = Y$$

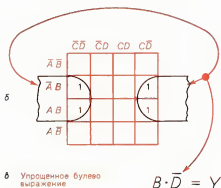


Рис. 4.17. Упрощение булева выражения на основе карты Карно.

Сворачивая карту в вертикально расположенный цилиндр, можно четыре единицы объединить одним контуром.

рис. 4.18, б. Переменные  $A$  и  $\bar{A}$ , а также  $D$  и  $\bar{D}$  на рис. 4.18 опущены.

На рис. 4.19, а показан еще один оригинальный способ образования контуров. Четыре угловых квадрата карты Карно здесь рассматриваются как связанные друг с другом в результате «сворачивания» карты в шар. При этом четыре

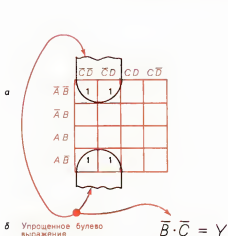


Рис. 4.18. Упрощение булева выражения путем представления карты Карно в виде свернутого горизонтально расположенного цилиндра.

Этот способ дает возможность объединить четыре единицы одним контуром.

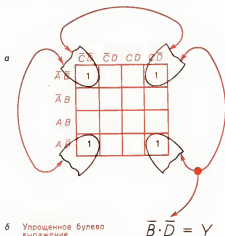


Рис. 4.19. Упрощение булева выражения на основе представления карты Карно в виде шара.

Такое представление позволяет объединить в одном контуре четыре единицы, расположенные в углах карты.

угловых квадрата соседствуют друг с другом и, следовательно, могут быть объединены одним контуром. Упрощен-

ное булево выражение имеет вид  $\bar{B} \cdot \bar{D} = Y$  и записано на рис. 4.19,б. В этом примере опускаются  $A$  и  $\bar{A}$ , а также  $C$  и  $\bar{C}$ .

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

19. Упростите булево выражение  $\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{A} \cdot \bar{B} \cdot C \cdot D + \bar{A} \cdot B \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot \bar{C} \cdot D + A \cdot \bar{B} \cdot C \cdot D = Y$  в рекомендуемом порядке:
  - а. Нанесите единицы на карту Карно с четырьмя переменными.
  - б. Объедините контурами группы из двух или четырех единиц.
  - в. Опустите переменные, дополняющие друг друга внутри контуров.
  - г. Запишите упрощенное булево выражение.
20. Упростите следующее булево выражение:  $\bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C + A \cdot B \cdot \bar{C} = Y$  в рекомендуемом порядке:
  - а. Нанесите единицы на карту Карно с тремя переменными.
  - б. Объедините контурами группы из двух или четырех единиц.
  - в. Опустите переменные, дополняющие друг друга внутри контуров.
  - г. Запишите упрощенное булево выражение.

## 4.10. Использование логики на элементах И–НЕ

В разделе 3.8 объяснялось, каким образом нужно соединять логические элементы И–НЕ, чтобы получать логические элементы другого типа или инверторы (см. рис. 3.20). Мы уже упоминали о том, что вентиль И–НЕ может служить универсальным логическим элементом. В данном разделе вы увидите, каким образом эти логические элементы применяются для сборки комбинационных логических схем. Логические элементы И–НЕ широко используются в производстве цифровых электронных устройств благодаря общедоступности и удобству применения этих элементов.

Предположим, что руководитель работ задал вам булево выражение  $A \cdot B + A \cdot C = Y$  (оно записано на рис. 4.20,а) и предложил реализовать эту логическую функцию с минимальными затратами. Сначала вы должны построить схему, соответствующую заданному булеву выражению, как показано на рис. 4.20,б, используя элементы И, ИЛИ и инвертор. Заглянув в справочник, вы определите, что для сборки данной схемы понадобятся ИС трех различных типов.

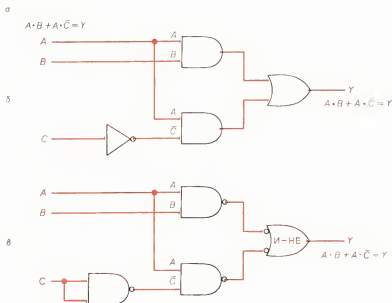


Рис. 4.20. Использование элементов И-НЕ в логических схемах.

а – булево выражение; б – логическая схема И-ИЛИ; в – эквивалентная логическая схема с элементом И-НЕ.

#### Логика на элементах И-НЕ

Поскольку это нежелательно, руководитель предложит вам попробовать применить логику на элементах И-НЕ. Тогда вы изобразите схему заново, чтобы она выглядела подобно схеме с элементами И-НЕ, показанной на рис. 4.20, в. Снова заглянув в справочник, вы найдете, что теперь для реализации заданной логической функции вам нужен только один тип ИС с четырьмя логическими элементами И-НЕ. Теперь вспомните введенное в гл. 3 обозначение элемента ИЛИ с инверторными кружками на входах; это и есть вариант условного обозначения логического элемента И-НЕ. Используя его еще раз, проверив схему, показанную на рис. 4.20, в, вы убедитесь в том, что она соответствует заданному выражению  $A \cdot B + A \cdot \bar{C} = Y$ . Ваш руководитель, несомненно, будет удовлетворен тем, что вы нашли схему, для которой нужен лишь один тип ИС, а не три, как в схеме на рис. 4.20, б.

Описанный прием поможет вам понять, почему логические элементы И-НЕ используются во многих логических схемах, а если ваша работа будет связана с конструированием цифровых электронных схем, подобные приемы облегчат вам задачу уменьшения стоимости выполняемых работ.

У вас может возникнуть вопрос, почему оказалось возможным заменить элементы И и ИЛИ, показанные на рис. 4.20, б, логическими элементами И-НЕ, как показано на рис. 4.20, в. Однако, внимательно посмотрев на рис. 4.20, в, вы заметите, что входные сигналы элемента



ИЛИ формируются двумя элементами И. Между выходами элементов И и входами элемента ИЛИ имеется по два инверторных кружка. Из предыдущего материала мы знаем, что двойное инвертирование приводит к исходному логическому состоянию. Значит, оба инверторных кружка на рис. 4.20, в компенсируют действие друг друга, вследствие чего мы возвращаемся к двум элементам И, формирующим входы элемента ИЛИ.

Таким образом, использование элементов И–НЕ предполагает следующие процедуры:

1. Запись и анализ булева выражения в виде суммы произведений.
2. Построение схемы И–ИЛИ с использованием элементов И, ИЛИ и инвертора.
3. Замену условным обозначением И–НЕ каждого условного обозначения элементов И и ИЛИ с сохранением остальных соединений в неизменном виде.
4. Замену каждого инвертора схемой И–НЕ с соединенными вместе входами.
5. Проверку всей логической схемы, состоящей только из элементов И–НЕ, на соответствие ее заданной таблице истинности.

#### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

21. Логическая схема, показанная на рис. 4.20, б, называется схемой \_\_\_\_\_ (И–ИЛИ, И–НЕ).
22. Логические схемы, приведенные на рис. 4.20, б и в, соответствуют \_\_\_\_\_ (различным, одинаковым) таблицам истинности.
23. Перечислите пять процедур преобразования булева выражения в виде суммы произведений в схему, состоящую из элементов И–НЕ.

#### 4.11. Способы упрощения логических задач

Использование селекторов данных для решения задач на построение логических схем

Селекторы данных

Изготовители ИС облегчили решение многих задач построения комбинационных логических схем, создав так называемые *селекторы данных*, применение которых часто позволяет решить сложную логическую задачу с помощью всего лишь одной ИС. Селектор данных состоит из довольно большого количества логических элементов, размещенных в общем стандартном корпусе ИС. В этой главе мы будем использовать селектор данных как универсальный модуль для решения задач комбинационной логики.

Селектор данных «1 из 8»

*Селектор данных типа «1 из 8»* показан на рис. 4.21. Обратите внимание на наличие с левой стороны селектора восьми *информационных входов*, пронумерованных цифрами



Рис. 4.21. Условное обозначение селектора данных «1 из 8».

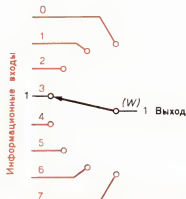


Рис. 4.22. Однопольсный восьмипозиционный поворотный переключатель, действующий как селектор данных.

от 0 до 7, и трех *селекторных входов* в нижней части селектора данных, обозначенных *A*, *B* и *C*. Выход его — это *W*.

Основное назначение селектора данных — пересылка их с *определенного* входа (от 0 до 7) на выход (*W*). Выбор того входа, с которого пересылаются данные, определяется двоичным кодом, поступающим на селекторные входы (рис. 4.21). Селектор данных, показанный на рис. 4.21, работает по тому же принципу, что и поворотный переключатель. На рис. 4.22 показан момент пересылки данных с контакта 3 такого переключателя на выход. Подобным же образом (см. рис. 4.21) данные с информационного входа 3 пересылаются на выход *W* электронного селектора данных. В случае поворотного переключателя для съема данных с какого-либо другого входа необходимо механическим способом задать новое положение переключателя. В селекторе же данных «1 из 8», показанном на рис. 4.21, для этого достаточно просто изменить двоичный код на селекторных входах. Запомните, что селектор данных работает подобно поворотному переключателю для пересылки логических 0 и 1 с данного входа на единственный выход.

Теперь посмотрим, как можно использовать селектор данных для решения задач конструирования логических схем. Пусть нам задано *упрощенное* булево выражение, записанное на рис. 4.23, *a*. Для удобства на рис. 4.23, *б* приведена схема, соответствующая этому довольно сложному булеву выражению. Если бы вы использовали стандартные типы ИС, то для реализации нужной схемы вам, вероятно, пришлось бы применить 6–9 штук ИС. Такое решение было бы весьма неэкономичным, если принять во внимание общую стоимость ИС и ограниченность площади печатных плат.

Менее дорогостоящее решение той же задачи основывается на использовании селектора данных. В целях поясне-

а Упрощенное булево выражение

$$A \cdot B \cdot C \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot \bar{C} \cdot D + A \cdot B \cdot \bar{C} \cdot \bar{D} + \\ \bar{A} \cdot B \cdot C \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C \cdot D + \bar{A} \cdot \bar{B} \cdot C \cdot D = Y$$

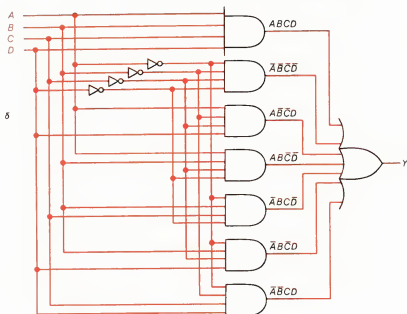


Рис. 4.23.

а — упрощенное булево выражение; б — логическая схема для булева выражения.

 Селектор данных  
«1 из 16»

ния этого решения булево выражение, записанное на рис. 4.23, а, воспроизведено в форме таблицы истинности на рис. 4.24, а. К этой таблице на рис. 4.24, б добавлен селектор данных «1 из 16». Заметьте, что логические 0 и 1 подаются на шестнадцать информационных входов селектора в соответствии со столбцом значений выхода  $Y$  таблицы истинности. Эти соединения остаются постоянными для данной таблицы истинности. На селекторные входы ( $D$ ,  $C$ ,  $B$  и  $A$ ) подаются двоичные числа, отвечающие различным комбинациям входов в таблице истинности. Если, например, на селекторные входы  $D$ ,  $C$ ,  $B$ ,  $A$  подано двоичное число 0000, то на выход  $W$  селектора данных поступает логическая 1. Первая строка таблицы истинности требует, чтобы на выходе  $W$  логическая 1 появлялась в том случае, когда все переменные  $D$ ,  $C$ ,  $B$  и  $A$  принимают значение 0. Если на селекторные входы  $D$ ,  $C$ ,  $B$  и  $A$  поступит двоичное число 0001, то в соответствии с требованиями таблицы истинности на выходе  $W$  появится логический 0. Любая комбинация входных переменных  $D$ ,  $C$ ,  $B$  и  $A$  генерирует необходимый выход согласно таблице истинности.

Мы использовали селектор данных для решения довольно сложной логической задачи. Составив схему, изображен-

Таблица истинности

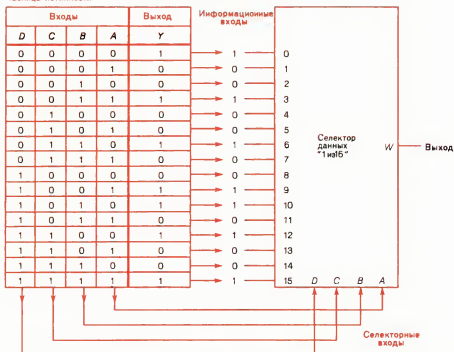


Рис. 4.24. Решение логической задачи с помощью селектора данных.

ную на рис. 4.23, мы пришли к выводу, что для ее реализации необходимы по крайней мере шесть ИС. Однако, применив селектор данных, как показано на рис. 4.24, мы решили ту же задачу, используя всего лишь одну ИС.

Применение селектора представляется весьма простым, удобным и эффективным методом решения задач построения комбинационных логических схем. Общедоступные селекторы данных пригодны для реализации логических функций с тремя, четырьмя или пятью переменными. Когда вы будете пользоваться документацией изготовителей устройств обработки данных, обратите внимание на то, что селекторы данных называют также *мультиплексорами*.

Мультиплексоры

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- На рис. 4.21 иллюстрируется условное обозначение для «1 из 8».
- Если на все селекторные входы (см. рис. 4.21) подать сигналы **ВЫСОКОГО** уровня, то будет осуществлена

- выборка данных с информационного входа под номером \_\_\_\_\_ и передана на выход селектора данных, обозначенный буквой \_\_\_\_\_.
26. Принцип действия селектора данных во многом напоминает работу механического \_\_\_\_\_ переключателя.
  27. Если на все селекторные входы (см. рис. 4.24) подать сигналы **ВЫСОКОГО** уровня, то на выход *W* будут пересылаться данные с информационного входа под номером \_\_\_\_\_. При этих условиях на выходе *W* появится \_\_\_\_\_ (**ВЫСОКИЙ**, **НИЗКИЙ**) логический уровень.
  28. Задачи построения логических схем во многих случаях можно решить с использованием единственной ИС, называемой \_\_\_\_\_.

#### 4.12. Другие применения селектора данных

В предыдущем разделе для реализации логической функции четырех переменных был применен селектор данных «1 из 16». Однако подобные логические задачи можно решать и с использованием менее дорогого селектора «1 из 8», применяя метод, который иногда называют методом «свертывания».

Рассмотрим таблицу истинности с четырьмя переменными, показанную на рис. 4.25. Заметьте, что совокупность

Номер строки	Входы				Выход <i>Y</i>
	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

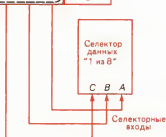
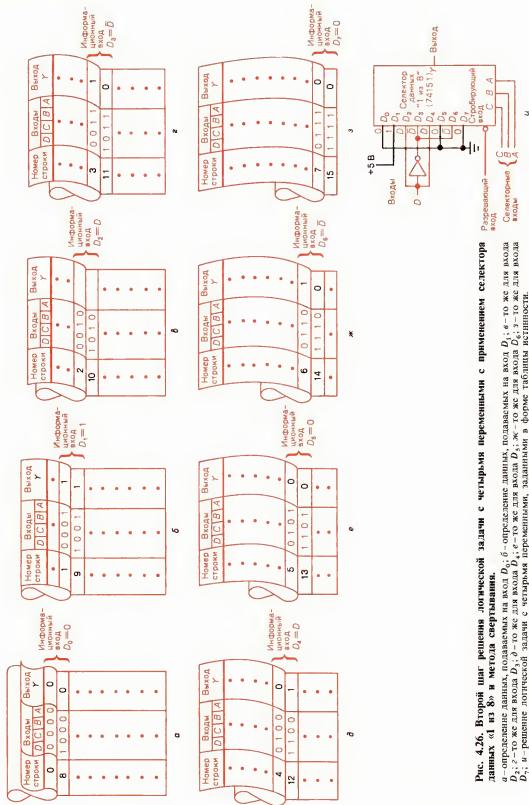


Рис. 4.25. Первый шаг решения логической задачи с четырьмя переменными с применением селектора данных «1 из 8».



значений входных переменных  $C$ ,  $B$  и  $A$  в строках 0–7 такая же, как и в строках 8–15. Эти совокупности значений объединены пунктирными контурами в таблице истинности на рис. 4.25. Для решения поставленной логической задачи с использованием селектора данных «1 из 8» значения входных переменных  $C$ ,  $B$  и  $A$  подаются на селекторные входы селектора данных, как показано в нижней части рис. 4.25.

Теперь необходимо определить логические сигналы, которые должны поступать на каждый из восьми входов ( $D_0$ – $D_7$ ), показанных на рис. 4.26, и. Сигнал на входе  $D_0$  селектора данных типа 74151 определяется на рис. 4.26, а, для чего таблица истинности, показанная на рис. 4.25, свертывается таким образом, чтобы можно было сравнить строки 0 и 8. Из рисунка видно, что каждая из входных переменных  $C$ ,  $B$  и  $A$  (которые поступают на селекторные входы микросхемы 74151) в той и другой строке принимает значение логического нуля. Независимо от конкретного значения входной переменной  $D$  на выходе  $Y$  всегда будет иметь место 0 в соответствии с рис. 4.26, а. Следовательно, на вход  $D_0$  селектора 74151 должен подаваться логический 0 (ЗЕМЛЯ), что и показано на рис. 4.26, и.

Микросхема селектора 74151

Логический сигнал, подаваемый на вход  $D_1$  микросхемы селектора данных, определен на рис. 4.26, б. Свертывая таблицу истинности так, как показано на рисунке, сравниваем строки 1 и 9. Входные переменные  $C$ ,  $B$  и  $A$  здесь имеют одинаковые значения. На выходе  $Y$  всегда имеет место 1 независимо от конкретного значения входной переменной  $D$ . Следовательно, на вход  $D_1$  селектора данных 74151 должна быть подана логическая 1 (+5 В). Это показано на рис. 4.26, и.

Логический сигнал, подаваемый на вход  $D_2$  микросхемы селектора данных, определен на рис. 4.26, в. Свертывая таблицу истинности так, как показано на рисунке, сравниваем строки 2 и 10. Входные переменные  $C$ ,  $B$  и  $A$  здесь имеют одинаковые значения, но соответствующие выходные сигналы различны. Однако в том и другом случае выходной сигнал совпадает со значением переменной  $D$ . Следовательно, сигнал на входе  $D_2$  должен быть эквивалентен переменной  $D$  из таблицы истинности. На условном обозначении микросхемы 74151 (рис. 4.26, и) показано, что с левой стороны на вход  $D_2$  поступает сигнал  $D$ .

Логический сигнал, подаваемый на вход  $D_3$  микросхемы селектора данных, определен на рис. 4.26, г. Свертывая таблицу истинности, сравниваем строки 3 и 11. Входные переменные  $C$ ,  $B$  и  $A$  здесь совпадают, но соответствующие выходные сигналы различны. При этом в каждом случае выходной сигнал является дополнением значения переменной  $D$ . Следовательно, сигнал на входе  $D_3$  должен быть эквивалентен сигналу «не  $D$ » ( $\bar{D}$ ). На условном обозначении микросхемы 74151 (рис. 4.26, и) показано, что с левой стороны на вход  $D_3$  поступает сигнал  $D$ .

Подобным же образом идентифицируется вход  $D_4$  (рис. 4.26, *д*). Сигнал на входе  $D_4$  (рис. 4.26, *и*) эквивалентен  $D$  в таблице истинности.

Сигнал на входе  $D_5$  определен на рис. 4.26, *е*; этот сигнал представляет собой сигнал логического нуля (ЗЕМЛЯ).

На рис. 4.26, *ж* определен сигнал, подаваемый на вход  $D_6$ : это сигнал  $\bar{D}$  («не  $D$ »).

Наконец, на рис. 4.26, *з* определен сигнал, подаваемый на вход  $D_7$ . Этот сигнал представляет собой логический 0 (ЗЕМЛЯ).

Заметьте, что информационные входы  $D_0$ ,  $D_5$  и  $D_7$  микросхемы селектора данных 74151 постоянно заземлены. На вход  $D_1$  все время подается напряжение +5 В. На входы  $D_2$  и  $D_4$  непосредственно поступает значение входной переменной  $D$  из таблицы истинности. Входы  $D_3$  и  $D_6$  подключены к инвертору с тем, чтобы на них подавалась входная переменная  $D$ , значения которой являются дополнением переменной  $D$ . Разрешающий, или стробирующий, вход микросхемы 74151 селектора «1 из 8» для нормальной его работы должен постоянно находиться под напряжением НИЗКОГО уровня (логический 0). Маленький кружок, изображенный на разрешающем входе селектора данных (рис. 4.26, *и*), означает, что активный сигнал на этом входе будет НИЗКОГО логического уровня.

Селектор данных (мультиплексор) используется в последних двух разделах как универсальный логический элемент. Применение селектора данных — это простой и экономичный способ решения многих задач реализации логических функций с числом переменных от трех до пяти.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

29. При значениях входных переменных  $D = 1$ ,  $C = 0$ ,  $B = 0$ ,  $A = 0$  и логическом уровне 0 разрешающего сигнала на выходе  $Y$  селектора данных (рис. 4.26, *и*) появится сигнал \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня.
30. При значениях входных переменных  $D = 1$ ,  $C = 1$ ,  $B = 0$ ,  $A = 0$  и логическом уровне 0 разрешающего сигнала на выходе  $Y$  селектора данных появится сигнал \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня.
31. При значениях входных переменных  $D = 1$ ,  $C = 0$ ,  $B = 1$ ,  $A = 1$  и логическом уровне 0 разрешающего сигнала на выходе  $Y$  селектора данных появится сигнал \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня.

### 4.13. Цифровые логические уровни

Как определить, что такое логический 0 (НИЗКИЙ уровень) и логическая 1 (ВЫСОКИЙ уровень)? На рис. 4.27 показан инвертор (в виде микросхемы 7404) из логического семей-

Разрешение

Стробирование

Входной активный  
сигнал НИЗКОГО  
уровня

Универсальный логи-  
ческий элемент

Определение логичес-  
ких уровней ТТЛ-схем



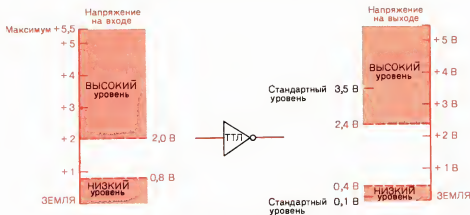


Рис. 4.27. Определение уровней напряжений на входах и выходах ТТЛ-схем.

ства биполярных ТТЛ-схем. Согласно рекомендациям фирм-изготовителей, для обеспечения надежной работы микросхем НИЗКОМУ уровню на *входе* должно соответствовать напряжение в диапазоне от потенциала ЗЕМЛИ до 0,8 В. ВЫСОКОМУ уровню на *входе* должно соответствовать напряжение в диапазоне от 2 до 5,5 В. Незакрашенная область на рис. 4.27 относится к области сигналов неопределенного логического уровня; ей соответствуют напряжения в диапазоне от 0,8 до 2,0 В; такие напряжения на входах крайне нежелательны. Отсюда следует, что напряжения, например, 3,2 В соответствует входному сигналу ВЫСОКОГО уровня, а напряжение 0,5 В – входному сигналу НИЗКОГО уровня. Напряжение 1,6 В находится в области сигналов неопределенного уровня, и их следует избегать. Входные сигналы неопределенного уровня могут приводить к непредсказуемым результатам на выходах логических элементов.

Уровни ожидаемых сигналов на выходе ТТЛ-инвертора показаны в правой части рис. 4.27. Типичный сигнал НИЗКОГО уровня на выходе – около 0,1 В, типичный сигнал ВЫСОКОГО уровня – около 3,5 В. Однако сигналу ВЫСОКОГО уровня на выходе может соответствовать и более низкое напряжение – вплоть до 2,4 В, как показано на рис. 4.27. Величина напряжения, соответствующая сигналу ВЫСОКОГО уровня, зависит от величины сопротивления нагрузки на выходе логического элемента. Чем выше ток нагрузки, тем ниже напряжение ВЫСОКОГО уровня. Незакрашенная область напряжений на выходе, показанная в правой части рис. 4.27, относится к сигналам неопределенного логического уровня, а потому нежелательным. Если выходное напряжение находится в этой зоне (0,4–2,4 В), можно предположить, что в схеме имеются неисправности.

Обратите внимание на различие ВЫСОКИХ уровней на входе и выходе инвертора (рис. 4.27). На входе уровень счи-

Незакрашенная область

Сигналы неопределенного логического уровня

Область сигналов неопределенного уровня

Непредсказуемые результаты

Помехоустойчивость.  
Нечувствительность.  
Посторонние электри-  
ческие сигналы

тается **ВЫСОКИМ**, если он превышает величину 2,0 В. Однако на выходе **ВЫСОКИЙ** уровень соответствует напряжению выше 2,4 В. Причиной такого различия является стремление обеспечить *помехоустойчивость* цифровых электронных схем (т.е. их нечувствительность к посторонним электрическим сигналам). Что касается **НИЗКОГО** уровня сигналов, то на входе они соответствуют напряжениям менее 0,8 В, а на выходе – напряжениям менее 0,4 В (рис. 4.27). И в этом случае такое различие уровней должно обеспечивать уверенность в том, что цифровая электронная система не будет реагировать на нежелательные помехи.

Напряжения, соответствующие **НИЗКИМ** и **ВЫСОКИМ** логическим уровням, даны применительно к ТТЛ-схемам. Для других семейств логических схем эти напряжения будут другими.

Популярное семейство цифровых интегральных КМОП-схем работает в довольно широком диапазоне напряжений питания – от +3 до +15 В. Согласно справочным данным, для КМОП-ИС напряжение **НИЗКОГО** логического уровня на входе не должно превышать 20% от величины общего напряжения питания. Что касается сигналов **ВЫСОКОГО** логического уровня, то соответствующее им напряжение должно составлять более 80% от величины напряжения питания. При использовании КМОП-схем с напряжением питания 10 В для сигнала **НИЗКИХ** логических уровней напряжение может изменяться в пределах от 0 до +2 В, а для сигнала **ВЫСОКИХ** логических уровней от +8 до +10 В. Типовые логические пробники показывают **НИЗКИЙ** логический уровень для КМОП-схем в тех случаях, когда напряжение составляет от 0 до 30% напряжения источника питания. Те же логические пробники показывают **ВЫСОКИЙ** уровень, если напряжение находится в диапазоне 70–100% напряжения питания.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

32. Напряжение **НИЗКОГО** логического уровня для ТТЛ-схем может изменяться в пределах от + \_\_\_\_\_ до + \_\_\_\_\_ В.
33. Напряжение +2,1 В на входе ТТЛ-схемы определяется как напряжение \_\_\_\_\_ (**ВЫСОКОГО**, **НИЗКОГО**, неопределенного) уровня.
34. Напряжение **НИЗКОГО** логического уровня на выходе ТТЛ-схемы может изменяться от 0 до + \_\_\_\_\_ В. Стандартным является напряжение около + \_\_\_\_\_ В.
35. Напряжение **ВЫСОКОГО** логического уровня на выходе ТТЛ-схемы может изменяться от + \_\_\_\_\_ до +5,5 В. Стандартным является напряжение около + \_\_\_\_\_ В.

### 36. Нечувствительность цифровых логических схем к нежелательным электрическим сигналам называется

Поиск неисправностей  
в простых схемах

Повреждения в циф-  
ровых схемах

#### 4.14. Поиск неисправностей в простых схемах

По мнению изготовителей измерительного оборудования, около трех четвертей всех повреждений в цифровых схемах обусловлено обрывами на входах и выходах схем. Многие из этих повреждений можно установить с помощью логического пробника.

Рассмотрим комбинационную логическую схему, смонтированную на печатной плате (рис. 4.28, а). В техническом паспорте схемы может содержаться блок-схема, подобная показанной на рис. 4.28, б. Изучите внимательно монтажную схему и блок-схему и попробуйте определить соответствующую принципиальную схему, из которой вы сможете

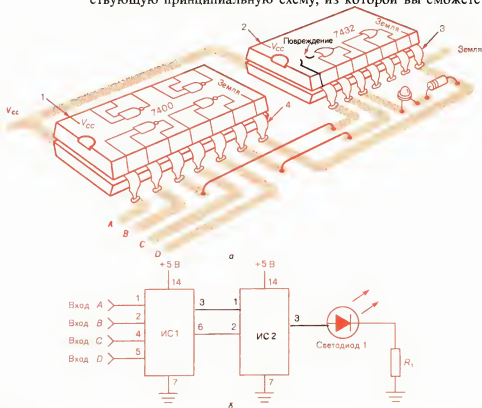


Рис. 4.28.

а — контроль повреждений в схеме, смонтированной на печатной плате; б — блок-схема цепи И — НЕ с четырьмя входами.

Спецификация

IC1 — 7400 на 4 логических элементах И — НЕ с двумя входами

IC2 — 7432 на 4 логических элементах ИЛИ с двумя входами

Светодиод 1 — диффузионный светодиод Т 1-3/4 с красным свечением

$R_1$  — 150 Ом  $\pm 10\%$ , на 0,5 Вт

для этих схем написать булево выражение и таблицу истинности. В данном примере оказывается, что два логических элемента И–НЕ подключены к элементу ИЛИ. Это эквивалентно четырем логическим функциям И–НЕ. Соответствующая принципиальная схема та же, что и изображенная в правой части рис. 3.25.

Повреждение в схеме на рис. 4.28, *a* показано как обрыв на входе элемента ИЛИ. Теперь проведем поиск неисправности в схеме и посмотрим, каким образом мы обнаруживаем существующее повреждение.

Логический пробник  
для КМОП-схем

Определение логических уровней для КМОП-схем

1. Устанавливаем переключатель режимов логического пробника в положение ТТЛ и присоединяем пробник к источнику питания.
2. Проверяем точки 1 и 2 (см. рис. 4.28, *a*).  
*Результат:* в обеих точках напряжение ВЫСОКОГО логического уровня.
3. Проверяем точки 3 и 4.  
*Результат:* в обеих точках напряжение НИЗКОГО логического уровня.  
*Вывод:* на обе ИС подается питание.
4. Проверяем состояние схемы И–НЕ с четырьмя входами, которое характерно только для элементов этого типа (на всех входах напряжение ВЫСОКОГО логического уровня). Проверяем точки 1, 2, 4 и 5 микросхемы 7400.  
*Результат:* на всех входах имеет место напряжение ВЫСОКОГО логического уровня, однако светодиод при этом излучает, что указывает на наличие ВЫСОКОГО логического уровня на выходе схемы.  
*Вывод:* специфическое состояние схемы И–НЕ с четырьмя входами не реализуется.
5. Проверяем выходы элементов И–НЕ на выводах 3 и 6 микросхемы 7400.  
*Результат:* на всех выходах напряжение НИЗКОГО логического уровня.  
*Вывод:* логические элементы И–НЕ исправны.
6. Проверяем входы элементов ИЛИ на выводах 1 и 2 микросхемы 7432.  
*Результат:* на обоих входах напряжения НИЗКОГО логического уровня.  
*Вывод:* на входы элемента ИЛИ через выводы 1 и 2 подаются необходимые сигналы, в то время как выход этого элемента не соответствует его нормальной работе. Следовательно, элемент ИЛИ поврежден и микросхема 7432 подлежит замене.

#### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

37. Большинство повреждений в цифровых электронных схемах обусловлено \_\_\_\_\_ (обрывами, короткими замыканиями) на входах и выходах логических элементов.

38. Для проверки входов и выходов схем на наличие обрывов можно использовать простые приборы из комплекта измерительного оборудования, такие, как \_\_\_\_\_.

### Основные результаты главы

1. Квалифицированные техники и инженеры должны уметь собирать комбинационные логические схемы из отдельных логических элементов на основе булевых выражений.
2. Тем, кто работает в области цифровой электроники, необходимо очень хорошо разбираться в условных обозначениях логических элементов, таблицах истинности, булевых выражениях и знать, как

а Булево выражение в КНФ

$$A \cdot B + \bar{A} \cdot \bar{C} = Y$$

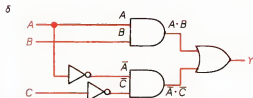


Рис. 4.29.

а — дизъюнктивная нормальная форма; б — логическая схема И-ИЛИ; в — конъюнктивная нормальная форма; г — логическая схема ИЛИ-И.

в Булево выражение в ДНФ

$$(A + \bar{C}) \cdot (\bar{A} + B) = Y$$

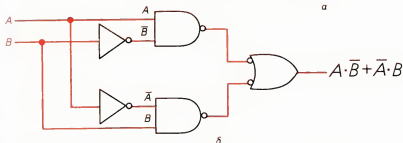
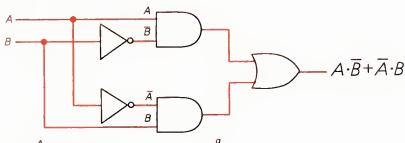
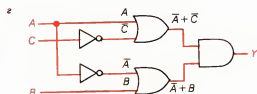


Рис. 4.30.

а — логическая схема И-ИЛИ; б — эквивалентная логическая схема И-НЕ.

- преобразовывать указанную информацию из одной формы в другую.
- Булево выражение в дизъюнктивной нормальной форме (в виде суммы произведений) может выглядеть подобно выражению, записанному на рис. 4.29, а. Булево выражение  $A \cdot B + A \cdot \bar{C} = Y$  можно реализовать в виде схемы, показанной на рис. 4.29, б.
  - Булево выражение в конъюнктивной нормальной форме (в виде произведения сумм) может выглядеть подобно выражению, записанному на рис. 4.29, в. Булево выражение  $(A + \bar{C}) \cdot (A + B) = Y$  можно реализовать в виде схемы, показанной на рис. 4.29, г.
  - Применение карт Карно — удобный, метод упрощения булевых выражений.
  - Логические схемы типа И–ИЛИ можно легко собирать с использованием только логических элементов И–НЕ, как это показано на рис. 4.30.
  - Применение селектора данных — простой метод решения многих логических задач, позволяющий обойтись лишь одной ИС. Способ свертывания таблиц истинности дает возможность использовать более дешевые типы селекторов данных.
  - Для каждого семейства логических схем характерны свои диапазоны **ВЫСОКИХ** и **НИЗКИХ** уровней напряжения. Эти уровни можно контролировать логическими пробниками.

#### Итоговые задания к изучаемой главе

- Инженеры и техники составляют схемы, составленные из различных логических элементов, \_\_\_\_\_ логическими схемами.
- Начертите принципиальную схему, соответствующую булеву выражению  $A \cdot B + B \cdot C = Y$ . Используйте при этом один элемент ИЛИ, два И и два элемента инвертора.
- Булево выражение  $A \cdot \bar{B} + B \cdot C = Y$  имеет форму \_\_\_\_\_ (произведения сумм, суммы произведений).
- Булево выражение в форме произведения сумм называют также \_\_\_\_\_ формой.
- Булево выражение в форме суммы произведений называют также \_\_\_\_\_ формой.
- Булево выражение, соответствующее таблице истинности, приведенной на рис. 4.31, запишите в дизъюнктивной нормальной форме, не упрощая его.
- Выпишите таблицу истинности (с тремя переменными), которая представляет булево выражение  $\bar{C} \cdot B + C \cdot \bar{B} \cdot A = Y$ .
- Таблица истинности, данная на рис. 4.32, записана для схемы электронного замка, который будет открыт только в том случае, когда на его выходе появится 1. Напишите, во-первых, для замка булево выражение в ДНФ. Во-вторых, начертите принципиальную схему замка, используя элементы И, ИЛИ, НЕ.
- Перечислите шесть шагов процедуры

Входы			Выход
С	В	А	У
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Рис. 4.31. Таблица истинности.

Таблица истинности

Входы			Выход
С	В	А	У
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

Рис. 4.32. Таблица истинности для схемы электронного замка.

упрощения булева выражения, которая обсуждалась в разделе 4.6.

11. Используйте карту Карно для упрощения булева выражения

$$\bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + A \cdot B \cdot C = Y.$$

Запишите упрощенное булево выражение в ДНФ.

12. Используйте карту Карно для упрощения булева выражения

$$A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + A \cdot \bar{B} \cdot \bar{C} \cdot D + A \cdot \bar{B} \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D = Y.$$

13. На основе таблицы истинности, приведенной на рис. 4.31, выполните следующие операции:

- a. Напишите булево выражение в исходном виде.

- b. Используйте карту Карно для упрощения этого булева выражения.

- в. Напишите упрощенное булево

выражение для данной таблицы истинности в ДНФ.

- г. Изобразите схему для упрощенного булева выражения, используя только логические элементы И, ИЛИ, НЕ.

- д. Преобразуйте полученную схему, используя логические элементы И-НЕ.

14. Используйте карту Карно для упрощения булева выражения

$$\bar{A} \cdot \bar{B} \cdot C \cdot D + A \cdot B \cdot \bar{C} \cdot \bar{D} + A \cdot B \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D = Y.$$

Запишите ответ в виде булева выражения в ДНФ.

15. На основе булева выражения

$$\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot C \cdot D + \bar{A} \cdot B \cdot \bar{C} \cdot D + A \cdot B \cdot C \cdot \bar{D} + A \cdot B \cdot C \cdot D + A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} = Y$$

проведите следу-

ющие операции:

- a. Запишите таблицу истинности для данного выражения.

- b. Используйте карту Карно для упрощения выражения.

- в. Изобразите схему для упрощенного булева выражения, используя элементы И, ИЛИ, НЕ.

- г. Изобразите схему для решения этой логической задачи, применяя селектор данных «1 из 16».

- д. Изобразите схему для решения этой же задачи, применяя селектор данных «1 из 8» и метод свертывания таблицы истинности.

16. На основе таблицы истинности для функции пяти переменных (рис. 4.33)

Входы					Выход
E	D	C	B	A	Y
0	0	0	0	0	0
0	0	0	0	1	1
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	1
0	0	1	1	0	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	0	1	0
0	1	0	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0
1	0	0	0	0	0
1	0	0	0	1	1
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	0
1	1	1	1	1	0

Рис. 4.33. Таблица истинности для функции пяти переменных.

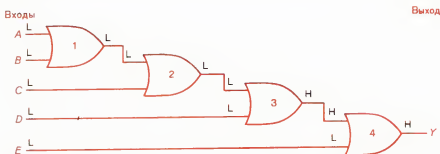


Рис. 4.34. Принципиальная схема поврежденной цифровой схемы с обнаруживаемыми при проверке напряжениями ВЫСОКОГО и НИЗКОГО логических уровней.

выполните следующие операции:

- Запишите булево выражение в исходной форме.
  - Составьте схему из условных обозначений логических элементов для решения этой задачи, используя метод свертывания и селектор данных «1 из 16».
17. Запишите булево выражение для схе-

мы, показанной на рис. 4.34, при условии ее нормальной работы.

18. Специфическое состояние схемы на рис. 4.34 при отсутствии неисправностей определяется тем, что на ее выходе появляется \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) логический уровень при \_\_\_\_\_ (ВЫСОКОМ, НИЗКОМ) уровне на

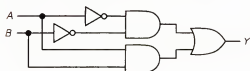
всех входах.

19. Буквы L и H на рис. 4.34 означают соответственно соответственно НИЗКИЙ и ВЫСОКИЙ уровни, обнаруженные логическим пробником при проверке схемы. Судя по этим показаниям пробника, вероятнее всего неисправен элемент ИЛИ под номером \_\_\_\_\_.

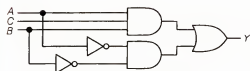


## Ответы к заданиям для самопроверки

1. а.



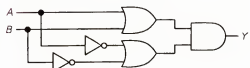
б.



2. Суммы произведений

3. Произведения сумм

4. а.



б.



5. Конъюнктивной нормальной форме

6. Произведения сумм

7. ИЛИ-И

 8.  $C \cdot B \cdot \bar{A} + C \cdot B \cdot A = Y$ 

9. В строках 1 и 2

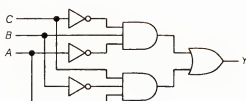
10.

Таблица истинности

Входные переключатели			Выход
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

$$11. \bar{C} \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A = Y$$

12.



13. Одинаковым

14. Булевой, Карно

15. Морис Карно

16. 1. Записать булево выражение в дизъюнктивной нормальной форме

2. Нанести единицы на карту Карно

3. Объединить соседние единицы контурами

4. Провести упрощения, исключая дополняющие друг друга термы внутри контура

5. Объединить оставшиеся термы (по одному в каждом контуре) функцией ИЛИ

6. Записать упрощенное булево выражение в дизъюнктивной нормальной форме

17. а-в.

	$\bar{C}$	C
$\bar{A}\bar{B}$		
$\bar{A}B$	1	1
$AB$	1	1
$A\bar{B}$		

 г.  $B = Y$ 

18. а-в.

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$				
$\bar{A}B$	1	1		
$AB$	1	1		
$A\bar{B}$			1	1

$$2. B \cdot \bar{C} + A \cdot \bar{B} \cdot C = Y$$

19. а-в.

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$		1	1	
$\bar{A}B$	1			1
$AB$				
$A\bar{B}$		1	1	

$$2. \bar{A} \cdot B \cdot \bar{D} + \bar{B} \cdot D = Y$$

20. а-в.

	$\bar{C}$	$C$
$\bar{A}\bar{B}$	1	1
$\bar{A}B$		
$AB$		1
$A\bar{B}$	1	1

$$2. \bar{B} + A \cdot C = Y$$

21. И-ИЛИ

22. Одинаковым

23. 1. Записать булево выражение в дизъюнктивной нормальной форме

2. Построить принципиаль-

ную схему И-ИЛИ, используя условные обозначения элементов И, ИЛИ и НЕ

3. Заменить условным обозначением И-НЕ каждое условное обозначение элементов И и ИЛИ, сохраняя остальные соединения в схеме в неизменном виде
4. Заменить каждый инвертор схемой И-НЕ с соединенными вместе входами
5. Проверить логическую схему, состоящую только из элементов И-НЕ, на соответствие ее заданной таблице истинности

24. Селектора данных

25. 7; W

26. Поворотного

27. 15; ВЫСОКИЙ

28. Селектором данных

29. НИЗКОГО

30. ВЫСОКОГО

31. НИЗКОГО

32. 0; 0,8

33. ВЫСОКОГО

34. 0,4; 0,1

35. 2,4; 3,5

36. Помехоустойчивостью

37. Обрывами

38. Логический пробник или вольтметр

# Глава 5

## Коды, шифраторы и дешифраторы

В повседневной жизни для представления чисел мы пользуемся исключительно десятичным кодом. В цифровых электронных схемах микрокалькуляторов или ЭВМ для представления чисел по большей части применяется двоичный код. Как десятичные, так и двоичные числа мы подробно изучали в гл. 2. В цифровой электронике применяется, кроме того, много других специальных кодов для представления чисел и даже букв алфавита. В этой главе мы познакомимся с некоторыми общепринятыми кодами, используемыми в цифровых электронных устройствах.

В цифровой электронике находят широкое применение электронные преобразователи одних кодов в другие. В гл. 2 мы уже использовали шифратор для перевода десятичных чисел в двоичные и дешифратор для обратного перевода двоичных чисел в десятичные. В этой главе вы познакомитесь с несколькими широко применяемыми типами шифраторов и дешифраторов, переводящих числа из одного кода в другой. Рассматриваются также конструкции и принципы работы семисегментных индикаторов на жидких кристаллах и на светодиодах.

Двоично-десятичный  
код 8421

### 5.1. Двоично-десятичный код 8421

Каким образом можно представить десятичное число 926 в двоичной форме? Другими словами, как вы преобразовали бы число 926 в двоичное число 1110011110? Преобразование этого числа из десятичной системы в двоичную можно осуществить, пользуясь способом, описанным в гл. 2:

926	$\div 2 = 463$	с остатком	0	разряд с весом 1
463	$\div 2 = 231$	с остатком	1	разряд с весом 2
231	$\div 2 = 115$	с остатком	1	разряд с весом 4
115	$\div 2 = 57$	с остатком	1	разряд с весом 8
57	$\div 2 = 28$	с остатком	1	разряд с весом 16
28	$\div 2 = 14$	с остатком	0	разряд с весом 32
14	$\div 2 = 7$	с остатком	0	разряд с весом 64
7	$\div 2 = 3$	с остатком	1	разряд с весом 128
3	$\div 2 = 1$	с остатком	1	разряд с весом 256
1	$\div 2 = 0$	с остатком	1	разряд с весом 512

Полученное двоичное число 1110011110 большинству из нас мало что говорит. Код, в котором двоичная система счисления используется несколько иным образом, чем в предыдущем примере, называется *двоично-десятичным кодом 8421*. Именно этот код часто имеют в виду, когда говорят просто о *двоично-десятичном коде*.

Преобразование десятичного числа 926 в этот код проиллюстрировано на рис. 5.1. В результате получено число 1001 0010 0110 в коде 8421. Обратите внимание на то, что на рис. 5.1 каждая группа из четырех двоичных цифр (тетрада)

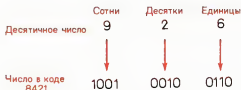


Рис. 5.1. Преобразование десятичного числа в код 8421.

представляет соответствующую десятичную цифру. Правая группа 0110 соответствует значению разряда с весом 1 в десятичном числе, средняя группа 0010 дает значение разряда с весом 10, а расположенная слева тетрада 1001 представляет значение разряда с весом 100 в том же самом десятичном числе.



Рис. 5.2. Преобразование чисел из кода 8421 в десятичные.

Представьте, что вам дано число 0001 1000 0111 0001, записанное в коде 8421. Какому десятичному числу оно соответствует? На рис. 5.2 показано, каким образом перевести число из двоично-десятичного кода в десятичный. Согласно правилам такого преобразования, находим, что число 0001 1000 0111 0001 эквивалентно десятичному числу 1871. В коде 8421 никогда не используются следующие группы из четырех двоичных цифр: 1010, 1011, 1100, 1101, 1110, 1111. Эти числа в указанном коде запрещены.

Код 8421 очень широко применяется в цифровых системах. Как мы уже отмечали, его часто называют просто двоично-десятичным кодом. Здесь, однако, следует соблюдать определенную осторожность, поскольку существуют двоично-десятичные коды и с другими весами числовых разрядов, например код 4221 и так называемый код с избытком 3.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Десятичное число 29 эквивалентно числу \_\_\_\_\_ в двоичной системе.
2. Десятичное число 29 эквивалентно числу \_\_\_\_\_ в коде 8421.
3. Число 1000 0111 0110 0101 в коде 8421 эквивалентно числу \_\_\_\_\_ в десятичной системе.

Код с избытком 3

## 5.2. Код с избытком 3

Термин «двоично-десятичный» объединяет целую группу кодов, хотя обычно этим термином обозначают именно код 8421. Еще один код той же группы — это *код с избытком 3*. Чтобы представить десятичное число в коде с избытком 3, мы *прибавляем 3 к каждой цифре десятичного числа* и затем заменяем полученные цифры соответствующими четырехзначными двоичными числами. На рис. 5.3 проиллюстрировано, каким образом десятичное число 4 преобразуется в число 0111 в коде с избытком 3. В табл. 5.1



приведены некоторые десятичные числа и эквивалентные им числа в коде с избытком 3. Вы, вероятно, уже заметили, что довольно трудно представить себе десятичные числа, записанные в этом коде, поскольку значимость двоичных цифр в разрядах отличается от таковой в обычных двоичных числах и числах, представленных в коде 8421. Код с избытком

Таблица 5.1. Код с избытком 3

Десятичное число	Числа в коде с избытком 3		
0	0011		
1	0100		
2	0101		
3	0110		
4	0111		
5	1000		
6	1001		
7	1010		
8	1011		
9	1100		
14	0100	0111	
27	0101	1010	
38	0110	1011	
459	0111	1000	1100
606	1001	0011	1001
Сотни Десятки Единицы			

3 используется во многих арифметических цифровых схемах, так как он является самодополняющимся.

Код 8421 и код с избытком 3 — лишь два примера из большого семейства двоично-десятичных кодов, применяемых в цифровой электронике. Однако наиболее широко используется именно код 8421.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

4. Десятичное число 18 эквивалентно числу \_\_\_\_\_ в коде с избытком 3.
5. Число 10010011 в коде с избытком 3 эквивалентно десятичному числу \_\_\_\_\_.

### Код Грея

#### 5.3. Код Грея

В табл. 5.2 код Грея сопоставляется с некоторыми уже известными вам кодами. Важной особенностью кода Грея является то, что при *переходе* к следующему, ниже расположенному числу достаточно в предыдущем числе *изменить только одну цифру* (см. правый столбец табл. 5.2). Код Грея нельзя использовать в арифметических схемах. Этот код применяется во входных и выходных устройствах цифровых систем.

Из табл. 5.2 видно, что код Грея нельзя считать одним

Таблица 5.2. Код Грея

Десятичные числа	Двоичные числа	Числа в коде 8421	Числа в коде Грея
0	0000	0000	0000
1	0001	0001	0001
2	0010	0010	0011
3	0011	0011	0010
4	0100	0100	0110
5	0101	0101	0111
6	0110	0110	0101
7	0111	0111	0100
8	1000	1000	1100
9	1001	1001	1101
10	1010	0001	0000
11	1011	0001	0001
12	1100	0001	0010
13	1101	0001	0011
14	1110	0001	0100
15	1111	0001	0101
16	10000	0001	0110
17	10001	0001	0111

из многочисленных вариантов двоично-десятичного кода. Заметьте также, что довольно трудно переводить десятичные числа в код Грея и переходить обратно от кода Грея к десятичным числам. Конечно, есть способы такого перевода, но обычно для этой цели используют электронные дешифраторы.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

6. Код Грея \_\_\_\_\_ (принадлежит, не принадлежит) к семейству двоично-десятичных кодов.
7. В чем состоит наиболее важная особенность кода Грея?

## 5.4. Шифраторы

Цифровая система, в которой используется *шифратор*, приведена на рис. 5.4. Шифратор в этой системе переводит десятичные числа, поступающие с клавиатуры, в код 8421. Мы упоминали о шифраторе такого типа в гл. 2. Фирма-изготовитель называет его *шифратором приоритетов 10—4*. На рис. 5.5,а дана блок-схема этого шифратора. Если подать сигнал на его десятичный вход 3, то встроенная логическая схема даст на выходе число 0011, представленное в двоично-десятичном коде, как это и показано на рисунке.

Шифратор приоритетов 10—4

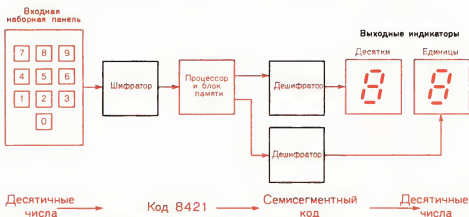
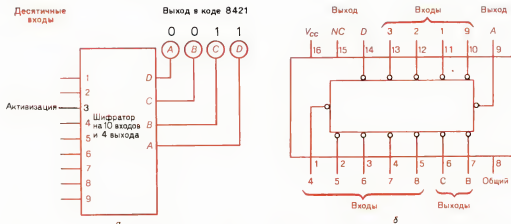


Рис. 5.4. Цифровая электронная система.

Более подробно рассматриваемый шифратор изображен на рис. 5.5,б—это схема подключения, прилагаемая фирмой-изготовителем National Semiconductor к выпускаемой микросхеме шифратора приоритетов 74147. Заметьте, что как на входах (от 1 до 9), так и на выходах (от А до D) изо-

Шифратор приоритетов 74147



**Рис. 5.5.**  
 а – шифратор на 10 входов и 4 выхода; б – схема расположения выводов микросхемы шифратора 74147 (предоставлена фирмой National Semiconductor); в – таблица истинности для шифратора 74147 (предоставлена фирмой National Semiconductor).

**Условные обозначения:**  
 Н – ВЫСОКИЙ логический уровень; Л – НИЗКИЙ логический уровень; х – не-работоспособные входы.

бражены кружки. Эти кружки означают, что для микросхемы шифратора 74147 активными входами являются сигналы НИЗКОГО логического уровня, а активными выходами – также сигналы НИЗКОГО логического уровня. Таблица истинности для данного шифратора приоритетов приведена на рис. 5.5, в. Заметьте, что только НИЗКИЕ логические уровни (обозначенные в таблице буквой Л) активируют соответствующие выходы. Активное состояние выходов в ИС этого типа также соответствует НИЗКОМУ уровню. Обратите внимание на то, что в последней строке таблицы истинности на рис. 5.5, в уровень Л (логический 0) на входе 1 активирует только выход А (самый младший бит четырехбитовой группы).

Микросхема 74147, изображенная на рис. 5.5, б, помещена в корпус типа DIP с 16 выводами. Эта ИС включает в себя 30 логических элементов, реализующих необходимые функции.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.



8. Микросхема шифратора 74147 на рис. 5.5 имеет активные входы \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня и активные выходы \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня.
9. Какой логический уровень будет иметь каждый из четырех выходов (см. рис. 5.5), если сигнал НИЗКОГО уровня подается только на вход 7 микросхемы шифратора 74147?
10. Что означает кружок на входе 4 на рис. 5.5, б у выхода 1 микросхемы 74147?

Семисегментный  
индикатор на свето-  
диодах

### 5.5. Семисегментные индикаторы на светодиодах

Система, показанная на рис. 5.4, иллюстрирует процесс решения часто встречающейся задачи декодирования чисел в машинном представлении для получения их десятичных эквивалентов. Очень распространенным выходным устройством отображения десятичных чисел является семисегментный индикатор. Семь сегментов индикатора обозначены на рис. 5.6, а буквами от *a* до *g*. Способ изображения десятичных цифр от 0 до 9 показан на рис. 5.6, б. Например, если светятся только сегменты *a*, *b* и *c*, то на индикаторе появляется десятичная цифра 7. Если светятся все сегменты от *a* до *g*, то появляется десятичная цифра 8.

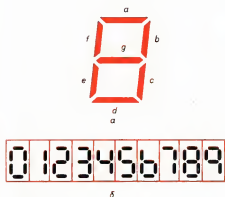


Рис. 5.6.

*a* — обозначения сегментов; *б* — десятичные числа, вычисляемые на стандартном семисегментном индикаторе.

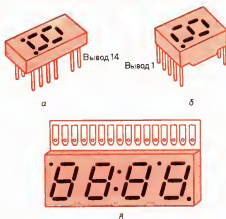


Рис. 5.7.

*a* — семисегментный индикатор на светодиодах в корпусе DIP; *б* — широко применяемый корпус для одиоразрядного индикатора с 10 выводами; *в* — корпус для многоразрядного индикатора.

Заметьте положение вывода 1. Выводы пронумерованы против часовой стрелки, начиная с вывода 1, если смотреть на семисегментный индикатор сверху.

Несколько широко применяемых семисегментных индикаторов в корпусах различных типов показано на рис. 5.7, а. Один из таких семисегментных индикаторов выполнен на светодиодах (рис. 5.7, а) и заключен в корпус типа DIP с 14

выводами. Другой одноразрядный семисегментный светодиодный индикатор изображен на рис. 5.7,б. Этот индикатор помещается поперечно в более широкий корпус типа DIP. Наконец, на рис. 5.7,в, показан многоразрядный индикатор на светодиодах, широко используемый в цифровых электронных часах.

Семисегментный индикатор можно сконструировать и так, что каждый сегмент будет представлять собой тонкую нить накала. Прибор этого типа носит название *накального индикатора* и подобен обычным лампам накаливания. Еще один тип индикатора представляет собой *газоразрядную трубку*, работающую при высоких напряжениях. Этот индикатор отличается оранжевым свечением. *Флуоресцентный индикатор* дает зеленоватое свечение и работает при низких напряжениях. В более современных *индикаторах на жидких кристаллах* высвечиваются цифры черного или серебристого цвета. Широко распространенные светодиодные индикаторы обладают характерным красноватым свечением.

Основной частью светодиода является диод с плоскостным  $p-n$ -переходом. Когда диод включен в прямом направлении, через  $p-n$ -переход протекает ток и возникает излучение, которое фокусируется пластмассовой линзой, чтобы его можно было легко наблюдать. Многие светодиоды изготавливаются из арсенида галлия (GaAs) и некоторых аналогичных материалов.

Накальный индикатор

Газоразрядная трубка

Флуоресцентный индикатор

Индикатор на жидких кристаллах (ЖКИ)

Арсенид галлия

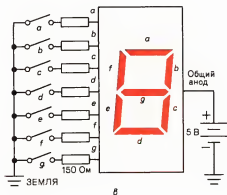
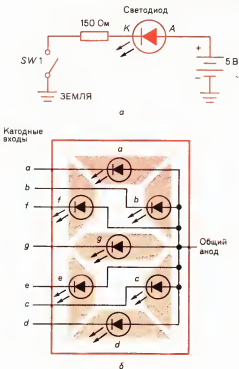


Рис. 5.8.

а — схема включения одного светодиода; б — схема соединений в семисегментном индикаторе на светодиодах с общим анодом; в — управление работой семисегментного индикатора при помощи переключателей.

Схема для проверки работы одного светодиода приведена на рис. 5.8, а. Когда ключ SW1 замкнут, ток от источника с напряжением 5 В течет через светодиод, вызывая его свечение. Последовательно включенный резистор ограничивает ток до уровня примерно 20 мА. Без ограничивающего резистора светодиод может выйти из строя. Обычно на выводах светодиодов при излучении допускается напряжение не более 1,7 В. Как и всякий диод, светодиод чувствителен к полярности приложенного напряжения. Следовательно, *катод* (К) должен быть подключен к отрицательному полюсу источника питания (ЗЕМЛЕ), а *анод* (А) — к его положительному полюсу.

Ограничивающий резистор

Устройство семисегментного индикатора на светодиодах показано на рис. 5.8, б. В каждом сегменте (от а до g) содержится один светодиод, имеющий на рисунке соответствующее обозначение. В показанном светодиодном индикаторе (СДИ) аноды всех светодиодов соединены вместе и подключены с правой стороны индикатора к одному выводу (общему аноду). Входы с левой стороны ведут к различным сегментам индикатора. Прибор на рис. 5.8, б, таким образом, относится к *семисегментным индикаторам на светодиодах с общим анодом*. Приборы этого типа существуют также и в виде схемы с общим катодом.

Семисегментный индикатор на светодиодах с общим анодом

Чтобы понять, каким образом сегменты индикатора активизируются и начинают светиться, рассмотрим схему на рис. 5.8, в. Если в замкнутом состоянии находится ключ b, ток течет от ЗЕМЛИ через ограничивающий резистор к сегменту «b» светодиода и через общий анод — к источнику питания. При этом будет излучать только сегмент b.

Предположим теперь, что вы хотите высветить на индикаторе (см. рис. 5.8, в) десятичную цифру 7. В этом случае нужно замкнуть ключи a, b и c, чтобы светились сегменты a, b и c. При этом на индикаторе появится цифра 7. Подобно этому, если нужно высветить десятичную цифру 5, необходимо замкнуть ключи a, c, d, f и g. Эти пять ключей заземлят соответствующие выводы сегментов, и на индикаторе появится цифра 5. Заметьте, что для активизации светодиодных сегментов необходим потенциал ЗЕМЛИ (потенциал НИЗКОГО логического уровня).

Для управления работой семисегментного индикатора на рис. 5.8, в мы использовали механические переключатели. Обычно же сигналы, необходимые для управления сегментами индикатора, обеспечиваются соответствующими ИС. Такая ИС называется *индикаторным формирователем*. На практике этот формирователь обычно помещается в общий корпус с дешифратором, вследствие чего принято говорить о *семисегментных дешифраторах-формирователях*.

Индикаторный формирователь

Семисегментный дешифратор-формирователь

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

11. Если сегменты  $a$ ,  $c$ ,  $d$ ,  $f$  и  $g$  (рис. 5.6,  $a$ ) будут светиться, на семисегментном индикаторе появится десятичная цифра \_\_\_\_\_.
12. Семисегментный прибор с зеленоватым свечением является \_\_\_\_\_ (флуоресцентным индикатором, накаливаемым индикатором, индикатором на жидких кристаллах, индикатором на светодиодах).
13. Сокращенное наименование СДИ относится к \_\_\_\_\_, а сокращение ЖКИ означает \_\_\_\_\_.
14. Если ключи  $b$  и  $c$  на рис. 5.8,  $b$  замкнуты, светятся сегменты \_\_\_\_\_ и \_\_\_\_\_. Этот семисегментный \_\_\_\_\_ (СДИ, ЖКИ) будет показывать десятичную цифру \_\_\_\_\_.

### 5.6. Дешифраторы

Дешифратор-формирователь, преобразующий код 8421 в семисегментный

Дешифратор-формирователь, преобразующий код 8421 в семисегментный на основе интегральной ТТЛ-схемы 7447А

Дешифратор, подобно шифратору, служит для преобразования кодов. На рис. 5.4 показаны два дешифратора, используемые в одной системе. Дешифраторы переводят код 8421 в код семисегментного индикатора, обеспечивающий свечение соответствующих сегментов. На индикаторе при этом появляется десятичное число. На рис. 5.9 показано, как двоично-десятичное число 0101 подается на вход дешифратора-формирователя, преобразующего двоично-десятичный код в семисегментный код. Дешифратор активизирует выходы  $a$ ,  $c$ ,  $d$ ,  $f$  и  $g$  и заставляет светиться сегменты, отмеченные на рис. 5.9. При этом на индикаторе появляется десятичное число 5.

Дешифраторы могут работать с несколькими переменными, представленными в различных кодах, как это ил-

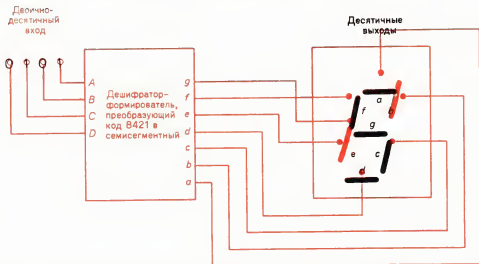


Рис. 5.9. Управление работой семисегментного индикатора при помощи дешифратора.

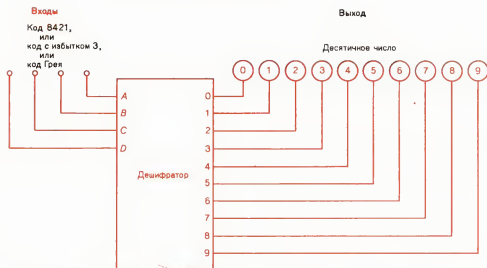


Рис. 5.10. Типичная блок-схема дешифратора.

Заметьте, что на вход можно подать числа в коде 8421, коде с избытком 3 и коде Грея.

люстрируется на рис. 5.10. Обратите внимание на то, что одна и та же блок-схема на рис. 5.10 использована в качестве дешифратора кода 8421, кода с избытком 3 и кода Грея.

Дешифраторы, подобно шифраторам, являются комбинационными логическими схемами с несколькими входами и выходами. Большинство дешифраторов содержит от 20 до 50 логических элементов. В большинстве случаев шифраторы и дешифраторы выполняются в корпусах ИС раздельно.

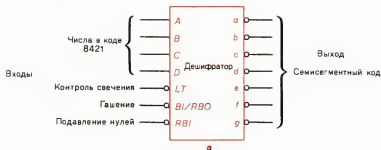
### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

15. Если на вход дешифратора-формирователя рис. 5.9 подать двоично-десятичное число 1000, то какие из сегментов индикатора будут светиться? Какое десятичное число будет показывать при этом семисегментный индикатор на светодиодах?
16. Перечислите по крайней мере три типа дешифраторов.

### 5.7. Дешифраторы-формирователи, преобразующие двоично-десятичный код в семисегментный

Условное обозначение для имеющейся в продаже интегральной ТТЛ-схемы 7447А, представляющей собой дешифратор-формирователь для преобразования двоично-десятичного кода в семисегментный код, показано на рис. 5.11.



Десятич. числа или функцион. назнач.	Входы						BI/RBO	Выходы							За- меча- ния
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	H	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	ON	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	ON	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

5



Рис. 5.11.

*a* – условное обозначение микросхемы дешифратора 7447A; *б* – таблица истинности для дешифратора 7447A (предоставлена фирмой Texas Instruments, Inc.); *в* – изображение чисел на семисегментном индикаторе.  
Условные обозначения: H – ВЫСОКИЙ уровень; L – НИЗКИЙ уровень; X – нерабочие входы; ON – включено; OFF – выключено.

Контроль свечения  
Гасящий вход

точного кода в семисегментный, приведено на рис. 5.11, *а*. Число, которое представлено в коде 8421 и подлежит декодированию, подается на входы, обозначенные буквами D, C, B и A. При возбуждении сигналом НИЗКОГО уровня вход контроля свечения (LT) активизирует все выходы от *a* до *g*. При подаче такого же возбуждающего сигнала на гасящий вход (BI) обеспечивается появление ВЫСОКИХ уровней на всех выходах, что вызывает сброс прежних показаний инди-

Вход последовательного гашения

Гашение

катора. При возбуждении сигналом НИЗКОГО уровня входов последовательного гашения (RBI) сброс индикатора осуществляется *только в том случае, если на нем высвечены нули*. Когда вход RBI активизируется, вывод с обозначением BI/RBO временно становится *выходом* сигнала последовательного гашения (RBO) и сигнал ВЫСОКОГО уровня на нем сменяется сигналом НИЗКОГО уровня. Напомним, что «гашение» означает прекращение свечения всех светодиодов индикатора.

Все семь выходов микросхемы 7447А возбуждаются сигналами НИЗКОГО уровня. Другими словами, на этих выходах в нормальном состоянии имеют место ВЫСОКИЕ уровни, которые в активном состоянии сменяются НИЗКИМИ.

Принцип работы дешифратора-формирователя 7447А детально характеризуется таблицей истинности, прилагаемой к микросхеме фирмой-изготовителем Texas Instruments (рис. 5.11, б) и приводимыми ниже замечаниями, отмеченными в таблице цифрами 1–4.

#### Замечания:

1. Гасящий вход (BI) необходимо разомкнуть или иметь на нем сигнал ВЫСОКОГО логического уровня, когда на выходе желательно получить изображения 0–15. Вход последовательного гашения (RBI) должен быть разомкнут или иметь ВЫСОКИЙ уровень, если подавление десятичного нуля нежелательно.
2. Когда напряжение НИЗКОГО уровня поступает непосредственно на гасящий вход (BI), все сегментные выходы оказываются ВЫКЛЮЧЕННЫМИ безотносительно к уровням любых других входов.
3. Когда напряжение на входе последовательного гашения (RBI) и напряжение на входах А, В, С и D имеют НИЗКИЙ уровень и при этом напряжение на входе контроля свечения (LT) имеет ВЫСОКИЙ уровень, все сегментные выходы ВЫКЛЮЧАЮТСЯ и уровень выходного последовательного сигнала гашения (RBO) становится НИЗКИМ (условие срабатывания).
4. Когда гасящий вход/выход последовательного гашения (BI/RBO) разомкнут или поддерживается напряжение ВЫСОКОГО уровня, а на вход контроля свечения (LT) подается напряжение НИЗКОГО уровня, все сегментные выходы оказываются ВКЛЮЧЕННЫМИ.

Изображения десятичных чисел на индикаторе, управляемом дешифратором 7447А, показаны на рис. 5.11, в. Заметьте, что некоторые запрещенные сигналы в коде 8421 на входе (десятичные числа 10, 11, 12, 13, 14 и 15) вызывают появление на выходе дешифратора 7447А специфических сигналов, соответствующих неполным цифровым изображениям на индикаторе.

Микросхема дешифратора-формирователя 7447А обычно подключается к семисегментному индикатору на светодиодах с общим анодом. Такая схема показана на рис. 5.12. Особенно важно то, что между микросхемой 7447А и семисегментным индикатором включены семь ограничивающих резисторов по 150 Ом каждый.

Предположим, что на вход дешифратора-формирователя

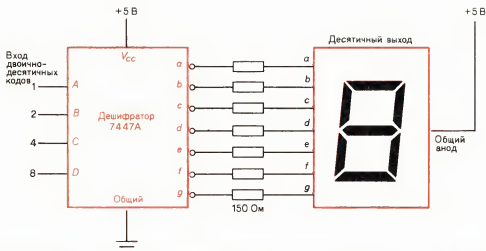


Рис. 5.12. Соединение микросхемы дешифратора 7447А с семисегментным индикатором на светодиодах.

ТТЛ-входы с „плавающим“ потенциалом **ВЫСОКОГО** уровня

7447А (рис. 5.12) подано двоично-десятичное число 0001 (LLLN). Этот случай соответствует второй строке таблицы истинности на рис. 5.11,б. Такая комбинация сигналов на входе вызовет свечение сегментов *b* и *c* на семисегментном индикаторе (на выходах *b* и *c* напряжение будет иметь НИЗКИЙ уровень). При этом на индикаторе появится десятичная цифра 1. Вход LT и два входа BI на рис. 5.12 не показаны. Когда эти входы отсоединены, на них предполагается наличие „плавающего“ потенциала **ВЫСОКОГО** уровня, и, следовательно, в работе данной схемы они не участвуют.

Сложная цепь соединений логических элементов в дешифраторе 7447А иллюстрируется на рис. 5.13,а. Эта логическая схема заимствована из технического паспорта, прилагаемого фирмой Texas Instruments к микросхеме дешифратора-формирователя 7447А. Заметьте, что и на логической схеме рис. 5.13,а входы и выходы с активными НИЗКИМИ уровнями имеют инвертирующие кружки.

Рассмотрим, как используется дешифратор-формирователь 7447А для управления работой группы индикаторов, показанных на рис. 5.13,б. Во многих приложениях, таких, как микрокалькуляторы или кассовые аппараты, необходимо обеспечивать *подавление нулей в старших разрядах*. Это иллюстрируется на рис. 5.13,б. Здесь нули в двух самых старших разрядах (на индикаторах 5 и 6) подавляются и не высвечиваются. Вход RBI дешифратора 7447А (ИС5) возбуждается сигналом низкого уровня. Это приводит к гашению индикатора 5, так как на его входы подается двоичное число 0000 (0<sub>10</sub>). При этом на вход ИС6 с выхода RBO ИС5 подается гасящий импульс НИЗКОГО уровня, а ИС6 в свою очередь обеспечивает гашение индикатора 6.

Подавление нулей в старших разрядах



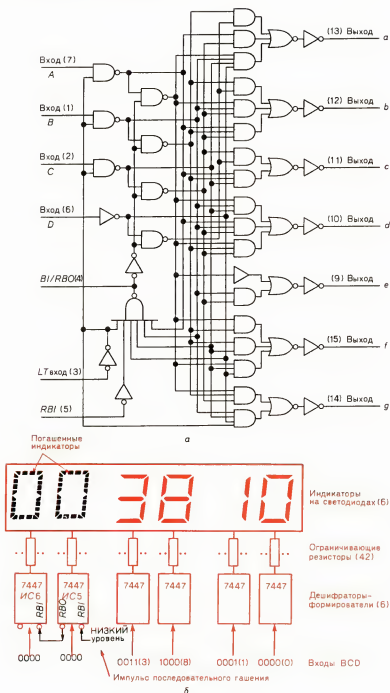


Рис. 5.13.

а – принципиальная схема дешифратора 7447А (предоставлена фирмой Texas Instruments, Inc.); б – использование входа последовательного гашения (RBI) в дешифраторе-формирователе для подавления нулей в старших разрядах многоразрядного индикатора.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

17. В микросхеме дешифратора-формирователя 7447А (рис. 5.11) на входы подаются двоично-десятичные сигналы \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня, а на выходах действуют сигналы \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня.
18. Входы дешифратора 7447А (рис. 5.11) для контроля свечения, общего гашения и подавления нулей возбуждаются сигналами \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня.
19. Входы RBI и RBO дешифратора 7447А обычно используются для подавления \_\_\_\_\_ многоразрядных индикаторов в микрокалькуляторах и кассовых аппаратах.
20. Что будет высвечивать семисегментный индикатор в ответ на каждый из входных импульсов, показанных на рис. 5.14?

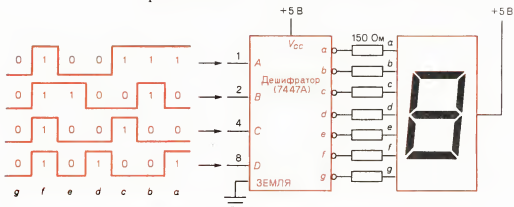


Рис. 5.14. Временная диаграмма следования импульсов в системе дешифратор-индикатор.

21. Перечислите сегменты на семисегментном индикаторе, которые будут светиться при подаче каждого из входных импульсов, показанных на рис. 5.14.

Индикаторы на жидких кристаллах

Светодиоды

### 5.8. Индикаторы на жидких кристаллах

Светодиодные индикаторы генерируют видимое излучение, в то время как жидкокристаллические индикаторы (ЖКИ) всего лишь изменяют свою рассеивающую способность при естественном освещении. В последнее время ЖКИ получили широкое распространение благодаря их чрезвычайно низкому энергопотреблению. Кроме того, ЖКИ хорошо подходят для применения при солнечном свете или при другом



Рис. 5.15. Цифровой универсальный измерительный прибор с индикатором на жидких кристаллах. (Фотография предоставлена фирмой Simpson Electric Company.)

ярком освещении. В универсальном цифровом измерительном приборе, показанном на рис. 5.15, использованы современные ЖКИ.

Их можно применять и в индикаторах более сложной конструкции, чем десятичный семисегментный индикатор. На рис. 5.15 показан ЖКИ с непрерывной шкалой в нижней части и крупными знаками для цифрового отсчета. Используя этот прибор на практике, вы познакомитесь с некоторыми другими высвечиваемыми на его индикаторе символами, которые не фигурировали на рис. 5.15.

#### Полевой ЖКИ

Конструкция обычного ЖКИ приведена на рис. 5.16, а. Этот прибор носит название *полевого* ЖКИ. Когда на какой-либо сегмент ЖКИ поступает последовательность симметричных прямоугольных импульсов низкой частоты следования, этот сегмент делается черным, в то время как остальная часть поверхности остается светлой. На рис. 5.16, а импульсы подаются на сегмент *e*. Остальные сегменты, на которые импульсные сигналы не поступают, почти невидимы.

#### Нематическая жидкость

Основной элемент, обеспечивающий работу ЖКИ, — это жидкий кристалл, или так называемая *нематическая жидкость*. Эта нематическая жидкость заключена между двумя стеклянными пластинами. Переменное напряжение прикладывается к нематической жидкости через верхние металлизированные сегменты и нижнюю металлизированную пластину. Под влиянием магнитного поля, возникающего при подаче переменного напряжения, оптическая прозрачность нематической жидкости изменяется и данный сегмент заметно чернеет на общем серебристом фоне.

В полевом ЖКИ, показанном на рис. 5.16, а, используются поляризующие светофильтры как в верхней, так и в нижней части индикатора. Нижняя пластина (В.Р.) и сегменты подсоединяются внутри прибора к крайним выводам ЖКИ. На рис. 5.16, а показаны только два из многих контактов такого индикатора.

На ЖКИ, как видно на рис. 5.16, б, высвечивается десятичная цифра 7. Показанный на том же рисунке слева дешифратор, преобразующий код 8421 в семисегментный, принимает на вход двоично-десятичное число 0111, в результате

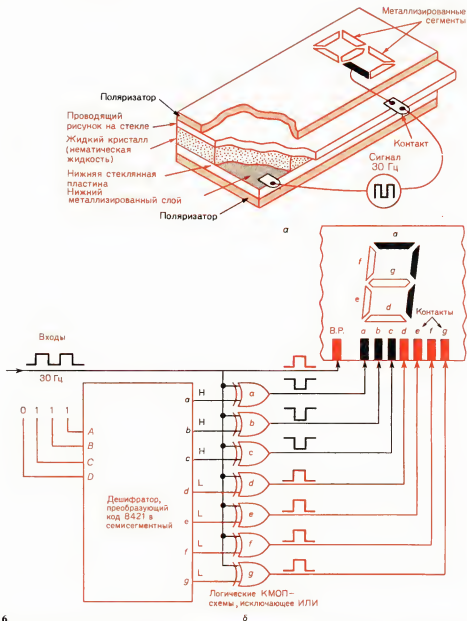


Рис. 5.16.

а – конструкция ЖКИ на полевом эффекте; б – подключение дешифратора-формирователя на КМОП-схемах к ЖКИ. В.Р. – нижняя пластина.

чего активизируются входы *a*, *b* и *c* (в данном случае на них появляется сигнал ВЫСОКОГО логического уровня). На остальных выходах дешифратора (*d*, *e*, *f* и *g*) имеют место сигналы НИЗКОГО уровня. На нижнюю пластину индикатора постоянно подается последовательность симме-

тричных прямоугольных импульсов с частотой следования 30 Гц. Этот же сигнал поступает на логические элементы исключающее ИЛИ, используемые для управления работой ЖКИ. Обратите внимание на то, что возбуждаемые элементы исключающее ИЛИ (в данном случае это *a*, *b* и *c*) инвертируют последовательность прямоугольных импульсов. Сигналы, поступающие на нижнюю пластину и на сегменты *a*, *b* и *c*, сдвинуты по фазе на  $180^\circ$ , что вызывает почернение соответствующих областей ЖКИ. Синфазные сигналы, поступающие от элементов исключающее ИЛИ, обозначенных буквами *d*, *e*, *f* и *g*, не приводят к активизации одноименных сегментов. В результате эти сегменты остаются почти невидимыми.

Логические элементы исключающее ИЛИ, используемые для управления работой ЖКИ на рис. 5.16,б, принадлежат к семейству КМОП-ИС. Аналогичные элементы из семейства ТТЛ-схем не используются, так как они приводят к тому, что при выключении на слое нематической жидкости ЖКИ остается небольшое постоянное напряжение; это *постоянное напряжение может мгновенно вывести индикатор из строя*.

ЖКИ на эффекте динамического рассеяния

Встречаются также ЖКИ, имеющие свечение типа морозного белого узора на темном фоне. Этот тип индикатора представляет собой ЖКИ на эффекте динамического рассеяния. В таких ЖКИ используются различные нематические жидкости и нет поляризаторов. Они потребляют большую энергию, чем индикаторы на полевом эффекте. В настоящее время ЖКИ на полевом эффекте применяются наиболее широко. Черные цифры на серебристом фоне в универсальном цифровом измерительном приборе на рис. 5.15 свидетельствуют о том, что в нем применен ЖКИ именно такого типа.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

22. (Черные, серебристые) \_\_\_\_\_ цифры, появляющиеся на \_\_\_\_\_ (черном, серебристом) фоне, характерны для ЖКИ на полевом эффекте.
23. В ЖКИ используется жидкий кристалл или \_\_\_\_\_ жидкость, которая изменяет свою прозрачность под воздействием магнитного поля, возникающего при подаче на индикатор переменного напряжения.
24. \_\_\_\_\_ (переменное, постоянное) напряжение, приложенное к ЖКИ, выводит этот прибор из строя.
25. ЖКИ потребляет \_\_\_\_\_ (большую, среднюю, очень малую) мощность.

## 5.9. Поиск неисправностей в схемах с дешифраторами

Рассмотрим схему с дешифратором, преобразующим двоично-десятичный код в семисегментный (рис. 5.17). В этой схеме по неизвестной причине не светится сегмент *a*. Техник сначала производит внешний осмотр схемы. Затем микросхема проверяется на отсутствие признаков перегрева. Напряжение  $V_{CC}$  и ЗЕМЛЯ проверяются универсальным цифровым измерительным прибором или логическим пробником. В нашем примере все эти меры не дают эффекта. Тогда каким-либо внешним проводником временно заземляется LT-вход микросхемы 7447А, что должно привести к свечению всех сегментов индикатора, т.е. к появлению десятичной цифры 8. Однако сегмент *a* на индикаторе пока все-таки не светится. Поэтому используется логический пробник, чтобы проверить логические уровни на всех выходах (от *a* до *g*) дешифратора 7447А. Сигналы на выходах (рис. 5.17) оказываются в состоянии L (НИЗКОГО логического уровня), как это и должно быть. После этого проверяются логические уровни на выводах резисторов со стороны Н (являются ВЫСОКИМИ), за исключением поврежденной линии, где имеет место НИЗКИЙ уровень. Распределение НИЗКИХ и ВЫСОКИХ уровней на рис. 5.17 определяет падение напряжения на каждом из шести нижних резисторов. Напряжения НИЗКОГО уровня на обоих выводах верхнего резистора на рис. 5.17 указывают на то, что в цепи сегмента *a* семисегментного индикатора имеется обрыв. Следовательно, сегмент *a* индикатора поврежден и семисегментный индикатор на светодиодах целиком подлежит замене. Заменяющий индикатор должен иметь такое же расположение выводов и так же принадлежать к группе индикаторов на светодиодах с общим анодом. После за-

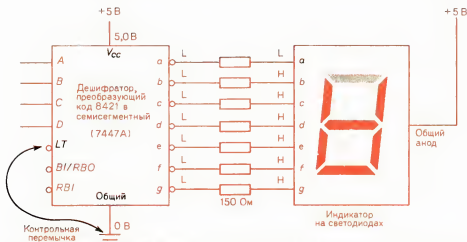


Рис. 5.17. Поиск неисправностей в схеме дешифратора с индикатором на светодиодах.

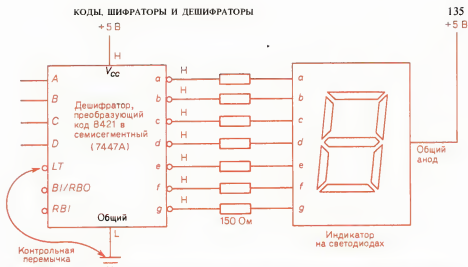


Рис. 5.18. Поиск неисправностей в схеме дешифратора с неработающим светодиодным индикатором.

мены производится проверка работоспособности всей схемы.

В схеме, показанной на рис. 5.18, индикатор не работает вообще. Излишне торопливый техник начинает проверку напряжения  $V_{cc}$  и общего вывода с помощью логического пробника. Показания пробника, как следует из рис. 5.18, не указывают на наличие неисправности. При соединении внешним проводником входа LT с ЗЕМЛЕЙ все сегменты светодиодного индикатора должны светиться. Тем не менее ни один сегмент не светится. Теперь логический пробник указывает на неисправность, о чем свидетельствует наличие сигналов ВЫСОКОГО уровня на всех выходах микросхемы 7447A (от  $a$  до  $g$ ). Затем техник проверяет напряжение  $V_{cc}$  универсальным цифровым измерительным прибором. Прибор показывает напряжение 4,65 В — уровень, который явно ниже требуемого. Теперь техник дотрагивается до корпуса микросхемы 7447A, который оказывается горячим. Это говорит о том, что внутри микросхемы 7447A возникло короткое замыкание, вследствие чего ее нужно заменить. После проведения такой замены выполняется проверка работоспособности всей схемы.

В рассмотренном нами примере техник забыл использовать сначала собственное чувство осязания. Простое касание поверхности корпуса ИС могло бы сразу привести к выявлению неисправности микросхемы 7447A. Заметьте, что наличие сигнала ВЫСОКОГО уровня на выводе, обозначенном  $V_{cc}$ , не дало технику точного представления о состоянии схемы. В действительности же напряжение было равно 4,65 В вместо стандартного значения 5 В. В этом случае только показания вольтметра явились ключом к разгадке причины неисправности: короткое замыкание в схеме привело к «подсадке» питающего напряжения до 4,65 В.

**Задания для самопроверки**

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

26. Что является первым шагом при поиске неисправности в цифровой логической схеме?
27. \_\_\_\_\_ (обрыв, короткое замыкание) внутри ТТЛ-ИС часто приводит к ее значительному разогреву.

**Основные результаты главы**

1. В цифровых электронных устройствах применяется много различных кодов. Вы теперь хорошо знакомы с десятичным кодом, двоичным кодом, кодом 8421, кодом с избытком 3, кодом Грея.
2. Преобразования из одного кода в другой занимают важное место в работе с цифровыми электронными устройствами. Табл. 5.3. поможет вам в выполнении таких преобразований.

Десятичные числа	Двоичные числа	Двоично-десятичные коды				Код Грея
		8421		с избытком 3		
0	0000	0000		0011		0000
1	0001	0001		0100		000
2	0010	0010		0101		0011
3	0011	0011		0110		0010
4	0100	0100		0111		0110
5	0101	0101		1000		0111
6	0110	0110		1001		0101
7	0111	0111		1010		0100
8	1000	1000		1011		1100
9	1001	1001		1100		1101
10	1010	0001	0000	0100	0011	1111
11	1011	0001	0001	0100	0100	1110
12	1100	0001	0010	0100	0101	1010
13	1101	0001	0011	0100	0110	1011
14	1110	0001	0100	0100	0111	1001
15	1111	0001	0101	0100	1000	1000
16	10000	0001	0110	0100	1001	11000
17	10001	0001	0111	0100	1010	11001
18	10010	0001	1000	0100	1011	11011
19	10011	0001	1001	0100	1100	11010
20	10100	0010	0000	0101	0011	11110

**Таблица 5.3. Сводная таблица стандартных кодов**



3. Электронные преобразователи называются шифраторами и дешифраторами. Эти сложные логические схемы изготавливаются в виде микросхем в отдельных корпусах.
4. Семисегментные индикаторы – очень распространенные приборы для индикации чисел. Широко применяются как светодиодные, так и жидкокристаллические индикаторы.
5. Общеупотребительным типом дешифрирующей ИС является дешифратор-формирователь, преобразующий код 8421 в семисегментный. Это устройство осуществляет перевод данных с машинного языка на язык десятичных чисел, высвечиваемых на семисегментном индикаторе.

### Итоговые задания к изучаемой главе

1. Запишите двоичные числа, эквивалентные следующим десятичным числам:  
а. 17 в. 42 д. 150  
б. 31 г. 75 е. 300
2. Запишите указанные ниже десятичные числа в коде 8421:  
а. 17; б. 31; в. 150;  
г. 1632; д. 47,899;  
е. 103,926.
3. Найдите десятичные эквиваленты для следующих чисел, представленных в коде 8421:  
а. 0010; б. 1111;  
в. 0011 0000;  
г. 1110 0000 1111;  
д. 0111 0001 0110 0000;  
е. 0001 0001 0000 0000 0000;  
ж. 0101 1001 1000 1000 0101;  
з. 0011 0010 0001 0100 0101 0110.
4. Запишите двоичные числа, эквивалентные числам, представленным в п. 3 в коде 8421.
5. Для чисел в коде с избытком 3 найдите их десятичные эквиваленты:  
а. 7; б. 27; в. 59; г. 318; д. 4063; е. 5533.
6. Почему код с избытком 3 применяется в некоторых арифметических цифровых электронных схемах?
7. Назовите два кода, о которых вы знаете, что они принадлежат к группе двоично-десятичных.
8. Запишите следующие десятичные числа в коде Грея:  
а. 1; б. 2; в. 3; г. 4;  
д. 5; е. 6.
9. Как вы считаете, в чем заключается наиболее важная особенность кода Грея?
10. Вспомните два основных названия электронных преобразователей кодов.
11. \_\_\_\_\_ (шифратор, дешифратор) – это устройство, используемое для преобразования десятичного входа микрокалькулятора в код 8421 с использованием центрального процессора.
12. \_\_\_\_\_ (дешифратор, шифратор) – это электронное устройство, используемое для преобразования кода 8421 центрального процессора в микрокалькуляторе в десятичный выход индикатора.
13. Изобразите семисегментный индикатор и обозначьте каждый его сегмент (используя буквы а, б, в, г, д, е, ж и з).
14. Какие из сегментов семисегментного индикатора будут светиться, когда на индикаторе появятся следующие десятичные числа:  
а. 0; б. 1; в. 2; г. 3;  
д. 4; е. 5; ж. 6;  
з. 7; и. 8; к. 9.  
Для ответа используйте буквенные обозначения: а, б, в, г, д, е, ж и з.
15. К какому типу принадлежат ис-

пользуемые вами семисегментные индикаторы, если они имеют красное свечение?

16. В случае батарейного питания используется семисегментный индикатор на \_\_\_\_\_ (светодиодах, жидких кристаллах), отличающийся малым потреблением мощности.
17. Если считывание показаний должно происходить при ярком внешнем освещении, то применяется \_\_\_\_\_ (светодиодный, жидкокристаллический) индикатор.
18. Индикатор на \_\_\_\_\_ генерирует видимое излучение, в то время как

ЖКИ меняет свою рассеивающую способность при естественном освещении.

19. В универсальном цифровом измерительном приборе, показанном на рис. 5.15, используется жидкокристаллический индикатор на \_\_\_\_\_ (эффекте динамического рассеяния, полевом эффекте).
20. Когда на вход индикатора (рис. 5.19) поступает код 1000 (HLLL), на индикаторе высвечивается десятичная цифра \_\_\_\_\_.
21. Все выходы дешифратора 7447А на рис. 5.19 имеют \_\_\_\_\_ (BYCO-

КИЕ, НИЗКИЕ) уровни сигнала. Это \_\_\_\_\_ (правильно, неправильно) для данной схемы.

22. Для поиска неисправностей в схеме на рис. 5.19 используется как вольтметр, так и \_\_\_\_\_.
23. На рис. 5.19 в схеме сегмента *b* светодиодного индикатора вероятная неисправность — это \_\_\_\_\_ (обрыв, частичное короткое замыкание). Индикатор подлежит замене исправным индикатором на светодиодах с общим \_\_\_\_\_ и с аналогичной схемой расположения выводов.

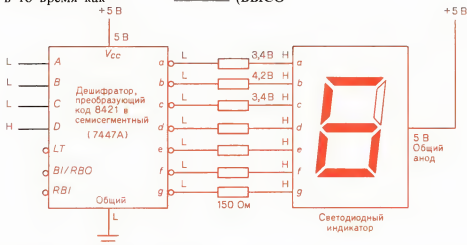


Рис. 5.19. Задача о поиске неисправностей.

Указаны логические уровни сигналов для неисправной схемы, состоящей из дешифратора и индикатора.

## Ответы к заданиям для самопроверки

1. 11101
2. 00101001
3. 8765
4. 01001011
5. 60
6. Не подлежит
7. При переходе к следующему числу в коде Грея изменяется только одна цифра в предыдущем цикле
8. НИЗКОГО; НИЗКОГО
9. Уровень сигнала на выходе  $D$  – ВЫСОКИЙ  
Уровень сигнала на выходе  $C$  – НИЗКИЙ  
Уровень сигнала на выходе  $B$  – НИЗКИЙ.  
Уровень сигнала на выходе  $A$  – НИЗКИЙ.
10. Инвертирующий кружок означает, что на входе 4 активным является НИЗКИЙ уровень; этот вход активизируется сигналом логического нуля
11. 5
12. Флюоресцентным индикатором
13. Светодиодному индикатору: жидкокристаллический индикатор
14.  $b, c$ ; СДИ, 1
15. Все сегменты; 8
16. 1. С преобразованием двоично-десятичного кода в семисегментный  
2. С преобразованием кода 8421 в десятичный
3. С преобразованием кода с избытком 3 в десятичный
4. С преобразованием кода Грея в десятичный
17. НИЗКОГО; ВЫСОКОГО
18. НИЗКОГО
19. Нулей в старших разрядах
20. Импульс  
 $a = 9$   
 $b = 3$   
 $c = 5$   
 $d = 8$   
 $e = 2$   
Импульс  $f$  очищает индикатор (код 1111 не представляет в двоично-десятичной системе никакого числа). Импульс  $g = 0$
21. Импульс  $a = a, b, c, f, g$   
»  $b = a, b, c, d, g$   
»  $c = a, c, d, f, g$   
»  $d = a, b, c, d, e, f, g$   
»  $e = a, b, d, e, g$   
Импульс  $f$  очищает индикатор
22. Черные; серебристом
23. Нематическая
24. Постоянное
25. Очень малую
26. Необходимо использовать собственное чувство осязания для выявления факта обрыва, короткого замыкания, или излишнего перегрева ИС
27. Короткое замыкание

# Глава 6

## Триггеры

Все логические схемы принято разбивать на два класса. Мы уже познакомились с первым классом таких схем – комбинационными логическими схемами, в которых используются логические элементы И, ИЛИ, НЕ. Второй класс логических схем – так называемые *последовательностные схемы*<sup>1)</sup>. К ним относятся времязадающие и запоминающие устройства.

Исходной структурной ячейкой, на основе которой строятся комбинационные логические схемы, является логический элемент (вентиль). В случае последовательностных логических схем роль такой структурной ячейки играет *триггер*. В данной главе рассматриваются некоторые типы триггеров. Соединяя триггеры друг с другом, можно получать счетчики, сдвиговые регистры и различные запоминающие устройства. Эти схемы мы обсудим в следующих главах.

### RS-триггер

#### 6.1. RS-триггер

Условное графическое обозначение *RS-триггера* показано на рис. 6.1. Обратите внимание на то, что RS-триггер имеет два входа *S* и *R* и два выхода *Q* и  $\bar{Q}$ . В триггерах выходы всегда находятся в противоположных (комплементарных) состояниях. Другими словами, если на выходе *Q* мы имеем уровень логической 1 ( $Q = 1$ ), то на выходе  $\bar{Q}$  будет уровень логического 0 ( $\bar{Q} = 0$ ), и наоборот. Входы *S* и *R* рассматриваемого триггера называют соответственно входом *установки* 1 и входом *установки* 0<sup>2)</sup>.

Рис. 6.1. Условное графическое обозначение RS-триггера.



Принцип работы RS-триггера иллюстрирует его таблица истинности (табл. 6.1). При подаче на оба входа триггера

<sup>1)</sup> Состояние выходов комбинационной схемы в некоторый момент времени определяется комбинацией сигналов на ее входах в тот же момент времени. В последовательностных схемах состояние выходов зависит также от состояния входов в предыдущие моменты времени. – Прим. перев.

<sup>2)</sup> Обозначения от английских слов Set – установка и Reset – сброс (имеется в виду сброс 1 на выходе  $\bar{Q}$ , т.е. установка 0). – Прим. перев.

Режим работы	Входы		Выходы		
	<i>S</i>	<i>R</i>	<i>Q</i>	$\bar{Q}$	Влияние на выход <i>Q</i>
Запрещенное состояние	0	0	1	1	Запрещено — не используется
Установка 1	0	1	1	0	Для установки <i>Q</i> в 1
Установка 0	1	0	0	1	Для установки <i>Q</i> в 0
Хранение	1	1	<i>Q</i>	$\bar{Q}$	Зависит от предыдущего состояния

Таблица 6.1. Таблица истинности для RS-триггера

Запрещенное состояние

Установка в состояние 1  
Сброс сигнала  
Установка в состояние 0  
Состояние покоя  
Режим хранения

уровня логического 0 ( $S = R = 0$ ) на обоих выходах устанавливается уровень логической 1 ( $Q = \bar{Q} = 1$ ). Это *запрещенное состояние* триггера; оно не используется. Согласно второй строке таблицы истинности, при  $S = 0$  и  $R = 1$  на выходе *Q* триггера устанавливается уровень логической 1. В этом случае говорят, что триггер установлен в *состояние 1*. Согласно третьей строке, при  $R = 0$  и  $S = 1$  происходит сброс сигнала на выходе *Q* (очистка выхода *Q*) к уровню логического 0. Это значит, что триггер установлен в *состояние 0*. Четвертая строка таблицы истинности соответствует  $S = R = 1$ . В этом случае триггер находится в состоянии покоя: на выходах *Q* и  $\bar{Q}$  сохраняются прежние комплементарные уровни сигнала. Это *режим хранения*.

Из табл. 6.1 видно, что установку триггера в состояние 1 (установку 1 на выходе *Q*) инициирует логический 0 на входе *S*. Точно так же установку триггера в состояние 0 (установку 0 на выходе *Q*) инициирует логический 0 на входе *R*. Поскольку изменение состояния (переключение) RS-триггера обусловлено появлением уровня логического 0 на одном из его входов, то, вероятно, более точным обозначением для этой схемы было бы условное графическое обозначение, приведенное на рис. 6.2, а. Обратите внимание на инвертирующие кружки у входов *S* и *R*. Они показывают, что активным уровнем сигнала для установки триггера в состояния 1 и 0 является уровень логического 0 на одном из входов.

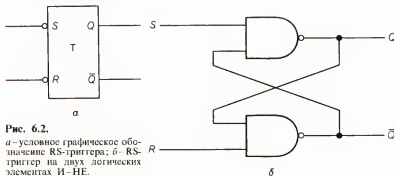


Рис. 6.2.

а — условное графическое обозначение RS-триггера; б — RS-триггер на двух логических элементах И-НЕ.

RS-триггеры можно приобрести в готовом виде (в виде однокорпусных микросхем) или их можно собрать из логических элементов, как показано на рис. 6.2, б. RS-триггер на этом рисунке составлен из двух логических элементов И-НЕ; он работает в соответствии с таблицей истинности 6.1.

Временные диаграммы

При описании работы последовательностных логических схем очень часто используют *временные диаграммы* сигналов. Эти диаграммы показывают уровни напряжения и временные интервалы между входными и выходными сигналами и соответствуют той картине, которую вы наблюдали бы на экране осциллографа. По горизонтали откладывается *время*, по вертикали – *уровень напряжения*. На рис. 6.3 приведены временные диаграммы для входов ( $S$ ,  $R$ ) и выходов ( $Q$ ,  $\bar{Q}$ ) RS-триггера. Внизу указаны номера соответствующих строк таблицы истинности (табл. 6.1). Временная диаграмма для выхода  $Q$  иллюстрирует режимы установки триггера в состоянии 1 и 0; логические уровни сигналов (1 и 0) указаны справа от диаграмм. Временные диаграммы на рис. 6.3 – типичный пример диаграмм, используемых при работе с последовательностными логическими схемами. Внимательно рассмотрите эти диаграммы. Какую информацию они дают? Убедитесь, что временные диаграммы фактически содержат ту же информацию, что и таблица истинности.

RS-фиксатор

Триггер с раздельными входами

RS-триггер называют также *RS-фиксатором* или *триггером с раздельными входами*. Хорошо ли вы запомнили условное графическое обозначение и таблицу истинности для RS-триггера? Сможете ли вы назвать четыре режима работы этого триггера?



Рис. 6.3. Временные диаграммы сигналов для RS-триггера.

## Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Активным уровнем сигнала для входов RS-триггера, изображенного на рис. 6.2, а, является \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень.
2. Назовите режим работы RS-триггера для каждой комбинации (от а до f) входных сигналов, показанных на рис. 6.4. При ответе используйте термины: «установка 1», «установка 0», «хранение», «запрещенное состояние».

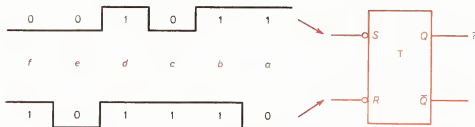


Рис. 6.4. Задача о последовательности импульсов на входах RS-триггера.

3. Определите двоичный сигнал (0 или 1) на прямом выходе (Q) RS-триггера для каждой комбинации входных сигналов, показанных на рис. 6.4.

## 6.2. Тактируемый (синхронный) RS-триггер

Тактируемый RS-триггер

Условное графическое обозначение тактируемого RS-триггера показано на рис. 6.5. Оно почти такое же, как и для



Рис. 6.5. Условное графическое обозначение тактируемого RS-триггера.

Синхронизирующий вход

обычного RS-триггера; отличие состоит в появлении одного дополнительного, так называемого *синхронизирующего* входа, обозначаемого *CLK*<sup>1)</sup>. Работу тактируемого RS-триггера иллюстрируют временные диаграммы сигналов на рис. 6.6. Синхронизирующему входу соответствует самая верхняя диаграмма. Обратите внимание, что синхронизи-

<sup>1)</sup> Сокращение от английского слова CLock – тактировать. Синхронизирующий вход или вход синхронизации иногда называют также тактирующим входом. – Прим. перев.

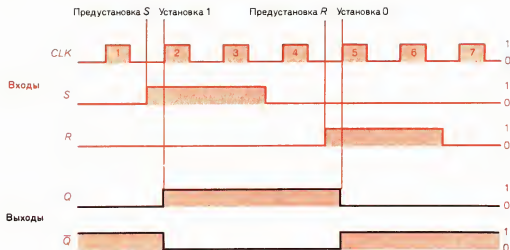


Рис. 6.6. Временные диаграммы сигналов для тактируемого RS-триггера.

рующий (тактовый) импульс (в данном случае импульс 1) не оказывает никакого влияния на состояние выхода  $Q$ , когда на обоих входах  $S$  и  $R$  установлен уровень логического 0. Во время прохождения импульса 1 триггер находится в режиме хранения. В момент предварительной установки (предустановки) входа  $S$ , когда на этот вход подается логическая 1, выход  $Q$  все еще остается в прежнем состоянии  $Q = 0$ , и только на фронте (нарастающем крае) тактового импульса 2 происходит его переключение к 1. Тактовые импульсы 3 и 4 не влияют на состояние выхода  $Q$ . Во время прохождения импульса 3 триггер находится в режиме установки 1, во время прохождения импульса 4 – в режиме хранения. Затем логическая 1 подается на вход  $R$  (предустановка входа  $R$ ). На фронте импульса 5 происходит сброс (очистка) выхода  $Q$  путем установки его в состояние 0. Во время прохождения импульсов 5 и 6 триггер находится в режиме установки 0, во время прохождения импульса 7 – в режиме хранения (и, следовательно, на прямом выходе  $Q$  триггера сохраняется уровень логического 0).

Мы видим, что состояние выходов тактируемого RS-триггера может изменяться только в моменты прихода тактовых импульсов. В этом случае говорят, что триггер работает синхронно: процесс переключения его выходов «шагает в ногу» (находится в синхронизме) с тактовыми импульсами. Синхронная работа очень важна для микрокалькуляторов и ЭВМ, где каждый шаг вычислительного процесса должен следовать в строго определенном порядке.

Исключительно важную роль во многих цифровых схемах играет еще одна характеристика RS-триггера – наличие памяти. Действительно, если триггер установлен в состояние 1 или 0, то он остается в этом состоянии даже при некоторых изменениях входных сигналов. Очевидным обра-

Синхронная работа





Наличие памяти



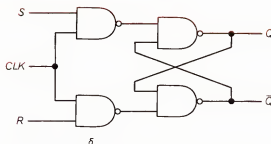
зом это свойство триггера проявляется в режиме хранения. Как видно из временных диаграмм на рис. 6.6, этот режим реализуется во время прохождения тактовых импульсов 1, 4 и 7.

Таблица истинности для тактируемого RS-триггера приведена на рис. 6.7, а. Обратите внимание, что только три верхние строки таблицы истинности описывают реальные режимы работы этого триггера. Нижняя строка соответствует запрещенному состоянию, которое никогда не используется.

Таблица истинности

Режим работы	Входы			Выходы		
	CLK	S	R	Q	$\bar{Q}$	Влияние на выход Q
Хранение		0	0	Без изменений		Без изменений
Установка 0		0	1	0	1	Сброс или очистка в состояние 0
Установка 1		1	0	1	0	Установка в состояние 1
Запрещенное состояние		1	1	1	1	Запрещено — не используется

а



б

Рис. 6.7.

а — таблица истинности для тактируемого RS-триггера; б — тактируемый RS-триггер на четырех логических элементах И-НЕ.

Чтобы получить тактируемый RS-триггер, в схему обычного RS-триггера нужно ввести два дополнительных логических элемента И-НЕ, как показано на рис. 6.7, б.

Мы настоятельно рекомендуем вам самостоятельно собрать обычный и тактируемый RS-триггеры. Работая с триггерами в лаборатории, вы сможете лучше понять основные принципы их функционирования.

## Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Активным уровнем сигнала на  $S$ - и  $R$ -входах для установки тактируемого RS-триггера (рис. 6.5) в состояние 1 или 0 является \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень.
- В каком режиме находится тактируемый RS-триггер во время прохождения каждого тактового импульса (от  $a$  до  $f$ ) из последовательности импульсов, приведенной на рис. 6.8? При ответе используйте термины: «установка 1», «установка 0», «хранение», «запрещенное состояние».

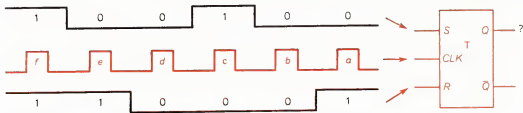


Рис. 6.8. Задача о последовательности импульсов на входах тактируемого RS-триггера.

- Определите двоичный сигнал (0 или 1) на прямом выходе  $Q$  тактируемого RS-триггера во время прохождения каждого тактового импульса из последовательности импульсов, приведенной на рис. 6.8.

## D-триггер

## 6.3. D-триггер

Условное графическое обозначение  $D$ -триггера показано на рис. 6.9, а. У этого триггера имеется только один информационный вход  $D$ , а также синхронизирующий вход  $CLK$ .



а

Таблица истинности

Вход	Выход
$D^n$	$Q^{n+1}$
0	0
1	1

б

Рис. 6.9. D-триггер.

а – условное графическое обозначение; б – таблица истинности.

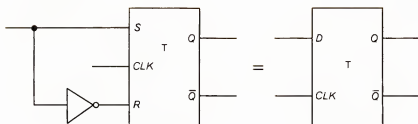
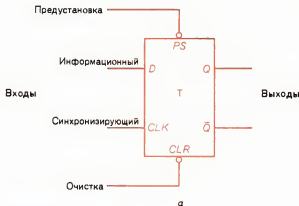


Рис. 6.10. Схема D-триггера.

Триггер с задержкой

Выходы по-прежнему обозначаются  $Q$  и  $\bar{Q}$ . D-триггер часто называют *триггером с задержкой*. Слово «задержка» здесь характеризует то, что происходит с данными (информацией), поступающими на вход  $D$ . Информационный сигнал (0 или 1), поступающий на этот вход, *задерживается* в триггере ровно на *один такт*<sup>1)</sup>, прежде чем появляется на выходе  $Q$ . Упрощенная таблица истинности для D-триггера при-



а

Рис. 6.11.

а – условное графическое обозначение серийного интегрального D-триггера; б – таблица истинности для D-триггера ИС 7474.

Условные обозначения:  
0 – НИЗКИЙ уровень; 1 – ВЫСОКИЙ уровень; × – любое состояние; ↑ – переход от НИЗКОГО уровня к ВЫСОКОМУ.

Режим работы	Входы				Выходы	
	Асинхронный		Синхронный			
	PS	CLR	CLK	D	Q	$\bar{Q}$
Асинхронная установка 1	0	1	X	X	1	0
Асинхронная установка 0	1	0	X	X	0	1
Запрещенное состояние	0	0	X	X	1	1
Установка 1	1	1	↑	1	1	0
Установка 0	1	1	↑	0	0	1

б

<sup>1)</sup> То есть на время, равное одному периоду следования тактовых импульсов. – Прим. перев.

ведена на рис. 6.9, б. Обратите внимание, что сигнал на выходе  $Q$  в такте  $n + 1$  (см. столбец  $Q^{n+1}$ ) повторяет сигнал, который был на входе  $D$  в предыдущем такте  $n$ . D-триггер можно получить из тактируемого RS-триггера, добавляя к последнему инвертор, как это показано на рис. 6.10. Чаще всего вам, вероятно, придется использовать D-триггеры, выполненные в виде монолитных ИС. На рис. 6.11, а показано условное графическое обозначение типичного серийно выпускаемого интегрального D-триггера. Этот триггер имеет два дополнительных входа — предварительной установки ( $PS$ ) и очистки ( $CLR$ )<sup>1)</sup>. Логический 0 на входе  $PS$  иницирует установку логической 1 на выходе  $Q$ . Логический 0 на входе  $CLR$  иницирует очистку выхода  $Q$  (установку логического 0 на выходе  $Q$ ). В активных состояниях входы  $PS$  и  $CLR$  блокируют действие входов  $D$  и  $CLK$ <sup>2)</sup>; при разблокировании входы  $D$  и  $CLK$  действуют точно так же, как в обычном D-триггере, изображенном на рис. 6.9.

D-триггер в составе интегральной ТТЛ-схемы 7474

Подробная таблица истинности для D-триггера, входящего в состав выпускаемой промышленностью интегральной ТТЛ-схемы 7474<sup>3)</sup>, приведена на рис. 6.11, б. Еще раз напомним, что асинхронные (т.е. работающие не синхронно) входы  $PS$  и  $CLR$  в активных состояниях блокируют действие синхронных входов. Три первые строки таблицы истинности, приведенной на рис. 6.11, б, описывают режимы, в которых работа триггера контролируется асинхронными входами. При этом синхронные входы ( $D$  и  $CLK$ ) могут находиться в любых состояниях, что отмечено знаком  $\times$  в таблице истинности. Запрещенное состояние (строка 3) нужно, естественно, исключить. Если оба асинхронных входа приведены в неактивное состояние ( $PS = 1$  и  $CLR = 1$ ), D-триггер можно установить в состояние 1 или 0, используя  $D$ - и  $CLK$ -входы. Две последние строки таблицы истинности описывают передачу информационного сигнала с  $D$ -входа триггера на его выход  $Q$  с использованием тактового импульса. Поскольку эта операция осуществляется одновременно с приходом тактового импульса, она называется *синхронной операцией*. Отметим, что в данном триггере для передачи сигнала с  $D$ -входа на выход  $Q$  используется положительный перепад напряжений (от НИЗКОГО уровня к ВЫСОКОМУ) на фронте тактового импульса.

Асинхронные входы

Соединяя D-триггеры друг с другом, получают *сдвиговые регистры* и *регистры хранения*. Эти регистры широко используются в цифровых системах. Итак, запомните, что D-триггер *задерживает* поступление информационного сиг-

<sup>1)</sup> Используются сокращения от соответствующих английских слов: PreSet (предустановка) и Clear (очистка). — Прим. перев.

<sup>2)</sup> То есть работа триггера перестает контролироваться входами  $D$  и  $CLK$ . — Прим. перев.

<sup>3)</sup> В интегральную ТТЛ-схему 7474 входят два одинаковых D-триггера. — Прим. перев.

нала на выход  $Q$  на один такт и называется триггером с задержкой.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

7. В каком режиме находится D-триггер (микросхема 7474) во время прохождения каждого тактового импульса (от  $a$  до  $f$ ) из последовательности импульсов, приведенной на рис. 6.12? При ответе используйте названия режимов: «асинхронная установка 1», «асинхронная установка 0», «запрещенное состояние», «установка 1», «установка 0».

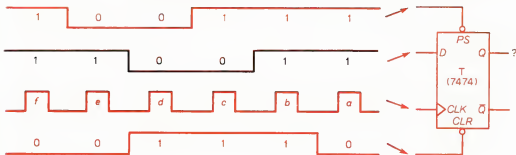


Рис. 6.12. Задача о последовательности импульсов на входах D-триггера.

8. Какой двоичный сигнал (0 или 1) будет действовать на прямом выходе ( $Q$ ) D-триггера во время прохождения каждого тактового импульса из последовательности импульсов, приведенной на рис. 6.12?

## 6.4. JK-триггер

### JK-триггер

JK-триггер — это, пожалуй, наиболее широко используемый универсальный триггер, обладающий характеристиками всех других типов триггеров<sup>1)</sup>. Условное графическое обозначение JK-триггера показано на рис. 6.13, а. JK-триггер имеет два информационных входа  $J$  и  $K$ , синхронизирующий вход  $CLK$  и, как и все триггеры, два комплементарных выхода  $Q$  и  $\bar{Q}$ . Таблица истинности для JK-триггера приведена на рис. 6.13, б. Когда на оба входа  $J$  и  $K$  подается уровень логического 0, триггер блокируется, и состояния его выходов не изменяются. В этом случае триггер находится в режиме хранения.

<sup>1)</sup> Триггер этого типа называют еще ждущим мультивибратором. — Прим. ред.

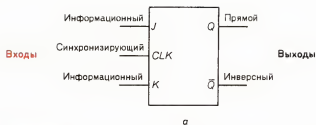


Рис. 6.13. JK-триггер.

а – условное графическое обозначение; б – таблица истинности.

Режим работы	Входы			Выходы		
	CLK	J	K	Q	$\bar{Q}$	Влияние на выход Q
Хранение		0	0	Без изменений		Без изменений – блокировка
Установка 0		0	1	0	1	Сброс или очистка в состояние 0
Установка 1		1	0	1	0	Установка в состояние 1
Переключение		1	1	Переключаются		Изменение состояния на противоположное

б

Переключаемый режим

JK-триггер в составе интегральной ТТЛ-схемы

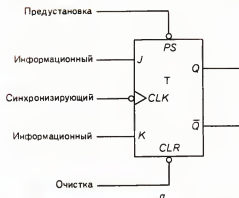
Строки 2 и 3 таблицы истинности описывают режимы, соответствующие установке триггера в состояния 0 и 1. Строка 4 иллюстрирует очень важный **переключаемый** режим работы JK-триггера. Если на обоих входах J и K установлен уровень логической 1, то следующие друг за другом тактовые импульсы будут вызывать перебросы уровней сигналов на выходах триггера от 1 к 0, от 0 к 1, снова от 1 к 0 и т.д. Такая работа триггера напоминает последовательно производимые переключения тумблера, откуда и происходит название режима.

Условное графическое обозначение JK-триггера, входящего в состав интегральной ТТЛ-схемы 7476<sup>1)</sup>, показано на рис. 6.14, а. По сравнению с триггером на рис. 6.13, а данный триггер имеет два дополнительных асинхронных входа (вход предварительной установки и вход очистки). Синхронными входами являются информационные входы J и K и синхронизирующий вход CLK. Показаны также стандартные для любого триггера выходы – прямой (Q) и инверсный ( $\bar{Q}$ ). Подробная таблица истинности для данного JK-триггера приведена на рис. 6.14, б. Напомним, что

<sup>1)</sup> Интегральная ТТЛ-схема 7476 содержит два одинаковых JK-триггера. – Прим. перев.

Входы

Выходы



Режим работы	Входы					Выходы	
	Асинхронные		Синхронные				
	PS	CLR	CLK	J	K	Q	$\bar{Q}$
Асинхронная установка 1	0	1	X	X	X	1	0
Асинхронная установка 0	1	0	X	X	X	0	1
Запрещенное состояние	0	0	X	X	X	1	1
Хранение	1	1		0	0	Без изменений	
Установка 0	1	1		0	1	0	1
Установка 1	1	1		1	0	1	0
Переключение	1	1		1	1	Противоположное состояние	

б

Рис. 6.14.

а – условное графическое обозначение типичного интегрального JK-триггера; б – таблица истинности для JK-триггера ИС 7476.

Условные обозначения: 0 – НИЗКИЙ уровень; 1 – ВЫСОКИЙ уровень; x – любое состояние; – положительный тактовый импульс.

асинхронные входы (PS и CLR) в активных состояниях блокируют действие синхронных входов. Активным состояниям асинхронных входов соответствуют три первых строки таблицы истинности. В режимах, описываемых этими строками таблицы истинности, синхронные входы заблокированы и их состояния не влияют на состояние выходов триггера; поэтому для входов J, K, CLK в этих строках поставлен знак x (любое состояние). Одновременная подача на оба асинхронных входа активного уровня сигнала (логического 0) соответствует запрещенному состоянию. Этот режим нужно, естественно, исключить.

При блокировании обоих асинхронных входов (PS и CLR) уровнем логической 1 работу триггера контролируют синхронные входы. Четыре нижние строки таблицы

Знак x

истинности на рис. 6.14, б, описывают синхронные режимы работы JK-триггера микросхемы 7476: *хранение*, *установку 0*, *установку 1* и *переключение*. Заметим, что в JK-триггере микросхемы 7476 для передачи информационного сигнала с *J*- и *K*-входов триггера на выходы *Q* и  $\bar{Q}$  используется полный тактовый импульс.

JK-триггеры широко применяются во многих цифровых схемах. Вы будете использовать JK-триггеры главным образом в *счетчиках*. Счетчики содержатся почти в каждой цифровой системе.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- В каком режиме находится JK-триггер микросхемы 7476 во время прохождения каждого тактового импульса (от *a* до *h*) из последовательности импульсов, приведенной на рис. 6.15? При ответе используйте названия режимов: «асинхронная установка 1», «асинхронная установка 0», «запрещенное состояние», «хранение», «установка 1», «переключение».

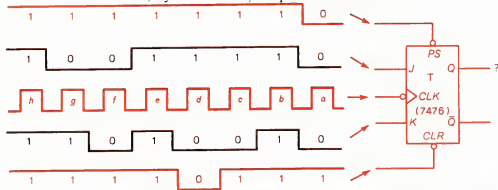


Рис. 6.15. Задача о последовательности импульсов на входах JK-триггера.

- Какой двоичный сигнал (0 или 1) будет действовать на прямом выходе (*Q*) JK-триггера во время прохождения каждого тактового импульса из последовательности импульсов, приведенной на рис. 6.15?

### 6.5. Интегральные схемы фиксаторов

Рассмотрим структурную схему цифровой системы на рис. 6.16, а. Наждем клавишу с цифрой 7 на клавиатуре. Цифра 7 высветится на семисегментном индикаторе. Отпустим клавишу. Индикатор погаснет. Чтобы цифра 7 осталась на



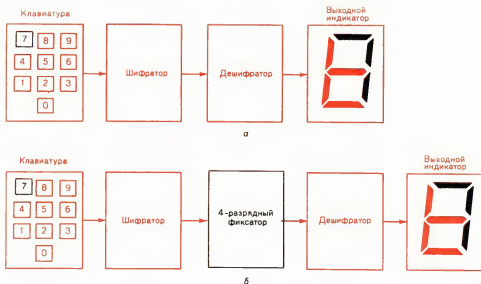


Рис. 6.16. Электронная цифровая система с шифратором и дешифратором. а – без буферной памяти; б – с буферной памятью.

индикаторе после отпускания клавиши, нужно, очевидно, иметь какое-то *запоминающее устройство* для хранения двоично-десятичного кода десятичного числа 7 на входах дешифратора. Такое устройство, используемое в качестве временной буферной памяти, называют *фиксатором* (или регистром-защелкой). В цифровую систему, изображенную на рис. 6.16, б, введен 4-разрядный фиксатор. Теперь, если мы *нажмем и отпустим* клавишу с цифрой 7 на клавиатуре, цифра 7 останется на индикаторе.

Фиксатором можно назвать любое цифровое запоминающее устройство. Хорошим примером устройства, которое можно использовать для фиксации данных, является D-триггер. Функцию «защелкивания» данных могут, однако, выполнять и триггеры других типов.

Разработано большое число разнообразных фиксаторов в микросхемном исполнении. На рис. 6.17, а показано условное графическое обозначение интегрального 4-разрядного прозрачного фиксатора типа 7475, относящегося к классу ТТЛ-схем. Это устройство состоит из четырех D-триггеров, объединенных в одной ИС. Информационный вход  $D_0$ , а также прямой выход  $Q_0$  и инверсный выход  $\bar{Q}_0$  относятся к первому D-триггеру. Разрешающий вход  $E_{0-1}$  аналогичен синхронизирующему входу D-триггера и используется для управления сразу двумя триггерами  $D_0$  и  $D_1$  внутри микросхемы 7475. Информационный сигнал со входа  $D_1$  передается на выход  $Q_1$ , а его инверсия – на инверсный выход  $\bar{Q}_1$ .

Упрощенная таблица истинности для фиксатора 7475

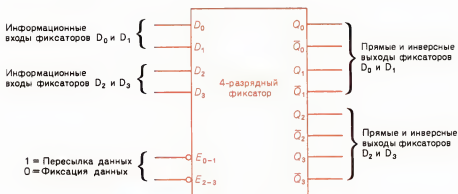


Таблица истинности

Режим работы	Входы		Выходы	
	$E$	$D$	$Q$	$\bar{Q}$
Пересылка данных	1	0	0	1
	1	1	1	0
Фиксация данных	0	x	Без изменений	

Рис. 6.17.

а – условное графическое обозначение серийного интегрального 4-разрядного прозрачного фиксатора ИС 7475; б – таблица истинности для D-фиксатора ИС 7475.

Условные обозначения: 0 – НИЗКИЙ уровень; 1 – ВЫСОКИЙ уровень; x – любое состояние.

приведена на рис. 6.17, б. Если на разрешающем входе действует уровень логической 1, данные сразу же передаются (без ожидания тактового импульса) с соответствующих D-входов на соответствующие выходы  $Q$  и  $\bar{Q}$ . Например, при  $E_{0-1} = 1$  и  $D_1 = 1$  без воздействия какого-либо тактового импульса на выходе  $Q_1$  устанавливается логическая 1, а на выходе  $\bar{Q}_1$  – логический 0. В режиме *пересылки данных* сигналы на  $Q$ -выходах фиксатора просто повторяют (отслеживают) сигналы на соответствующих D-входах.

Рассмотрим последнюю строку таблицы истинности на рис. 6.17, б. При установке на разрешающем входе уровня логического 0 микросхема 7475 переводится в режим *фиксации данных*. Информационные сигналы, которые действовали на выходах  $Q$  в момент перехода фиксатора в этот режим, сохраняются даже при изменении сигналов на входах  $D$ , т.е. данные оказываются «запертыми». Микросхему 7475 называют *прозрачным* фиксатором, поскольку при наличии ВЫСОКОГО уровня сигнала на разрешающем входе выходные сигналы точно отслеживают информационные сигналы на D-входах<sup>1)</sup>. Заметим, что в микросхеме 7475 разре-

<sup>1)</sup> Можно сказать, что входы этого фиксатора «насквозь просматриваются» с его выходов. – Прим. перев.

Использование триггеров

шающий вход  $E_{0-1}$  контролирует работу триггеров  $D_0$  и  $D_1$ , а разрешающий вход  $E_{2-3}$  — работу триггеров  $D_2$  и  $D_3$ .

Итак, триггеры можно использовать для временного хранения или фиксации данных. В этом применении их называют фиксаторами. Можно назвать и много других применений триггеров: они используются в счетчиках, сдвиговых регистрах, элементах задержки сигналов, делителях частоты.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

11. Если фиксатор 7475 находится в режиме передачи данных, то сигналы на выходах \_\_\_\_\_ повторяют (отслеживают) сигналы на соответствующих  $D$ -входах.
12. Для установки фиксатора 7475 в режим фиксации данных на его разрешающие входы нужно подать \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень сигнала.
13. В режиме фиксации данных изменение состояния любого информационного  $D$ -входа фиксатора 7475 \_\_\_\_\_ (сразу же влияет на состояния соответствующих выходов, не оказывает никакого влияния на состояния выходов).
14. Если триггер используется для временного хранения данных, то в этом применении его называют \_\_\_\_\_.

### 6.6. Запуск триггеров

Мы выяснили, что триггеры могут быть синхронными или асинхронными. Синхронными являются все те триггеры, которые имеют синхронизирующий вход. Мы установили, что тактируемый RS-триггер, D- и JK-триггеры работают синхронно с генератором тактовых импульсов, т.е. изменяют свое состояние только в момент прохождения тактового импульса.

Просматривая справочники по параметрам выпускаемых цифровых микросхем, вы обнаружите, что многие синхронные триггеры подразделяются также на триггеры с управлением (запуском<sup>1)</sup>) по фронту или срезу тактового импульса и на триггеры типа *ведущий/ведомый*<sup>2)</sup>. Временные диаграммы сигналов на рис. 6.18 иллюстрируют работу двух триггеров первого типа в режиме переключения. Один из триггеров управляется по фронту, а другой —

Триггеры с управлением по фронту тактового импульса  
Триггеры с управлением по срезу тактового импульса

<sup>1)</sup> Говоря о запуске триггера, имеют в виду инициирование процесса переключения триггера из одного устойчивого состояния в другое. — *Прим. перев.*

<sup>2)</sup> Триггеры типа *ведущий/ведомый* часто называют триггерами MS-типа или просто MS-триггерами (от английских слов Master/Slave — *ведущий/ведомый*). — *Прим. перев.*



Рис. 6.18. Временные диаграммы сигналов для триггеров, управляемых по фронту и по срезу тактового импульса.

по срезу тактового импульса. Фронт и срез тактового импульса (нарастающий и спадающий края импульса) указаны на тактовом импульсе 1. Из второй диаграммы на рис. 6.18 видно, что триггер, управляемый по фронту, переключается каждый раз в момент прохождения фронта тактового импульса (см. импульсы 1–4). Триггер, управляемый по срезу, переключается (изменяет свое состояние) каждый раз в момент прохождения среза тактового импульса (см. импульсы 1–4 на диаграмме для синхронизирующего входа и нижнюю диаграмму). Особо отметим наличие сдвига по времени между моментами переключения первого и второго триггеров. Этот временной сдвиг имеет весьма существенное значение для некоторых применений триггеров.

Общепринято указывать тип запуска триггера. Условное графическое обозначение D-триггера с управлением по фронту тактового импульса показано на рис. 6.19, а. Обратите внимание на значок  $>$  у синхронизирующего входа.

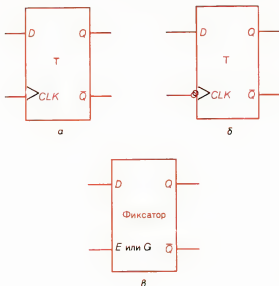


Рис. 6.19.

а – условное графическое обозначение D-триггера, управляемого по фронту тактового импульса; б – условное графическое обозначение D-триггера, управляемого по срезу тактового импульса; в – условное графическое обозначение D-флиппера.

Этот значок указывает, что информационный сигнал передается на выход триггера при прохождении фронта тактового импульса. Условное графическое обозначение D-триггера с управлением по срезу тактового импульса показано на рис. 6.19, б. Добавлен инвертирующий кружок у синхронизирующего входа, который указывает, что данный триггер переключается (запускается) в момент спада (т.е. на срезе) тактового импульса. И наконец, на рис. 6.19, в приведено условное графическое обозначение типичного D-фиксатора. В этом случае значок  $>$  у разрешающего входа (аналогичного синхронизирующему входу) отсутствует. Это означает, что D-фиксатор не рассматривается как схема с управлением по фронту или срезу тактового импульса. Как и RS-триггер, D-фиксатор считается асинхронным устройством. Напомним, что в D-фиксаторе при ВЫСОКОМ уровне сигнала на разрешающем входе  $E$  информационный сигнал на прямом выходе отслеживает (повторяет) сигнал на входе  $D$ . При НИЗКОМ уровне на разрешающем входе информационный сигнал на выходе фиксируется. Некоторые изготовители обозначают разрешающий вход D-фиксатора буквой  $G$ .

JK-триггеры типа ведущий/ведомый

Другой способ запуска применяется в триггерах типа ведущий/ведомый. Для переключения JK-триггера типа ведущий/ведомый используется полный тактовый импульс (как фронт, так и срез). Этот способ запуска триггера иллюстрируется на рис. 6.20. На импульсе 1 отмечены четыре харак-

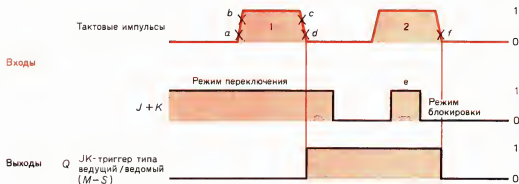


Рис. 6.20. Запуск JK-триггера типа ведущий/ведомый.

терные точки  $a, b, c, d$ . В этих точках в триггере типа ведущий/ведомый выполняются следующие операции:

- Точка  $a$  (фронт импульса): входы изолируются от выходов.
- Точка  $b$  (фронт импульса): информация поступает в триггер с  $J$ - и  $K$ -входов.
- Точка  $c$  (срез импульса):  $J$ - и  $K$ -входы отключаются.
- Точка  $d$  (срез импульса): информация передается на выходы.

Очень интересная характеристика триггера типа ведущий/ведомый иллюстрируется на примере тактового им-

пульса 2 (рис. 6.20). Мы уже знаем, что в начале действия импульса 2 выходы триггера блокируются. На очень короткое время *J*- и *K*-входы переводятся в состояния, соответствующие режиму переключения (см. точку *e*), и затем возвращаются в исходные состояния, соответствующие режиму блокировки. JK-триггер типа ведущий/ведомый запоминает, что *J*- и *K*-входы находились в состояниях, соответствующих режиму переключения, и переключается в точке *f* (см. временные диаграммы на рис. 6.20) на срезе тактового импульса. Такая характерная память проявляется только на вершине тактового импульса (уровень логической 1).

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал:*

15. Триггер, управляемый по фронту тактового импульса, изменяет свое состояние в момент перехода сигнала на синхронизирующем входе от \_\_\_\_\_ уровня к \_\_\_\_\_.
16. Триггер, управляемый по срезу тактового импульса, изменяет свое состояние в момент перехода сигнала на синхронизирующем входе от \_\_\_\_\_ уровня к \_\_\_\_\_.
17. Символ  $>$  у тактового (синхронизирующего) входа на условном графическом обозначении триггера показывает, что он относится к классу триггеров \_\_\_\_\_.
18. Для переключения JK-триггера типа \_\_\_\_\_ используются как фронт, так и срез тактового импульса.

### Основные результаты главы

1. Принято различать комбинационные и последовательностные логические схемы. Комбинационные логические схемы строятся из логических элементов И, ИЛИ, НЕ. Последовательностные логические схемы строятся на основе триггеров и обладают памятью.
2. Соединяя триггеры друг с другом, можно получать различные счетчики, регистры и запоминающие устройства.
3. Выходы триггера всегда находятся в противоположных (комплементарных) состояниях.
4. Основные типы триггеров представлены в табл. 6.2.
5. Для описания работы последовательностных схем используют временные диаграммы сигналов.
6. По способу запуска триггеры подразделяют на управляемые по фронту или срезу тактового импульса и на триггеры типа ведущий/ведомый.
7. Специальные триггеры, называемые фиксаторами, широко используются в большинстве электронных схем в качестве устройств временной буферной памяти.





Схема	Условное графическое обозначение	Таблица истинности	Примечания															
RS-триггер		<table><tr><th>S</th><th>R</th><th>Q</th></tr><tr><td>0</td><td>0</td><td>Запрещено</td></tr><tr><td>0</td><td>1</td><td>1 Установка</td></tr><tr><td>1</td><td>0</td><td>0 Сброс</td></tr><tr><td>1</td><td>1</td><td>Хранение</td></tr></table>	S	R	Q	0	0	Запрещено	0	1	1 Установка	1	0	0 Сброс	1	1	Хранение	RS-фиксатор Триггер с раздельными входами  (Асинхронный)
S	R	Q																
0	0	Запрещено																
0	1	1 Установка																
1	0	0 Сброс																
1	1	Хранение																
Тактируемый RS-триггер		<table><tr><th>CLK</th><th>S R</th><th>Q</th></tr><tr><td></td><td>0 0</td><td>Хранение</td></tr><tr><td></td><td>0 1</td><td>0 Сброс</td></tr><tr><td></td><td>1 0</td><td>1 Установка</td></tr><tr><td></td><td>1 1</td><td>Запрещено</td></tr></table>	CLK	S R	Q		0 0	Хранение		0 1	0 Сброс		1 0	1 Установка		1 1	Запрещено	   (Синхронный)
CLK	S R	Q																
	0 0	Хранение																
	0 1	0 Сброс																
	1 0	1 Установка																
	1 1	Запрещено																
D-триггер		<table><tr><th>CLK</th><th>D</th><th>Q</th></tr><tr><td></td><td>0</td><td>0</td></tr><tr><td></td><td>1</td><td>1</td></tr></table>	CLK	D	Q		0	0		1	1	Триггер с задержкой Информационный триггер  (Синхронный)						
CLK	D	Q																
	0	0																
	1	1																
JK-триггер		<table><tr><th>CLK</th><th>J K</th><th>Q</th></tr><tr><td></td><td>0 0</td><td>Хранение</td></tr><tr><td></td><td>0 1</td><td>0</td></tr><tr><td></td><td>1 0</td><td>1</td></tr><tr><td></td><td>1 1</td><td>Переключение</td></tr></table>	CLK	J K	Q		0 0	Хранение		0 1	0		1 0	1		1 1	Переключение	Наиболее универсальный триггер  (Синхронный)
CLK	J K	Q																
	0 0	Хранение																
	0 1	0																
	1 0	1																
	1 1	Переключение																

Таблица 6.2. Основные типы триггеров

## Итоговые задания к изучаемой главе

- Логические \_\_\_\_\_ — основные структурные ячейки комбинационных логических схем. Основными структурными ячейками последовательных логических схем являются устройства, называемые \_\_\_\_\_.
- Назовите один тип асинхронного триггера и три типа синхронных триггеров (охарактеризуйте синхронные триггеры).
- Укажите два других названия для RS-

- триггера.
4. Нарисуйте условные графические обозначения следующих триггеров: а. JK; б. D; в. тактируемый RS; г. RS.
  5. Сформируйте таблицы истинности для следующих триггеров: а. JK; б. D; в. тактируемый RS; г. RS.
  6. Нарисуйте условные графические обозначения следующих триггеров, имеющих асинхронные входы PS и CLR: а. D; б. JK.
  7. Сформируйте таблицы истинности только для асинхронных входов (PS и CLR) следующих триггеров: а. D; б. JK.
  8. Пусть активные уровни сигналов поданы как на синхронный, так и на асинхронный входы JK-триггера. Какой вход будет контролировать состояния выходов триггера?
  9. Когда мы говорим, что триггер установлен в состояние 1, то имеем в виду, что на выходе \_\_\_\_\_ триггера установлен уровень логической (ого) \_\_\_\_\_.
  10. Когда мы говорим, что триггер установлен в состояние 0, то имеем в виду, что на выходе \_\_\_\_\_ триггера установлен уровень логической (ого) \_\_\_\_\_.
  11. На временных диаграммах сигналов по горизонтали откладывается \_\_\_\_\_, а по вертикали — \_\_\_\_\_.
  12. Строка 4 на рис. 6.3 указана внизу 2 раза. Почему в первом случае  $Q = 0$ , а во втором  $Q = 1$ , хотя в обоих случаях на R- и S-входах действует уровень логической 1?
  13. На рис. 6.6 приведены временные диаграммы сигналов для \_\_\_\_\_ триггера. Этот триггер управляется \_\_\_\_\_ тактового импульса.
  14. Назовите два типа триггеров, изменяющих свое состояние в момент прохождения края тактового импульса.
  15. Латинской буквой D обозначают \_\_\_\_\_ вход D-триггера.
  16. D-триггеры широко используются в качестве устройств временной памяти, называемых \_\_\_\_\_.
  17. Пусть триггер находится в режиме переключения. Работу какого устройства будет напоминать процесс изменения состояний выходов триггера при подаче на тактовый вход повторяющихся тактовых импульсов?
  18. Объясните принцип запуска JK-триггера типа ведущий/ведомый.
  19. Расшифруйте следующие сокращения, используемые на условных графических обозначениях триггеров: а. CLK; б. CLR; в. D; г. T; д. PS; е. R; ж. S.
  20. Объясните, почему JK-триггер типа ведущий/ведомый может изменять свое состояние (переключаться) даже в том случае, когда J- и K-входы заблокированы.
  21. Дайте описательное название следующих ТТЛ-ИС: а. 7474; б. 7475; в. 7476.
  22. Микросхема 7474 является устройством, управляемым по \_\_\_\_\_ тактового импульса.
  23. Перечислите режимы работы микросхемы 7474.
  24. В каком режиме находится JK-триггер микросхемы 7476 во время прохождения каждого тактового импульса (от а до г) из последовательности импульсов, показанной на рис. 6.21?
  25. Какой двоичный сигнал (0 или 1) будет действовать на прямом выходе (Q) JK-триггера во вре-



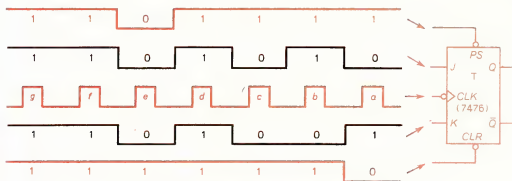


Рис. 6.21. Задача о последовательности импульсов.

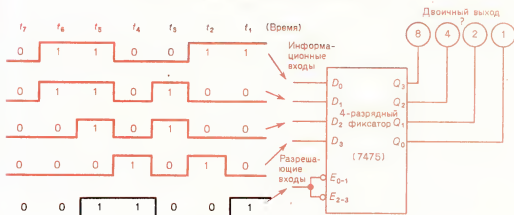


Рис. 6.22. Задача о последовательности импульсов.

моя прохождения каждого тактового импульса из последовательности импульсов, приведенной на рис. 6.21?

26. В каком режиме на-

ходится 4-разрядный фиксатор 7475 в каждый момент времени (от  $t_1$  до  $t_7$ ; см. рис. 6.22)?

27. Какая 4-разрядная двоичная комбина-

ция имеется на выходах 4-разрядного фиксатора 7475 в каждый момент времени (от  $t_1$  до  $t_7$ ; см. рис. 6.22)?

### Ответы к заданиям для самопроверки

1. НИЗКИЙ

2. Импульс

» а – установка 0

» б – хранение

» в – установка 1

» д – хранение

» е – запрещенное состояние

» ф – установка 1

\*3. Импульс

» а – 0

» б – 0

» в – 1

» д – 1

» е – 1

» ф – 1

4. ВЫСОКИЙ

5. Импульс

а – установка 0

»	<i>b</i> – хранение		установка
»	<i>c</i> – установка 1		1 (или пред- установка)
»	<i>d</i> – хранение		установка)
»	<i>e</i> – установка 0	»	<i>b</i> – переключе- ние
»	<i>f</i> – запрещенное состояние	»	<i>c</i> – установка 1
6. Импульс	<i>a</i> – 0	»	<i>d</i> – асинхронная установка 0 (или очистка)
»	<i>b</i> – 0		
»	<i>c</i> – 1		
»	<i>d</i> – 1		
»	<i>e</i> – 0	»	<i>e</i> – переключе- ние
»	<i>f</i> – 1		
7. Импульс	<i>a</i> – асинхронная установка 0 (или очистка)	»	<i>f</i> – хранение
»	<i>b</i> – установка 1	»	<i>g</i> – установка 0
»	<i>c</i> – установка 0	»	<i>h</i> – переключе- ние
»	<i>d</i> – асинхронная установка 1 (или пред- установка)	10. Импульс	<i>a</i> – 1
»	<i>e</i> – запрещенное состояние	»	<i>b</i> – 0
»	<i>f</i> – асинхронная установка 0 (или очистка)	»	<i>c</i> – 1
8. Импульс	<i>a</i> – 0	»	<i>d</i> – 0
»	<i>b</i> – 1	»	<i>e</i> – 1
»	<i>c</i> – 0	»	<i>f</i> – 1
»	<i>d</i> – 1	»	<i>g</i> – 0
»	<i>e</i> – 1	»	<i>h</i> – 1
»	<i>f</i> – 0	11. <i>Q</i> (прямых)	
9. Импульс	<i>a</i> – асинхронная	12. НИЗКИЙ	
		13. Не оказывает никакого влияния на состояния выходов	
		14. Фиксатором	
		15. НИЗКОГО; ВЫСОКОМУ	
		16. ВЫСОКОГО; НИЗКОМУ	
		17. Управляемых по фронту или срезу тактового импульса	
		18. Ведущий/ведомый	

# Глава 7

## Счетчики

Почти каждая сложная цифровая система содержит несколько *счетчиков*. Назначение счетчика очевидно: это подсчет числа некоторых событий или временных интервалов, либо упорядочение событий в хронологической последовательности. Кроме того, счетчики могут выполнять и не столь очевидные функции: их, например, можно использовать для адресации, в качестве делителей частоты и элементов памяти. В данной главе рассматриваются некоторые типы счетчиков и их применение.

Цифровую схему, выполняющую функцию счета, можно собрать из триггеров. В связи с очень широким применением таких схем фирмы-изготовители выпускают счетчики в виде монолитных ИС.

### 7.1. Счетчики со сквозным переносом

Процедуры двоичного и десятичного счета иллюстрируются в таблице на рис. 7.1. Используя только 4 двоичных разряда (*D*, *C*, *B* и *A*), мы можем считать от 0000 до 1111 (от 0 до 15 в десятичной системе). Столбец *A* таблицы соответствует двоичному разряду единиц или самой младшей значащей цифре. Обычно используется термин «самый младший разряд» (СМР). Столбец *D* соответствует двоичному разряду восьмерок или старшей значащей цифре. Обычно используется термин «самый старший разряд» (ССР). Обратите внимание, что в столбце единиц цифры изменяются наиболее часто. Если нам нужен счетчик, который считает от 0000 до 1111 (в двоичной системе), у него должно быть 16 различных выходных состояний. Такой счетчик называется *счетчиком по модулю 16*. Модуль счетчика — это число различных состояний, через которые проходит счетчик в процессе одного полного цикла счета.

Функциональная схема счетчика по модулю 16, составленного из четырех JK-триггеров, показана на рис. 7.2, а. Каждый JK-триггер работает в режиме переключения ( $J = K = 1$ ). Пусть в начальный момент состояния выходов счетчика соответствуют двоичному числу 0000 (счетчик очищен). При поступлении тактового импульса 1 на синхронизирующий вход (*CLK*) триггера *T1* этот триггер переключается (при прохождении среза импульса) и на индикаторе появляется двоичное число 0001. Тактовый импульс 2 возвращает триггер *T1* в исходное состояние 0 ( $Q = 0$ ), что в свою очередь приводит к переключению триггера *T2* в состояние 1 ( $Q = 1$ ). На индикаторе появляется число 0010. Счет продолжается: срез сигнала на выходе каждого триг-

Самый младший разряд

Самый старший разряд

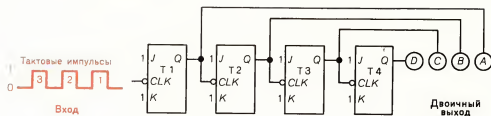
Счетчик по модулю 16  
Модуль счетчика

Двоичный счет				Десятичный счет
D	C	B	A	
8	4	2	1	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Рис. 7.1. Счетная последовательность для счетчика по модулю 16.

гера запускает следующий триггер. Возвращаясь к таблице на рис. 7.1, мы видим, что цифры (1 или 0) в столбце A (единиц) изменяются на каждом этапе счета. Другими словами, триггер T1 переключается с приходом каждого нового тактового импульса. Как видно из столбца B, триггер T2 переключается в 2 раза реже триггера T1. Вообще каждый более старший разряд в таблице на рис. 7.1 «переключается» в 2 раза реже предыдущего.

Работу счетчика по модулю 16 в процессе счета до 10 (двоичное число 1010) иллюстрируют временные диаграммы на рис. 7.2, б. Синхронизирующему входу соответствует самая верхняя диаграмма. Диаграммы для выходов Q триггеров T1, T2, T3, T4 приведены ниже. Под диаграммами указаны двоичные числа, соответствующие различным состояниям счетчика. Обратите особое внимание на вертикальные линии на рис. 7.2, б. Они показывают, что тактовые импульсы запускают только триггер T1, триггер T1 запускает триггер T2, триггер T2 запускает триггер T3 и т.д. Поскольку каждый триггер воздействует только на один (следующий за ним) триггер, то для переключения всех триггеров необходимо некоторое время. Например, в точке a на импульсе 8 (рис. 7.2, б) тактовый импульс запускает триггер T1, вызывая его переключение в состояние 0.



а

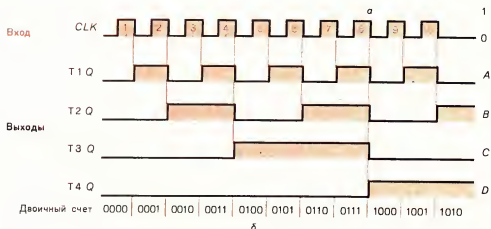


Рис. 7.2. Счетчик по модулю 16.

а — логическая схема; б — временная диаграмма.

Счетчик со сквозным переносом

Это в свою очередь приводит к переключению триггера T2 из состояния 1 в состояние 0. Затем точно так же переключается триггер T3. В момент установки на выходе Q триггера T3 уровня логического 0 запускается триггер T4, который переключается из состояния 0 в состояние 1. Мы видим, что изменение состояний *последовательно* («насквозь») распространяется по цепочке триггеров. Поэтому рассматриваемый счетчик называют *счетчиком со сквозным переносом*.

Счетчик, функциональная схема которого показана на рис. 7.2, а, можно назвать не только счетчиком со сквозным переносом, но и счетчиком по модулю 16, 4-разрядным счетчиком или асинхронным счетчиком. Каждое из названий характеризует рассматриваемую схему с какой-то одной стороны. Определения «со сквозным переносом» и «асинхронный» говорят о том, что запуск триггеров в счетчике осуществляется не в одно и то же время. Название «счетчик по модулю 16» отражает число различных состояний, «проходимых» счетчиком за один полный цикл счета. Определение «4-разрядный» указывает число двоичных разрядов на выходе счетчика.

## Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал:

1. На рис. 7.3 показана схема \_\_\_\_\_-разрядного асинхронного счетчика.
2. На рис. 7.3 показана схема асинхронного счетчика по модулю \_\_\_\_\_.



Рис. 7.3. Задача о последовательности импульсов на входе счетчика.

3. Каждый JK-триггер в схеме счетчика на рис. 7.3 работает в режиме \_\_\_\_\_, так как на входах J и K действует ВЫСОКИЙ уровень сигнала.
4. Какое двоичное число вы увидите на индикаторе (двоичном выходе счетчика) после каждого из 6 входных импульсов, показанных на рис. 7.3?

## Асинхронные счетчики

Счетчик по модулю 10

## 7.2. Асинхронные счетчики по модулю 10

Счетчик по модулю 10 считает от 0000 до 1001 (от 0 до 9 в десятичной системе), т.е. до жирной горизонтальной линии в таблице на рис. 7.1. Мы видим, что для этого нужны 4 двоичных разряда: разряд единиц, разряд двоек, разряд четверок и разряд восьмерок. Такой счетчик можно реализовать на 4 триггерах, соединенных по рассмотренной выше схеме асинхронного счетчика. В схему нужно, однако, дополнительно ввести логический элемент И-НЕ (рис. 7.4)

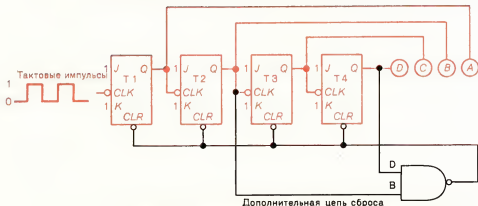


Рис. 7.4. Логическая схема асинхронного счетчика по модулю 10.

для установки всех триггеров в нулевое состояние (очистки счетчика) с приходом десятого импульса (т.е. с приходом первого импульса после того, как счетчик сосчитал до 1001 (до 9 в десятичной системе). Принцип использования этого логического элемента станет понятным, если посмотреть, какое двоичное число следует за 1001. Из таблицы на рис. 7.1 видно, что этим числом является 1010 (10 в десятичной системе). При подаче логической 1, содержащейся в разрядах двоек и восьмерок двоичного числа 1010, на входы логического элемента И–НЕ (как показано на рис. 7.4), этот элемент, очевидно, установит все триггеры в состояние 0. Счетчик начнет снова считать от 0000 до 1001. Таким образом, логический элемент И–НЕ обеспечивает сброс счетчика в состояние 0000. Подобное использование логического элемента И–НЕ позволяет создать счетчики с некоторыми другими значениями модуля. На рис. 7.4 показана функциональная схема асинхронного счетчика по модулю 10. Этот счетчик можно также назвать *декадным (десятичным) счетчиком*.

Декадный (десятичный) счетчик

Итак, асинхронный счетчик можно собрать из отдельных триггеров. Промышленность выпускает также однокорпусные ИС, включающие в себя все 4 триггера. Некоторые счетные ИС содержат и логический элемент И–НЕ, используемый для сброса счетчика (как в схеме на рис. 7.4).

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

5. На рис. 7.4 показана схема \_\_\_\_\_ (асинхронного, синхронного) счетчика по модулю 10. Поскольку у данного счетчика 10 различных состояний (счет ведется от 0 до 9), он называется также \_\_\_\_\_ счетчиком.
6. На рис. 7.5 показана схема \_\_\_\_\_ (асинхронного, синхронного) счетчика по модулю \_\_\_\_\_.
7. Какое двоичное число вы увидите на индикаторе (двоич-

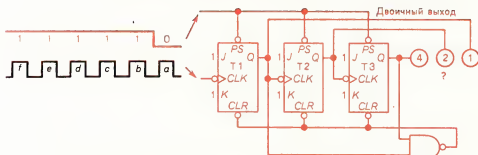


Рис. 7.5. Задача о последовательности импульсов на входе счетчика.

ном выходе счетчика) после каждого из 6 входных импульсов, показанных на рис. 7.5?

### 7.3. Синхронные счетчики

В двух предыдущих разделах мы рассмотрели асинхронные счетчики. В этих счетчиках триггеры срабатывают неодновременно (не синхронно с тактовыми импульсами). Для некоторых быстродействующих цифровых устройств очень важно, чтобы все ступени счетчика срабатывали одновременно. Такой режим реализуется в *синхронном счетчике*.

Синхронный счетчик

3-разрядный счетчик  
(по модулю 8)

На первый взгляд довольно сложная схема синхронного счетчика показана на рис. 7.6, а. Это 3-разрядный счетчик (счетчик по модулю 8). Сначала рассмотрим схему соединения синхронизирующих входов триггеров (*CLK*). Видно, что эти входы соединены параллельно; тактовые импульсы поступают непосредственно на синхронизирующий вход каждого триггера. Последовательность двоичных чисел, проходящая счетчиком за один цикл счета (*счетная последовательность*), приведена в таблице на рис. 7.6, б. Столбец *A* таблицы соответствует двоичному разряду единиц; счет в этом разряде ведет триггер Т1. Столбец *B* соответствует двоичному разряду двоек, где счет ведет триггер Т2. И наконец, столбец *C* соответствует разряду четверок; счет в этом разряде ведет триггер Т3.

С помощью рис. 7.6, а и б проследим за работой данного счетчика по модулю 8 в течение одного цикла счета.

Импульс 1—строка 2 таблицы на рис. 7.6, б.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Переключается только триггер Т1; только у этого триггера на входах *J* и *K* действует уровень логической 1.

Триггер Т1 переходит из состояния 0 в состояние 1.

*Результат на выходе счетчика:* 001 (десятичное число 1).

Импульс 2—строка 3.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Переключаются два триггера—Т1 и Т2, поскольку на входах *J* и *K* этих триггеров действует уровень логической 1.

Триггер Т1 переходит из состояния 1 в состояние 0, триггер Т2—из состояния 0 в состояние 1.

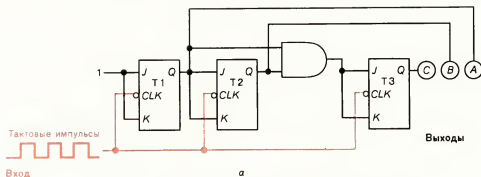
*Результат на выходе счетчика:* 010 (десятичное число 2).

Импульс 3—строка 4.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Переключается только один триггер.





Строка	Номер тактового импульса	Двоичная счетная последовательность			Десятичные числа
		С	В	А	
1	0	0	0	0	0
2	1	0	0	1	1
3	2	0	1	0	2
4	3	0	1	1	3
5	4	1	0	0	4
6	5	1	0	1	5
7	6	1	1	0	6
8	7	1	1	1	7
9	8	0	0	0	0

б

Рис. 7.6. Синхронный 3-разрядный счетчик.

а — логическая схема; б — счетная последовательность.

Триггер Т1 переходит из состояния 0 в состояние 1.  
*Результат на выходе счетчика:* 011 (десятичное число 3).

Импульс 4 — строка 5.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Все триггеры изменяют свое состояние на противоположное.

Триггеры Т1 и Т2 переходят из состояния 1 в состояние 0.

Триггер Т3 переключается из состояния 0 в состояние 1.

*Результат на выходе счетчика:* 100 (десятичное число 4).

Импульс 5 — строка 6.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Переключается только один триггер.

Триггер Т1 переходит из состояния 0 в состояние 1.  
*Результат на выходе счетчика:* 101 (десятичное число 5).

Импульс 6—строка 7.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Переключаются два триггера.

Триггер Т1 переходит из состояния 1 в состояние 0, триггер Т2—из состояния 0 в состояние 1.

*Результат на выходе счетчика:* 110 (десятичное число 6).

Импульс 7—строка 8.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Переключается только один триггер.

Триггер Т1 переходит из состояния 0 в состояние 1.

*Результат на выходе счетчика:* 111 (десятичное число 7).

Импульс 8—строка 9.

*Работа схемы.* Входной импульс поступает на синхронизирующий вход каждого триггера.

Все триггеры изменяют свое состояние.

Все триггеры переключаются из состояния 1 в состояние 0.

*Результат на выходе счетчика:* 000 (десятичное число 0).

3-разрядный синхронный счетчик

На этом мы закончим объяснение принципа работы 3-разрядного синхронного счетчика. Отметим только, что в данном счетчике JK-триггеры используются как в режиме переключения (при  $J = K = 1$ ), так и в режиме блокировки (при  $J = K = 0$ ).

Синхронные счетчики—довольно сложные устройства, поэтому чаще всего они применяются в виде монолитных ИС.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

- Счетчик, в котором запуск всех триггеров осуществляется в один и тот же момент времени, называется \_\_\_\_\_ (асинхронным, синхронным) счетчиком.
- В синхронном счетчике синхронизирующие входы триггеров соединены \_\_\_\_\_ (параллельно, последовательно).
- В схеме на рис. 7.6, а триггер Т1 всегда работает в режиме \_\_\_\_\_ (хранения, установки 0, установки 1, переключения).

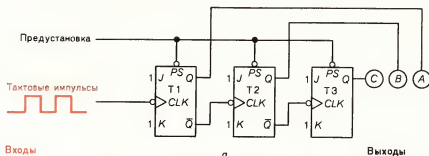
11. Тактовый импульс 4 (см. рис. 7.6) инициирует переключение — (только триггера Т1, двух триггеров Т1 и Т2, только триггера Т3, всех триггеров); в результате на выходе счетчика появляется двоичное число 100.

Вычитающие счетчики

#### 7.4. Вычитающие счетчики

До сих пор мы имели дело со счетчиками, которые считают в прямом направлении<sup>1)</sup> (0, 1, 2, 3, 4, ...). Однако в некоторых цифровых системах возникает необходимость счета в обратном направлении (9, 8, 7, 6, ...). Счетчики, которые считают от больших чисел к меньшим, называются *вычитающими счетчиками*, или *счетчиками обратного действия*.

Схема асинхронного вычитающего счетчика по модулю 8 показана на рис. 7.7, а; соответствующая счетная последовательность двоичных чисел приведена на рис. 7.7, б. Обратите внимание на то, что схема вычитающего счетчика



Номер тактового импульса	Двоичная счетная последовательность			Десятичные числа
	С	В	А	
0	1	1	1	7
1	1	1	0	6
2	1	0	1	5
3	1	0	0	4
4	0	1	1	3
5	0	1	0	2
6	0	0	1	1
7	0	0	0	0
8	1	1	1	7
9	1	1	0	6

б

Рис. 7.7. Асинхронный 3-разрядный вычитающий счетчик.

а — логическая схема; б — счетная последовательность.

<sup>1)</sup> Их называют счетчиками прямого действия, суммирующими, или накапливающими. — Прим. ред.

очень напоминает схему счетчика прямого действия на рис. 7.2, а. Единственное отличие состоит в способе «переноса» сигнала от триггера Т1 к триггеру Т2 и от триггера Т2 к триггеру Т3. В счетчике прямого действия синхронизирующий вход каждого триггера связан с *прямым* выходом  $Q$  предыдущего триггера. В вычитающем счетчике синхронизирующий вход каждого триггера связан с *инверсным* выходом  $\bar{Q}$  предыдущего триггера. Заметим, что в вычитающем счетчике перед началом счета в обратном направлении предусмотрена предварительная его установка в состояние 111 (десятичное число 7) с помощью входа предустановки (PS). Триггер Т1 – двоичный счетчик разряда единиц (столбец А). Триггер Т2 – счетчик разряда двоек (столбец В). Триггер Т3 – счетчик разряда четверок (столбец С).

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

12. Все триггеры в счетчике на рис. 7.7, а работают в режиме \_\_\_\_\_ (хранения, установки 0, установки 1, переключения).
13. Все JK-триггеры на рис. 7.7, а запускаются \_\_\_\_\_ (фронтом, срезом) тактового импульса.
14. Тактовый импульс 1 (см. рис. 7.7) инициирует переключение \_\_\_\_\_ (только триггера Т1, двух триггеров Т1 и Т2, только триггера Т3, всех триггеров); в результате на выходе счетчика появляется двоичное число 110.



Рис. 7.8. Задача о последовательности импульсов на входе счетчика.

15. Какое двоичное число вы увидите на индикаторе (двоичном выходе счетчика) после каждого из 6 входных импульсов, показанных на рис. 7.8?

Самоосстанавливающиеся счетчики

Счетчик циклического типа

### 7.5. Самоосстанавливающиеся счетчики

Вычитающий счетчик, схема которого показана на рис. 7.7, а – счетчик *циклического типа*. Другими словами, когда этот счетчик приходит в состояние 000, он снова на-



соответствует двоичному числу 000, то на выходе логического элемента ИЛИ действует \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень сигнала. Это приводит к установке триггера Т1 в режим \_\_\_\_\_ (хранения, переключения).

## 7.6. Счетчики-делители частоты

### Деление частоты

Одна из интересных и важных функций, которую часто выполняют счетчики в цифровых системах, — *деление частоты*. Пример простой системы с делителем частоты показан на рис. 7.10. Такая система составляет основу цифровых часов. Периодический сигнал бытовой электросети с частотой 60 Гц<sup>1)</sup>, сформированный в виде последовательности прямоугольных импульсов, подается на вход схемы, которая делит частоту на 60. На выходе схемы мы имеем последовательность прямоугольных импульсов с частотой 1 Гц (1 импульс в 1 с). Это таймер секунд.



Рис. 7.10. Таймер секунд.

### Счетчик-делитель на 10

На рис. 7.11,а схематически изображен декадный счетчик, а на рис. 7.11,б приведены временные диаграммы для его синхронизирующего входа  $CLK$  и выхода  $Q_D$ , соответствующего двоичному разряду восьмерок. Обратите внимание, что 30 импульсов на входе счетчика преобразуются в 3 выходных импульса. Выполняем деление:  $30:3 = 10$ . Таким образом, снимая сигнал с выхода  $Q_D$  декадного счетчика, мы получаем *счетчик-делитель на 10*. Другими словами, частота выходного сигнала составляет  $1/10$  частоты сигнала на входе счетчика.

### Счетчик-делитель на 6

Последовательно соединяя рассмотренный декадный счетчик (счетчик-делитель на 10) и счетчик по модулю 6 (счетчик-делитель на 6), мы получаем нужную нам схему (см. рис. 7.10), осуществляющую деление частоты на 60. Структура этой схемы показана на рис. 7.12. Последовательность прямоугольных импульсов с частотой 60 Гц поступает на вход счетчика-делителя на 6. С выхода этого счетчика последовательность импульсов с частотой 10 Гц подается затем на вход счетчика-делителя на 10. На выходе схемы мы имеем сигнал с частотой 1 Гц.

Вы уже знаете, что счетчики используются в качестве делителей частоты в электронных цифровых часах, автомобильных и наручных цифровых часах. Функцию деления частоты они выполняют также и в других цифровых

<sup>1)</sup> Частота электросети в США. Прим. перев.

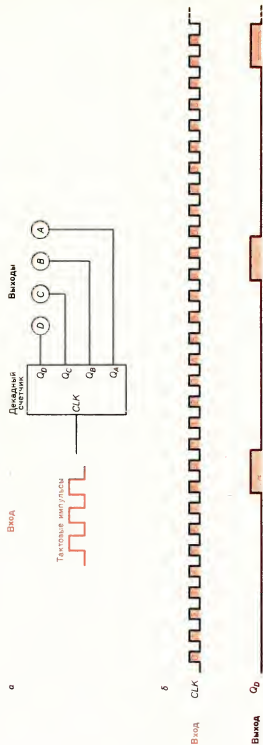


Рис. 7.11. Использование десятичного счетчика в качестве счетчика-делителя на 10.  
 а – логическая схема счетчика; б – временная диаграмма.

электронных устройствах: частотомерах, осциллографах, генераторах телевизионных испытательных сигналов.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

19. Если частота сигнала на входе схемы (см. рис. 7.12) слева равна 60 000 Гц, то частота сигнала на выходе декадного счетчика будет равна \_\_\_\_\_.

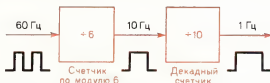


Рис. 7.12. Экономичная структурная схема счетчика-делителя на 60, используемого в таймере секунд.

20. Снимая сигнал с выхода А декадного счетчика (см. рис. 7.11, а), мы получаем счетчик-делитель на \_\_\_\_\_.

### Интегральные схемы счетчиков

### 7.7. Интегральные схемы счетчиков

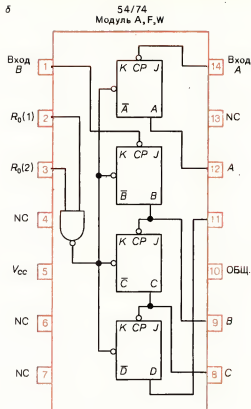
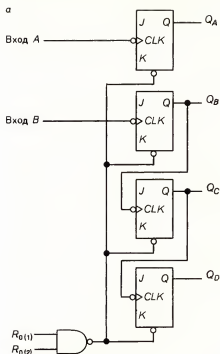
Справочники по выпускаемым промышленностью ИС содержат длинные списки счетчиков. В данном разделе мы рассмотрим только два наиболее типичных представителя этого класса ИС.

На рис. 7.13 представлены схемы и таблицы для 4-разрядного двоичного счетчика 7493, выпускаемого фирмой Signetics. Если вы внимательно рассмотрите его схему на рис. 7.13, а, то увидите, что микросхема 7493 — асинхронный счетчик. Вы, вероятно, заметите также, что выход  $Q_A$  верхнего JK-триггера не присоединен к синхронизирующему входу второго триггера. Чтобы микросхема 7493 работала как счетчик по модулю 16, нужно осуществить внешнее соединение выхода  $Q_A$  со входом В. Последовательность состояний данного счетчика приведена в таблице на рис. 7.13, в. Расположение выводов микросхемы 7493 показано на рис. 7.13, б. Как видно из таблицы на рис. 7.13, г, для очистки (сброса) счетчика в состояние 0000 на входы  $R_0$  (1) и  $R_0$  (2) нужно подать уровень логической 1. Если эти входы оставить свободными (никуда не подсоединять), то счетчик не будет работать, так как на входах  $R_0$  (1) и  $R_0$  (2) в этом случае действует плавающий потенциал высокого уровня, и счетчик останется в состоянии сброса. Само собой разумеется, что на входах J и K каждого триггера должен поддерживаться уровень логической 1. Только в этом случае каждый триггер будет работать в режиме переключения.

Второй интегральный счетчик, который мы обсудим, —

4-разрядный двоичный счетчик 7493





в

Счет	Выход			
	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

г

Входы сброса		Выход			
$R_0(1)$	$R_0(2)$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
H	H	L	L	L	L
L	X	Счет			
X	L	Счет			

Рис. 7.13. Интегральный 4-разрядный двоичный счетчик (микросхема 7493). (С разрешения фирмы Signetics.)

а — блок-схема; б — схема расположения выводов; в — последовательность состояний; г — таблица режимов сброса/счета.

На блок-схеме а входы J и K показаны только для наглядности (никуда не присоединены); для работы каждого триггера на входах J и K должен поддерживаться уровень логической единицы.

микросхема 74192. Это *синхронный декадный реверсивный*<sup>1)</sup> счетчик, выпускаемый фирмой Signetics, с разрешения которой здесь будет приведено его техническое описание.

### Описание

Эта монолитная микросхема представляет собой синхронный реверсивный (считающий как в прямом, так и в обратном направлении) счетчик. Сложность схемы — 55 эквивалентных логических элементов<sup>2)</sup>. Синхронная работа счетчика обеспечивается за счет одновременного запуска всех триггеров, благодаря чему состояния выходов счетчика изменяются согласованно, если этого требует логика работы того или иного цифрового устройства. Такой режим работы исключает появление на выходах счетчика выбросов сигнала в процессе счета, которые характерны для асинхронных (со сквозным переносом) счетчиков.

Выходы четырех MS-триггеров переключаются в момент перехода сигнала на счетном (тактовом) входе счетчика от низкого уровня к высокому. Направление счета определяется тем, на какой из счетных входов подаются импульсы; при этом на другом счетном входе должны быть установлены сигнал высокого уровня.

Все четыре двоичных счетчика полностью программируемы, т.е. на каждом выходе можно предварительно установить сигнал любого из двух возможных уровней путем подачи нужной информации на входы данных с одновременной установкой на входе загрузки низкого уровня. Состояния выходов будут изменяться в соответствии с состояниями входов данных независимо от счетных импульсов. Эта характеристика позволяет использовать данные счетчики в качестве делителей по модулю  $N$  путем простого изменения длины счетной последовательности с помощью входов предварительной установки.

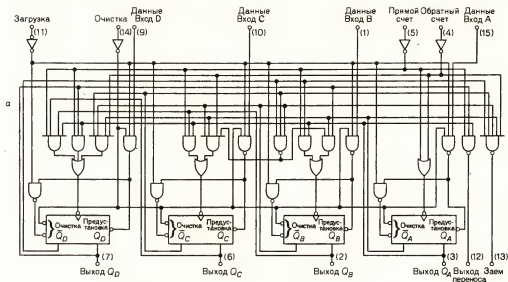
Имеется вход очистки, при подаче на который сигнала высокого уровня происходит сброс всех выходов к низкому уровню независимо от состояний счетных входов и входа загрузки. На входах очистки и загрузки и счетных входах имеются буферные схемы, позволяющие снизить нагрузочные требования к задающим устройствам. Это дает возможность уменьшить число задающих тактовых генераторов и т.п., требуемых для длинных слов.

Эти счетчики допускают возможность каскадного соединения без всяких внешних цепей. Как выход заема, так и выход переноса можно использовать в каскадном соединении для реализации счета в прямом или обратном направлении. Когда исчерпывается счетная последовательность, на выходе заема вырабатывается импульс, равный по длительности импульсам на входе счета в обратном направлении. Аналогично при переполнении счетчика на выходе переноса вырабатывается импульс, равный по длительности импульсу счета на входе в прямом направлении. Таким образом, счетчики легко объединяются каскадно путем присоединения выходов заема и переноса одного счетчика ко входам счета в обратном и прямом направлениях соответственно следующего счетчика.

Обратите внимание на то, что у данного счетчика много различных характеристик. Поскольку это синхронный счетчик, он имеет довольно сложную схемную реализацию (рис. 7.14, а). На временных диаграммах сигналов (рис. 7.14, в) иллюстрируется работа ИС 74192 в случае стандартной последовательности входных импульсов. Используя данную микросхему, вы обнаружите, что большинство ее входов

<sup>1)</sup> То есть счетчик, считающий как в прямом, так и в обратном направлении. — *Прим. перев.*

<sup>2)</sup> Сложность интегральных схем измеряется условной единицей, соответствующей простейшему вентилю. — *Прим. перев.*



б) Схема расположения выводов



A

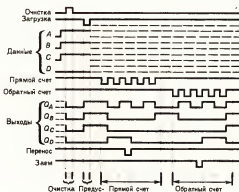


Рис. 7.14. Синхронный декадный реверсивный счетчик (микросхема 74192). (С разрешения фирмы Signetics.)

*a* – блок-схема; *b* – схема расположения выводов; *в* – временные диаграммы, полученные в случае стандартной последовательности импульсов: 1 – выход очиски устанавливается в состояние 0; 2 – загрузка (предустановка) до появления цифры 7; 3 – прямой счет; 8, 9, перенос, 0, 1, 2; 4 – обратный счет: 1, 0, заем, 9, 8, 7. Значения А и В соответствуют цифрам загрузки, а значения С и D – значениям на выходе при появлении порогового счета (также может быть установлено значение 0). Направление Вых ОКИИ уровень должен быть установлен на уровне 0.

имеет плавающий потенциал высокого уровня. Определенные трудности создает вход сброса (*CLR*); если этот вход оставить не подключенным, на нем будет высокий плавающий потенциал и счетчик установится в состояние 0000. В микросхеме 74192 активным уровнем сигнала для входа *CLR* будет **ВЫСОКИЙ** уровень. Расположение выво-

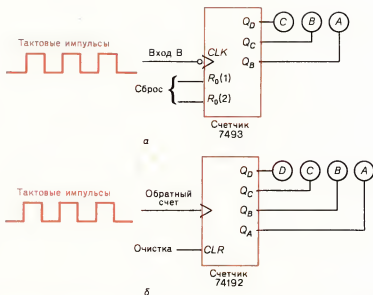


Рис. 7.15.

а – использование микросхемы 7493 в качестве счетчика по модулю 8; б – использование микросхемы 74192 в качестве декадного вычитающего счетчика.

дов для данной микросхемы приведено на рис. 7.14, б.

Вы уже, вероятно, догадались, что для некоторых применений нужны далеко не все функциональные возможности рассмотренных ИС. Так, на рис. 7.15, а показан пример использования микросхемы 7493 в качестве счетчика по модулю 8. Обратитесь еще раз к рис. 7.13, и вы увидите, что несколько входов и один выход этой ИС не задействованы. На рис. 7.15, б показано использование микросхемы 74192 в качестве декадного вычитающего счетчика. Не задействованы 6 входов и 2 выхода этой ИС. Упрощенные схемы интегральных счетчиков, типа показанных на рис. 7.15, используются гораздо чаще, чем сложные схемы, представленные на рис. 7.13, а и 7.14, а.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Укажите значения 4 двоичных разрядов на выходе счетчика (рис. 7.13), если на обоих входах логического элемента И – НЕ (выводы 2 и 3 ИС 7493) действует ВЫСОКИЙ уровень сигнала.
- Микросхема 7493, представленная на рис. 7.13, является \_\_\_\_\_-разрядным \_\_\_\_\_ (вычитающим, накапливающим) счетчиком.
- Микросхема 74192 на рис. 7.14 представляет собой

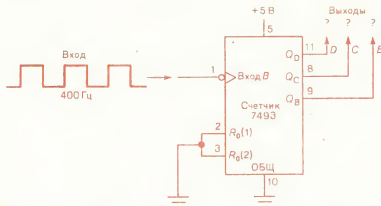


Рис. 7.16. Задача о последовательности импульсов на входе интегрального счетчика.

- \_\_\_\_\_ (декадный, по модулю 16) реверсивный  
\_\_\_\_\_ (асинхронный, синхронный) счетчик.
24. В счетчике на рис. 7.14 синхронизирующим входом для счета в прямом направлении является вывод \_\_\_\_\_ (номер вывода) микросхемы 74192.
  25. Активным уровнем сигнала для входа сброса счетчика 74192 на рис. 7.14 является \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень.
  26. Определите частоту выходного сигнала в точках В, С, и D для схемы на рис. 7.16.
  27. Микросхему 7493 на рис. 7.14 можно рассматривать как асинхронный счетчик-делитель на 2, счетчик-делитель на 4 и счетчик-делитель на \_\_\_\_\_.

### 7.8. Приборы для проверки последовательностных логических схем

Мы уже обсуждали методы отыскания неисправностей комбинационных логических схем (составленных из логических элементов). Последовательностные логические схемы составлены из триггеров, и поэтому их проверка сложнее. Вашими основными контрольно-измерительными приборами были до сих пор логический пробник и вольтметр. Для проверки последовательностных схем к этой мини-лаборатории нужно добавить еще несколько приборов. Как правило, вполне достаточно иметь еще генератор цифровых импульсов, прибор для контроля микросхем и осциллограф.

Логический пробник

Промышленный образец логического пробника показан на рис. 7.17,а. Этот пробник имеет двухпозиционный переключатель DTL/TTL - CMOS (ДТЛ/ТТЛ - КМОП), положение которого выбирается в соответствии с типом (семейством) проверяемых ИС (ДТЛ- или ТТЛ-схем, либо КМОП ИС). Светодиодные индикаторы ВЫСОКОГО и НИЗКОГО логических уровней расположены в верхней части пробника

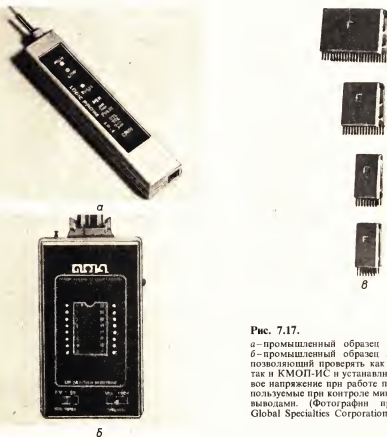


Рис. 7.17.

*а* — промышленный образец логического пробника; *б* — промышленный образец логического монитора, позволяющий проверять как ТТЛ- или ДТЛ-схемы, так и КМОП-ИС и устанавливать различное пороговое напряжение при работе прибора; *в* — зажимы, используемые при контроле микросхем с 14, 16, 24 и 40 выводами. (Фотографии предоставлены фирмой Global Specialties Corporation.)

б

(вблизи щупа). Если переключатель MEM/PULSE (ПАМЯТЬ/ИМПУЛЬС) находится в положении (ИМПУЛЬС), наличие любого импульса длительностью не менее 50 нс фиксируется по свечению импульсного светодиода в течение 0,3 с. В положении MEM (ПАМЯТЬ) любое изменение сигнала на щупе (от логической 1 к логическому 0 или наоборот) приводит к свечению импульсного светодиода. В режиме ПАМЯТЬ при наличии любого одиночного импульса светодиод излучает непрерывно. На снимке (рис. 7.17, а) не показан разъем для подключения питания. Этот разъем вставляется в гнездо, которое видно в нижнем торце пробника.

Логический монитор

Еще одно устройство измерения логических уровней в цифровых ИС — прибор для контроля микросхем (логический монитор). Один из таких приборов показан на рис. 7.17, б. Резиновый кабель от прибора присоединяется с помощью специального зажима (типа показанных на рис. 7.17, в) к контролируемой ИС. Одновременно проверяются логические уровни на всех 16 выводах микросхемы. Светодиоды загораются при наличии ВЫСОКОГО логиче-

Рис. 7.18. Промышленный образец генератора цифровых импульсов для TTL- или КМОП-схем. (Фотография предоставлена фирмой Global Specialties Corporation.)



ского уровня на соответствующих выводах микросхемы. Свечение отсутствует при НИЗКОМ логическом уровне или в переходной области между ВЫСОКИМ и НИЗКИМ уровнями. Обратите внимание, что прибор для контроля микросхем, снимок которого показан на рис. 7.17, б, позволяет проверять как TTL- или ДТЛ-схемы, так и КМОП ИС<sup>1)</sup>. В качестве ВЫСОКОГО логического уровня можно устанавливать более низкое (или более высокое) пороговое значение напряжения путем изменения режима работы прибора и с помощью ручки подстройки порогового напряжения, расположенной в левом нижнем углу прибора. Многие приборы для контроля микросхем конструируются в расчете на расширенные зажимы (с большим числом выводов), типа показанных на рис. 7.17, в.

Генератор цифровых импульсов

Образец выпускаемого промышленностью генератора цифровых импульсов показан на рис. 7.18. При нажатии на кнопку на выходе прибора генерируется одиночный импульс. Если переключатель TTL/CMOS (TTL/КМОП) находится в положении TTL, генерируется импульс длительностью 1,5 мкс; в положении CMOS длительность импульса составляет 10 мкс. Если кнопку на панели этого генератора импульсов нажать и удерживать в течение некоторого промежутка времени, на выходе появится последовательность сигналов с частотой 100 импульсов в 1 с. При отжатой кнопке щуп изолирован от прибора высоким импедансом. Это третье состояние выхода. Таким образом, выход рассмотренного генератора цифровых импульсов имеет 3 состояния: НИЗКИЙ уровень напряжения, ВЫСОКИЙ уровень напряжения и высокий импеданс.

При использовании генератора цифровых импульсов (рис. 7.18) кратковременное нажатие кнопки приводит к вспышке импульсного светодиодного индикатора (индицируется наличие одиночного импульса на выходе). Если удерживать кнопку в нажатом состоянии в течение некоторого промежутка времени, то индикатор будет светиться непрерывно. Это указывает на наличие последовательности импульсов на выходе генератора. Подобно логическому пробнику, генератор цифровых импульсов имеет в нижнем торце гнездо для подключения питания (см. рис. 7.18).

Как и в большинстве областей электроники, наиболее

<sup>1)</sup> Имеется в виду переключатель TTL/DTL-CMOS (TTL/ДТЛ-КМОП) — Прим. перев.



Рис. 7.19. Современный двухканальный осциллограф со ждущей разверткой. (Фотография предоставлена фирмой Simpson Electric Company.)

Двухканальный осциллограф со ждущей разверткой

важным и самым универсальным прибором для исследования, разработки и проверки цифровых схем является осциллограф со ждущей разверткой особенно полезен при сравнении временных диаграмм и определении важных временных соотношений в цифровых системах.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

28. Цифровые схемы, составленные из триггеров (например, счетчики), называются \_\_\_\_\_ (комбинационными, последовательностными) логическими схемами.
29. Для одновременной проверки логических уровней на всех выводах ИС используется \_\_\_\_\_ (логический пробник, логический монитор).
30. Кратковременное нажатие кнопки на панели генератора импульсов (рис. 7.18) вызывает посылку \_\_\_\_\_ (последовательности импульсов с частотой около 100 Гц, одиночного импульса) на выход (шуп) прибора.

## 7.9. Проверка счетчика

Отыскание неисправности счетчика

Рассмотрим применение описанных выше контрольно-измерительных приборов на конкретном примере отыскания неисправности в 2-разрядном асинхронном счетчике, принципиальная схема которого приведена на рис. 7.20, а. Для удобства на рис. 7.20, б приведена схема расположения выводов микросхемы 7476, используемой в качестве данного счетчика. Обратите внимание на различия в обозначениях соответствующих входов и выходов на рис. 7.20, а и б. Например, асинхронные входы предварительной установки на схеме счетчика обозначены PS. Те же входы (для предварительной установки счетчика) фирма National Semiconductor — одна из фирм-производителей микросхемы 7476 — обозна-



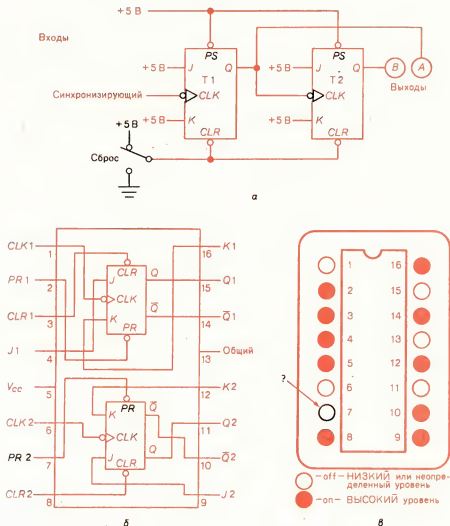


Рис. 7.20.

а — принципиальная схема поврежденного 2-разрядного асинхронного счетчика, в котором нужно найти неисправности; б — схема расположения выводов микросхемы 7476 JK-триггеров; в — показание на панели логического монитора после мгновенного сброса поврежденного 2-разрядного счетчика.

чает *PR*. Несмотря на то что маркировка выводов микросхем 7476, выпускаемых разными фирмами, может отличаться, функциональное назначение соответствующих выводов всех таких ИС одно и то же.

Пусть установлено, что 2-разрядный счетчик неисправен, но его можно сбросить в исходное состояние 00 (с помощью переключателя, показанного слева на рис. 7.20, б). Счетчик эксплуатируется при нормальной температуре; при внешнем осмотре не обнаружено никаких признаков его неисправности.

Проверка счетчика начинается с подачи импульсов на синхронизирующий вход триггера Т1 от генератора цифровых импульсов (типа показанного на рис. 7.18). В соответствии с рис. 7.20, б щупом генератора импульсов нужно коснуться вывода 1 микросхемы. Повторяющиеся импульсы на входе счетчика приводят к следующей счетной последовательности на его выходе: 00 (сброс), 01, 10, 11, 10, 11, 10, 11 и т.д. Складывается впечатление, что на выходе Q триггера Т2 происходит «залипание» ВЫСОКОГО уровня<sup>1)</sup>; при асинхронном сбросе счетчика этот выход приводится к НИЗКОМУ уровню.

Питание отключается, и микросхема 7476 для проверки соединяется с помощью зажима с логическим монитором (типа показанного на рис. 7.17, б). Снова включается питание. Переключателем «Сброс» инициируется установка счетчика в нулевое состояние. Результат, индицируемый на панели монитора после сброса счетчика, показан на рис. 7.20, в. Реальные логические уровни на выводах микросхемы 7476, определяемые по излучению соответствующих светодиодов, сравниваются с теми, которых следует ожидать в исправном счетчике. При этом необходимо пользоваться схемой расположения выводов данной микросхемы (рис. 7.20, б). Последовательно просматривая значения логических уровней на различных выводах, вы сможете обнаружить наличие НИЗКОГО или неопределенного логического уровня на выводе 7. Этот вывод микросхемы соответствует асинхронному входу предварительной установки (PS или PR), где в соответствии со схемой счетчика (рис. 7.20, а) должен быть ВЫСОКИЙ уровень. При НИЗКОМ же или неопределенном уровне на данном входе выход Q триггера Т2 может «залипать» в состоянии ВЫСОКОГО уровня.

Логический пробник (типа показанного на рис. 7.17, а) используется для проверки вывода 7 микросхемы. Ни один из светодиодов на панели логического пробника не загорается. Это значит, что на выводе 7 нет ни ВЫСОКОГО, ни НИЗКОГО уровня, и, вероятнее всего, он имеет плавающий потенциал в неопределенной области между НИЗКИМ и ВЫСОКИМ уровнями.

Микросхема извлекается из 16-штырьковой панели. Оказывается, что вывод 7 микросхемы подогнут и не контактирует с гнездом панельки: именно поэтому на нем и наблюдается плавающий потенциал. Дефект иллюстрируется на рис. 7.21. Такую довольно типичную неисправность очень трудно обнаружить в работающем устройстве, когда микросхема вставлена в панель.

В рассмотренном примере для отыскания неисправности

<sup>1)</sup> Неисправность подобного рода называется «константным нулем» или «константной единицей» в зависимости от того, какому логическому сигналу соответствует наблюдаемый неизменный уровень; термин «залипание» заимствован из области релейно-контактных схем, где аналогичные явления связаны с залипанием контактов реле. — *Прим. ред.*

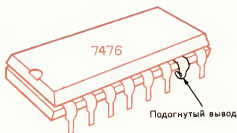


Рис. 7.21. Подогнутый вывод являлся причиной появления на нем плавающего потенциала.

Наиболее важные средства проверки схем

счетчика использовались самые различные средства. Во-первых, это схема счетчика и ваше собственное понимание принципов ее работы (что важнее всего). Во-вторых, схема расположения выводов проверяемой микросхемы. В-третьих, генератор цифровых импульсов для подачи одиночных импульсов на вход счетчика. В-четвертых, логический монитор для проверки логических уровней на всех выводах микросхемы 7476. В-пятых, логический пробник для проверки подозреваемого вывода микросхемы. В конечном итоге неисправность удалось найти при целенаправленном внешнем осмотре микросхемы, извлеченной из панельки. *Ваше понимание принципов работы цифровых схем и ваш собственный экспериментальный опыт, вероятно, наиболее важные средства проверки этих схем.* Генераторы цифровых импульсов, логические пробники, логические мониторы и осциллографы могут только помочь быстро найти неисправность.

«Плавающие» входы (из-за отсутствия контакта между выводом микросхемы и гнездом панельки) довольно часто встречаются в цифровых устройствах, собираемых студентами. Очень важно поэтому убедиться в каждом конкретном случае в наличии соответствующих логических уровней на всех выводах микросхемы. Это важно для ТТЛ-ИС и тем более для КМОП-ИС.

#### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

31. В схеме счетчика (рис. 7.20) на выводы 4, 9, 12 и 16 микросхемы 7476, связанные с входами *J* и *K* триггеров, нужно подать \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) логический уровень.
32. Переключателем «Сброс» (рис. 7.20) устанавливаются логические уровни сигнала на выводах 3 и 8 микросхемы 7476. Эти выводы связаны со входами \_\_\_\_\_ триггеров.
33. В схеме счетчика (рис. 7.20) на выводы 2 и 7 микросхемы 7476, связанные со входами \_\_\_\_\_ триггеров, нужно подать \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) логический уровень.

34. Неисправность микросхемы счетчика 7476 локализована у вывода с номером \_\_\_\_\_. На этом выводе действует \_\_\_\_\_, тогда как в исправном счетчике здесь должен быть **ВЫСОКИЙ** уровень.

### Основные результаты главы

1. Соединяя триггеры друг с другом, можно получить двоичные счетчики.
2. Счетчики могут быть асинхронными или синхронными. Асинхронные счетчики иногда называют счетчиками со сквозным переносом: они имеют более простую схемную реализацию по сравнению с синхронными счетчиками.
3. Модуль счетчика показывает, через какое число различных состояний проходит счетчик в процессе одного полного цикла счета. Например, для счетчика по модулю 5 полным циклом является последовательность двоичных чисел 000, 001, 010, 011, 100 (десятичные числа 0, 1, 2, 3, 4).
4. На выходе 4-разрядного двоичного счетчика индицируются 4 двоичных разряда; такой счетчик считает от 0000 до 1111 (от 0 до 15 в десятичной системе).
5. Добавляя к основной схеме триггеров в счетчике логические элементы, можно получать счетчики с дополнительными характеристиками. Можно, например, сделать счетчик, который прекращает счет (останавливается) на любом наперед заданном числе. Можно также изменять модуль счетчика.
6. Счетчики могут считать как в прямом, так и в обратном направлении.
7. Счетчики применяются в качестве делителей частоты. Они также широко используются для подсчета или упорядочения некоторых событий.
8. Промышленность выпускает большое число различных счетчиков в виде монолитных ИС, способных к автономной работе.
9. Глубокое понимание принципов работы цифровых схем и накопленный экспериментальный опыт – гарантия успеха при отыскании неисправностей этих схем. Логический пробник, вольтметр, логический монитор, генератор цифровых импульсов и осциллограф – ваши основные помощники при проверке последовательностей логических схем.

### Итоговые задания к изучаемой главе

1. Нарисуйте схему асинхронного счетчика по модулю 8. Используйте три JK-триггера. Изобразите тактовые импульсы на входе *CLK*. Нарисуйте выходной 3-разрядный индикатор (разряды – C, B, A; C – ССР).
2. Нарисуйте таблицу (аналогичную таблице на рис. 7.1), иллюстрирующую двоичную и десятичную счетные последовательности для счетчика по модулю 8 (из задания 1).
3. Нарисуйте временные диаграммы (аналогичные диаграммам, приведенным на рис. 7.2, б), показывающие 8 тактовых импульсов и сигналы на

- выходах ( $Q$ ) триггеров  $T_1$ ,  $T_2$  и  $T_3$  для счетчика по модулю 8 (из задания 1). Используйте триггеры, управляемые по срезу тактового импульса.
4. Преобразуйте счетчик по модулю 8 (из задания 1) в счетчик по модулю 5. Добавьте в схему первого счетчика логический элемент И-НЕ с двумя входами. Используйте входы CLR-, JK-триггеров.
  5. Более сложную схему реализации имеет \_\_\_\_\_ (асинхронный, синхронный) счетчик.
  6. Тактовые входы синхронных счетчиков соединены \_\_\_\_\_ (параллельно, последовательно).
  7. Нарисуйте схему асинхронного 4-разрядного вычитающего счетчика. В этом счетчике по модулю 16 используйте четыре JK-триггера. Укажите входные тактовые импульсы, вход  $PS$  и 4-разрядный выходной индикатор с разрядами  $D$ ,  $C$ ,  $B$  и  $A$ .
  8. Пусть асинхронный вычитающий счетчик (из задания 7) циклического типа. Назовите 3 двоичных числа, которые появятся на индикаторе вслед за числами: а) 0011; б) 0010; в) 0001.
  9. Преобразуйте 4-разрядный вычитающий счетчик (из задания 7) в счетчик, который считает от 1111 до 0000 и затем останавливается. Для реализации этой характеристики добавьте в схему первого счетчика логический элемент ИЛИ с 4 входами.
  10. По аналогии с рис. 7.12 нарисуйте структурную схему системы из двух счетчиков-делителей частоты, преобразующих входной сигнал с частотой 100 Гц в выходной сигнал с частотой 1 Гц. Введите соответствующие обозначения.
  11. Назовите несколько возможных применений счетчиков в качестве делителей частоты.
  12. Используйте рис. 7.13 для ответов на вопросы а-е по счетчику 7493.
    - а. Какова максимальная длина счетной последовательности для этого счетчика?
    - б. Микросхема 7493-\_\_\_\_\_ (асинхронный, синхронный) счетчик.
    - в. В каком состоянии должны находиться входы сброса микросхемы 7493 в режиме переключения?
    - г. Микросхема 7493-\_\_\_\_\_ (накапливающий, вычитающий) счетчик.
    - д. Микросхема 7493 содержит \_\_\_\_\_ триггеры (укажите число).
    - е. Какую функцию выполняет логический элемент И-НЕ в счетчике 7493?
  13. Используйте рис. 7.14 для ответов на вопросы а-е по счетчику 74192.
    - а. Какова максимальная длина счетной последовательности для этого счетчика?
    - б. Микросхема 74192-\_\_\_\_\_ (асинхронный, синхронный) счетчик.
    - в. Очистку счетчика инициирует входной сигнал логического (ой) \_\_\_\_\_ (0, 1).
    - г. Микросхема 74192-\_\_\_\_\_ (вычитающий, накапливающий, реверсивный) счетчик.
    - д. Как установить входы микросхемы 74192 в состояние 1001?
    - е. Как задать в микросхеме 74192 режим обратного счета?
  14. По аналогии с рис. 7.15,а нарисуйте схему применения счетчика 7493 в качестве 4-разрядного (по модулю 16) асинхронного счетчика. Используйте рис. 7.13.
  15. Во время действия импульса счетчик 74192 (рис. 7.22) находится в режиме \_\_\_\_\_ (очистки, прямого счета, загрузки).
  16. Какое двоичное число вы увидите на выходном индикаторе после каждого из 8 входных импульсов, показанных на рис. 7.22?

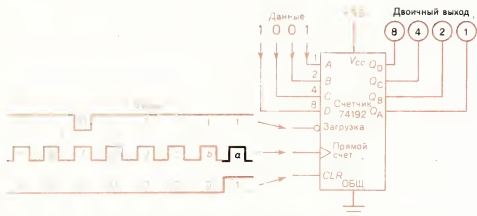


Рис. 7.22. Задача о последовательности импульсов на входе интегрального счетчика.

17. Назовите 5 контрольно-измерительных приборов, используемых при проверке и ремонте последовательностных цифровых логических схем.

#### Ответы к заданиям для самопроверки

1. 2 » с: 10
2. 4 » d: 01
3. Переключения » e: 00
4. Импульс a: 00 » f: 11
  - » b: 01
  - » c: 10
  - » d: 11
  - » e: 00
  - » f: 01
5. Асинхронного; декадным
6. Асинхронного; 5
7. Импульс a: 111, затем очистка к 000 перед импульсом b
  - » b: 001
  - » c: 010
  - » d: 011
  - » e: 100
  - » f: 000
8. Синхронным
9. Параллельно
10. Переключения
11. Всех триггеров
12. Переключения
13. Срезом
14. Только триггера T1
15. Импульс a: 00
  - » b: 11
16. Вычитающего
17. ВЫСОКИЙ; переключения
18. НИЗКИЙ; хранения
19. 1000 Гц
20. 2
21. 0000 (сброс)
22. 4; накапливающим
23. Декадный; синхронный
24. 5
25. ВЫСОКИЙ
26. Точка B: 200 Гц
  - » C: 100 Гц
  - » D: 50 Гц
27. 8
28. Последовательностными
29. Логический монитор
30. Одиночного импульса
31. ВЫСОКИЙ
32. Очистки
33. Предварительной установки счетчика (асинхронного); ВЫСОКИЙ
34. 7; плавающий потенциал

## Глава 8

### Регистры сдвига

Работу *регистра сдвига* (сдвигового регистра) можно наблюдать в некоторых микрокалькуляторах<sup>1)</sup>, где при наборе каждой новой цифры на клавиатуре числа на индикаторе сдвигаются влево. Например, для набора числа 268 нужно сделать следующее. Сначала нажимается и отпускается клавиша с цифрой 2. Цифра 2 появляется в крайней правой позиции на индикаторе. Затем нажимается и отпускается клавиша с цифрой 6. В результате цифра 2 на индикаторе сдвигается на одну позицию влево, а на ее месте в крайнем правом положении появляется цифра 6; на индикаторе высвечивается число 26. И наконец, после нажатия и отпускания клавиши с цифрой 8 на индикаторе появляется число 268. Данный пример иллюстрирует две важные характеристики регистра сдвига: 1) регистр сдвига — устройство, обладающее *временной памятью*, благодаря чему числа остаются на индикаторе даже при отпускании клавиши на клавиатуре калькулятора; 2) это устройство *сдвигает* числа на индикаторе на одну позицию влево каждый раз, когда набирается новая цифра. Такие свойства делают регистр сдвига исключительно полезным устройством, широко используемым во многих цифровых системах. В настоящей главе обсуждаются схемы некоторых регистров сдвига и принципы их работы.

Регистр сдвига можно получить, соединяя друг с другом несколько триггеров. В гл. 6 и 7 отмечалось, что триггеры обладают «памятью». Эта характеристика как раз и используется в регистрах сдвига. Вместо того чтобы собирать регистры сдвига из отдельных логических элементов или триггеров, можно приобрести эти устройства в виде монолитных ИС.

Регистры сдвига часто используются для временного хранения данных. На рис. 8.1 иллюстрируется типичный пример такого применения в цифровой системе. (С приведенной на рис. 8.1 структурной схемой мы уже встречались раньше, см. рис. 2.6.) Можно считать, что данная цифровая система представляет собой калькулятор. Обратите внимание на использование регистров сдвига в качестве времен-



Рис. 8.1. Цифровая система, использующая регистры сдвига.

<sup>1)</sup> Например, в популярном отечественном микрокалькуляторе «Электроника» МК-51. — Прим. перев.

ной буферной памяти между шифратором и процессором, а также между процессором и дешифратором. Их можно использовать и в других местах цифровой системы.

### 8.1. Последовательные регистры сдвига

Схема одного из наиболее типичных регистров сдвига показана на рис. 8.2. Этот регистр реализован на четырех D-триггерах. Такой регистр называется *4-разрядным регистром сдвига*, поскольку он позволяет хранить 4 двоичных разряда данных: *A*, *B*, *C*, *D*.

С помощью табл. 8.1 и рис. 8.2 проследим за работой этого устройства. Сначала очистим регистр (установим уровни логического 0 на его выходах *A*, *B*, *C*, *D*). Для этого нужно подать логический 0 на вход очистки *CLR*. Полученному состоянию регистра сдвига соответствует строка 1 табл. 8.1. До прихода тактового импульса выходы регистра остаются в состоянии 0000<sup>1)</sup>. Подадим первый импульс на синхронизирующий вход *CLK*; индикатор покажет число 1000 (строка 3 табл. 8.1), поскольку на тактовом импульсе логическая 1 с информационного входа триггера *TA* переносится на его выход *Q*. Теперь при наличии логической 1 на информационном входе регистра эта единица с каждым тактовым импульсом вводится в разряд *A*, а введенные ранее единицы сдвигаются на одну позицию (разряд) вправо (тактовые импульсы 2 и 3; табл. 8.1). Точно так же при подаче на информационный вход логического 0 этот нуль при каждом тактовом импульсе вводится в разряд *A*,

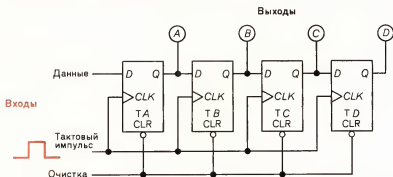


Рис. 8.2. 4-разрядный последовательный регистр сдвига на D-триггерах.

а введенные ранее единицы и нули сдвигаются вправо (тактовые импульсы 4–8, см. табл. 8.1). Перед приходом тактового импульса 9 на информационном входе устанавливается 1, а перед приходом импульса 10 этот вход возвращается к 0. В результате во время действия тактовых импульсов 9–13 введенная в регистр (на импульсе 9) единица будет смещаться на индикаторе вправо. Строка 15 табл. 8.1 по-

<sup>1)</sup> Независимо от состояний информационного входа *D* и входа очистки регистра (см. строки 1 и 2 табл. 8.1).—Прим. перев.



Таблица 8.1. Работа 4-разрядного регистра сдвига

Номер строки	Входы			Выходы			
	Очистка	Данные	Номер тактового импульса	ТА А	ТВ В	ТС С	ТД D
1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0
3	1	1	1	1	0	0	0
4	1	1	2	1	1	0	0
5	1	1	3	1	1	1	0
6	1	0	4	0	1	1	1
7	1	0	5	0	0	1	1
8	1	0	6	0	0	0	1
9	1	0	7	0	0	0	0
10	1	0	8	0	0	0	0
11	1	1	9	1	0	0	0
12	1	0	10	0	1	0	0
13	1	0	11	0	0	1	0
14	1	0	12	0	0	0	1
15	1	0	13	0	0	0	0

казывает, что на импульсе 13 эта единица покидает крайний правый разряд регистра сдвига и теряется.

Напомним, что D-триггер называют также *триггером с задержкой*. Он просто передает информационный сигнал с входа D на выход Q с задержкой на один такт.

Устройство, схема которого приведена на рис. 8.2, называется *последовательным*<sup>1)</sup> *регистром сдвига*. Термин «последовательный» отражает тот факт, что в этот регистр данные вводятся поразрядно. Например, чтобы ввести в регистр двоичную комбинацию 0111, нужно пройти всю последовательность состояний от строки 1 до строки 6 в табл. 8.1. Последовательная загрузка 4-битовой комбинации 0111 в последовательный регистр сдвига осуществляется за 5 тактов (строку 2 можно исключить). Как видно из табл. 8.1 (строки 10–14), за 5 тактов осуществляется и загрузка комбинации 0001.

<sup>1)</sup> Точнее, оно называется «последовательно загружаемым» (serial load). В отечественной научно-технической литературе используется термин, приведенный в тексте. — Прим. перев.

Последовательный  
регистр сдвига

Последовательная за-  
грузка

Параллельная за-  
грузка

Расширенная загрузка

Другой способ загрузки регистра – *параллельная* (или *расширенная*) загрузка, при которой все информационные биты (разряды) вводятся в регистр одновременно «по команде» одного тактового импульса. Примером параллельного регистра является рассмотренный в гл. 6 4-разрядный фиксатор 7475. Все 4 бита двоичной комбинации загружаются в этот фиксатор при наличии **ВЫСОКОГО** уровня на разрешающем входе (аналогичном синхронизирующему входу).

Регистр сдвига на рис. 8.2 можно трансформировать в 5-разрядный, добавив в схему еще один D-триггер. Регистры сдвига обычно бывают 4-, 5- или 8-разрядными. В них можно использовать не только D-триггеры, но и триггеры другого типа (например, JK-триггеры или тактируемые RS-триггеры).

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

1. На рис. 8.3 приведена схема \_\_\_\_\_ (параллельного, последовательного) регистра сдвига вправо.
2. Каким будет содержимое регистра на рис. 8.3 после каждого из 6 тактовых импульсов (A – крайний левый разряд, C – крайний правый разряд)?



Рис. 8.3. Задача о последовательности импульсов на входах регистра сдвига.

3. На каком тактовом импульсе в последовательный регистр сдвига на рис. 8.3 загружается \_\_\_\_\_ (3-разрядная двоичная комбинация, один бит информации)?

## 8.2. Параллельные регистры сдвига

Последовательный регистр сдвига, с работой которого мы познакомились в предыдущем разделе, обладает двумя недостатками: он позволяет вводить только по одному биту

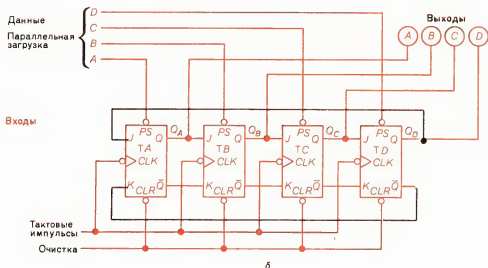
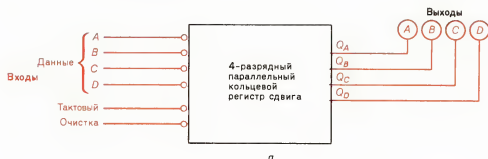


Рис. 8.4. 4-разрядный параллельный кольцевой регистр сдвига.  
а — структурная схема; б — логическая схема.

информации на каждом тактовом импульсе и, кроме того, каждый раз при сдвиге информации в регистре вправо теряется крайний правый информационный бит. На рис. 8.4, а показана система, которая позволяет осуществлять одновременную параллельную загрузку 4 бит информации. Входы A, B, C, D в этом устройстве являются информационными входами. Эту систему можно снабдить еще одной полезной характеристикой — возможностью кольцевого перемещения информации, когда данные с выхода устройства возвращаются на его вход и не теряются.

Схема 4-разрядного параллельного<sup>1)</sup> кольцевого регистра сдвига показана на рис. 8.4, б. В этом регистре сдвига используются четыре JK-триггера. Обратите внимание на цепь обратной связи с выходов Q и  $\bar{Q}$  триггера TD на входы

<sup>1)</sup> Точнее — «параллельно загружаемого» регистра (см. примечание на стр. 193). — Прим. перев.

*J* и *K* триггера *ТА*. Благодаря этой цепи обратной связи введенная в регистр информация, которая обычно теряется на выходе триггера *ТD*, будет циркулировать по регистру сдвига. Сигналом очистки регистра (установки его выходов в состояние 0000) является уровень логического 0 на входе *CLR*. Входы параллельной загрузки данных *A*, *B*, *C* и *D* связаны со входами предварительной установки триггеров (*PS*), что позволяет устанавливать уровень логической 1 на любом выходе (*A*, *B*, *C*, *D*). Если на один из этих входов даже кратковременно подать логический 0, то на соответствующем выходе будет установлена логическая 1. Подача тактовых импульсов на входы *CLK* всех JK-триггеров приводит к сдвигу информации в регистре вправо. Из триггера *ТD* данные передаются в триггер *ТА* (кольцевое перемещение информации).

Таблица 8.2. Работа 4-разрядного параллельного кольцевого регистра сдвига

Входы							Выходы			
Номер строки	Очистка	Параллельная загрузка данных				Номер тактового импульса	ТА	ТВ	ТС	ТD
		А	В	С	D		А	В	С	D
1	1	1	1	1	1	0	1	1	1	0
2	0	1	1	1	1	0	0	0	0	0
3	1	1	0	1	1	0	0	1	0	0
4	1	1	1	1	1	1	0	0	1	0
5	1	1	1	1	1	2	0	0	0	1
6	1	1	1	1	1	3	1	0	0	0
7	1	1	1	1	1	4	0	1	0	0
8	1	1	1	1	1	5	0	0	1	0
9	0	1	1	1	1		0	0	0	0
10	1	1	0	0	1		0	1	1	0
11	1	1	1	1	1	6	0	0	1	1
12	1	1	1	1	1	7	1	0	0	1
13	1	1	1	1	1	8	1	1	0	0
14	1	1	1	1	1	9	0	1	1	0
15	1	1	1	1	1	10	0	0	1	1

Табл. 8.2 поможет вам понять принцип работы параллельного регистра сдвига. При включении питания на выходах регистра может установиться любая двоичная комбинация.

ция, такая, например, как в строке 1 табл. 8.2. Подача логического 0 на входы *CLR* триггеров инициирует очистку регистра (строка 2). Далее (строка 3) осуществляется загрузка в регистр двоичной комбинации 0100. Последовательные тактовые импульсы вызывают сдвиг введенной информации вправо (строки 4–8). Обратите внимание на строки 5 и 6: единица из крайнего правого триггера *TD* переносится в крайний левый триггер *TA*. В данном случае можно говорить о кольцевом перемещении единицы в регистре.

Далее (строка 9) вновь инициируется очистка регистра с помощью входа *CLR*. Загружается новая двоичная комбинация 0110 (строка 10). Подача 5 тактовых импульсов (строки 11–15) приводит к кольцевому сдвигу информации на 5 позиций вправо. Обратите внимание, что для возвращения данных в исходное состояние требуется 4 тактовых импульса. Если в регистре сдвига на рис. 8.4,б разорвать петлю обратной связи, то мы получим обычный параллельный регистр сдвига: возможность кольцевого перемещения информации будет исключена.

#### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

4. На рис. 8.5 показана схема \_\_\_\_\_ (последовательного, параллельного) кольцевого регистра сдвига вправо.
5. Назовите режим работы регистра сдвига, показанного на рис. 8.5, во время действия каждого из 8 тактовых импульсов. При ответе используйте термины: «очистка», «параллельная загрузка», «сдвиг вправо».

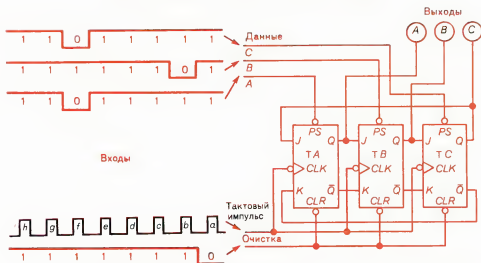


Рис. 8.5. Задача о последовательности импульсов на входах регистра сдвига.

6. Определите содержимое регистра на рис. 8.5 сразу же после прохождения каждого из 8 тактовых импульсов (А – крайний левый разряд, С – крайний правый разряд).

### 8.3. Универсальный регистр сдвига

Просматривая справочники по цифровым микросхемам, вы обнаружите, что промышленность выпускает много различных регистров сдвига в виде однокорпусных ИС. В этом разделе мы рассмотрим одну из таких ИС, а именно микросхему 74194 – 4-разрядный двунаправленный универсальный регистр сдвига.

Микросхема 74194 –  
4-разрядный двуна-  
правленный универ-  
сальный регистр  
сдвига

Микросхема 74194 – многоцелевой регистр сдвига, обладающий различными (в том числе рассмотренными выше) характеристиками, способный сдвигать информацию и вправо, и влево. Допускается как последовательная, так и параллельная загрузка данных. Путем каскадного соединения нескольких микросхем 74194 можно получать 8-разрядные регистры сдвига или регистры с еще большим числом разрядов. И наконец, этот регистр можно приспособить для кольцевого перемещения информации.

Схемы и таблицы для регистра сдвига 74194, предоставленные фирмой Signetics, приведены на рис. 8.6. Прочитайте приводимое ниже описание регистра сдвига 74194, для того чтобы ясно представить себе возможности этого устройства.

#### Описание

Этот двунаправленный регистр сдвига объединяет в себе все возможные характеристики регистров сдвига, которые могут понадобиться разработчику цифровых систем. Сложность схемы – 45 эквивалентных вентилей. Регистр имеет параллельные входы, параллельные выходы, последовательные входы сдвига вправо и влево, входы задания режима (управляющие входы) и цепь прямой очистки регистра. Возможны 4 режима работы данного регистра:

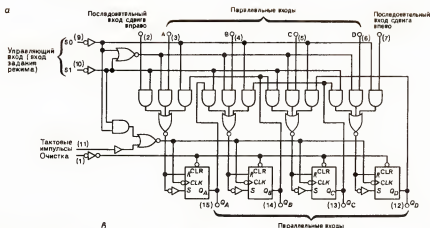
- Параллельная (расширенная) загрузка.
- Сдвиг вправо (в направлении от  $Q_A$  к  $Q_D$ ).
- Сдвиг влево (в направлении от  $Q_D$  к  $Q_A$ ).
- Блокировка.

Синхронная параллельная загрузка осуществляется путем подачи 4 разрядов данных на параллельные входы и установки сигнала ВЫСОКОГО уровня на обоих управляющих входах  $S_0$  и  $S_1$ . Данные загружаются в соответствующие триггеры и появляются на выходах после прохождения фронта тактового импульса. Во время загрузки последовательное перемещение данных запрещено.

Сдвиг вправо осуществляется синхронно с прохождением фронта тактового импульса при установке на входе  $S_0$  сигнала ВЫСОКОГО, а на входе  $S_1$  сигнала НИЗКОГО уровней. В этом режиме данные в последовательной форме поступают на вход сдвига вправо. При установке на управляющем входе  $S_0$  сигнала НИЗКОГО, а на входе  $S_1$  сигнала ВЫСОКОГО уровней данные синхронно сдвигаются влево, а новые данные поступают на последовательный вход сдвига влево.

Режим блокировки реализуется при подаче на оба управляющих входа сигнала НИЗКОГО уровня. Режим работы микросхемы S54194/N74194 следует изменять только при ВЫСОКОМ уровне тактового импульса.

Схема регистра 74194 показана на рис. 8.6, а. Поскольку



в



Очистка	Входы		Тактовый импульс	Последовательные		Параллельные				Выходы			
	Режим	С1	С0	Влево	Вправо	A	B	C	D	QA	QB	QC	QD
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QA0	QB0	QC0
H	L	H	↑	X	L	X	X	X	X	L	QA0	QB0	QC0
H	H	L	↑	H	X	X	X	X	X	QA0	QB0	QC0	H
H	H	L	↑	L	X	X	X	X	X	QA0	QB0	QC0	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

г

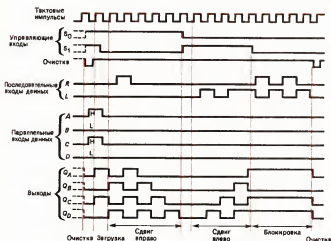


Рис. 8.6. 4-разрядный универсальный регистр сдвига (микросхема 74194).

а – структурная схема; б – схема расположения выводов; в – таблица истинности; г – временные диаграммы сигналов (приведены типичные последовательности очистки, сдвига и загрузки).

Ионные обозначения: Н – ВЫСОКИЙ уровень (стационарное состояние); L – НИЗКИЙ уровень (стационарное состояние); x – любое состояние (любой входной сигнал, включая переходы); ↑ – переход от НИЗКОГО уровня к ВЫСОКОМУ; a, b, c, d – уровни стационарных входных сигналов на входах A, B, C и D соответственно; QA0, QB0, QC0, QD0 – соответственно уровни QA, QB, QC, QD до установки указанных стационарных состояний на входах; QA0', QB0', QC0', QD0' – соответственно уровни QA, QB, QC, QD перед началом прохождения фронта самого последнего тактового импульса.

это 4-разрядный регистр, он содержит 4 триггера. Для реализации разнообразных возможностей этого универсального регистра необходимы дополнительные логические элементы. Схема расположения выводов рассматриваемого регистра сдвига, приведенная на рис. 8.6, б, поможет вам определить назначение каждого вывода. Естественно, что эта схема совершенно необходима при практическом использовании данного регистра сдвига.

#### Режимы работы

Таблица истинности и временные диаграммы напряжений на рис. 8.6, в и г дают подробную информацию о работе регистра 74194. Они иллюстрируют режимы очистки, загрузки, сдвига вправо, сдвига влево и блокировки. При реальном использовании универсального регистра сдвига 74194 вам предоставится случай более внимательно ознакомиться с таблицей истинности и временными диаграммами напряжений.

#### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

- Назовите 5 режимов работы универсального регистра сдвига 74194.
- Если на оба управляющих входа ( $S_0$ ,  $S_1$ ) регистра 74194 (рис. 8.6) подан сигнал ВЫСОКОГО уровня, регистр находится в режиме \_\_\_\_\_.
- Если на оба управляющих входа ( $S_0$ ,  $S_1$ ) регистра 74194 (рис. 8.6) подан сигнал НИЗКОГО уровня, регистр находится в режиме \_\_\_\_\_.
- Сдвиг данных вправо в регистре 74194 (рис. 8.6) осуществляется на \_\_\_\_\_ (фронте, срезе) тактового импульса, когда на входе  $S_0$  установлен сигнал \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня, а на входе  $S_1$  сигнал — \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня.

### 8.4. Применение регистра сдвига 74194

#### Микросхема 74194 Последовательный регистр сдвига вправо

В этом разделе мы обсудим несколько способов использования универсального регистра сдвига 74194. На рис. 8.7, а и б показано применение микросхемы 74194 в качестве последовательного регистра. *Последовательный регистр сдвига вправо* показан на рис. 8.7, а. Он работает точно так же, как последовательный регистр сдвига, рассмотренный в разд. 8.1 (рис. 8.2). Табл. 8.1 можно использовать для описания состояний этого нового регистра. Чтобы микросхема 74194 работала в режиме сдвига вправо, управляющие входы (входы задания режима)  $S_0$  и  $S_1$  должны находиться в указанных на рис. 8.7, а состояниях ( $S_0 = 1$ ,  $S_1 = 0$ ). Сдвиг вправо определяется как сдвиг от  $Q_A$  к  $Q_D$ . Регистр на рис. 8.7, а сдвигает данные вправо, на выходе  $Q_D$  они теряются.



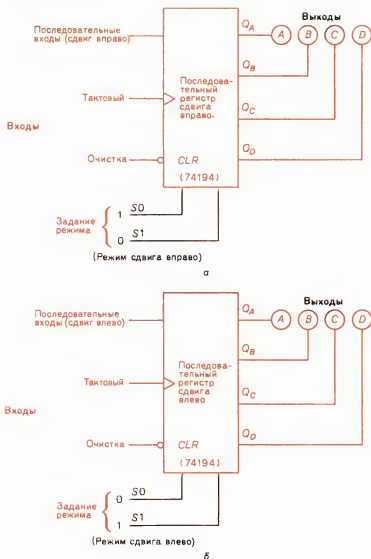


Рис. 8.7.

а — использование микросхемы 74194 в качестве 4-разрядного последовательного регистра сдвига вправо;  
 б — использование микросхемы 74194 в качестве 4-разрядного последовательного регистра сдвига влево.

На рис. 8.7,б показано несколько иное использование той же микросхемы. Во-первых, данные поступают на последовательный вход сдвига влево и, во-вторых, изменены состояния управляющих входов. В такой регистр на каждом тактовом импульсе данные вводятся в разряд D (выход Q<sub>D</sub>) и сдвигаются по направлению к разряду A (выход Q<sub>A</sub>). Мы получаем *последовательный регистр сдвига влево* (без кольцевого перемещения информации).

На рис. 8.8 показано использование микросхемы 74194

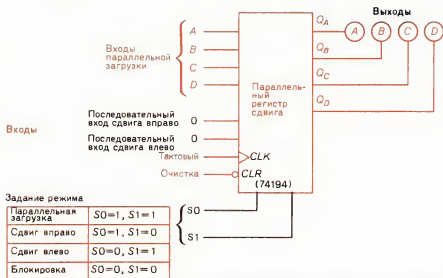


Рис. 8.8. Использование микросхемы 74194 в качестве двунаправленного параллельного регистра сдвига.

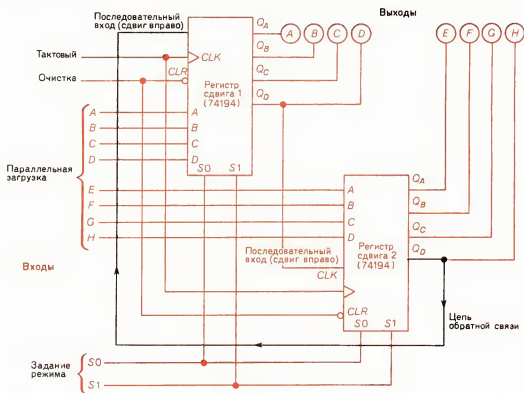


Рис. 8.9. Использование микросхемы 74194 в качестве 8-разрядного параллельного регистра сдвига вправо.

Параллельный двунаправленный регистр сдвига

в качестве *параллельного двунаправленного регистра сдвига* (как вправо, так и влево). Данные загружаются в этот регистр со входов параллельной загрузки *A*, *B*, *C* и *D*. На одном тактовом импульсе вводятся все 4 бита; введенная информация сразу же появляется и на индикаторе. Загрузка осуществляется только в том случае, когда на оба управляющих входа (*S0*, *S1*) подан уровень логического 1. Состояние управляющих входов можно затем изменить для реализации одного из трех режимов: сдвига вправо, сдвига влево или блокировки. На обоих последовательных входах (сдвига вправо и сдвига влево) установлен уровень логического 0 для засылки в регистр нулей в режимах сдвига вправо или влево. При *S0* = 0 и *S1* = 0 (режим блокировки) данные в регистре не сдвигаются ни вправо, ни влево, а остаются в своих прежних позициях. При использовании микросхемы 74194 нужно всегда помнить о состояниях управляющих входов, поскольку они контролируют работу всего регистра. Очистка регистра (установка в состояние 0000) инициируется подачей логического 0 на вход *CLR*. При этом блокируется действие всех остальных входов.

8-разрядный параллельный регистр сдвига вправо

На рис. 8.9 показан *8-разрядный параллельный регистр сдвига вправо*, собранный из двух микросхем 74194. Вход *CLR* используется для установки выходов регистра в состояние 0000 0000 (очистки регистра). Входы параллельной загрузки (*A*–*H*) позволяют вводить в регистр 8 бит информации на одном тактовом импульсе (состояние управляющих входов: *S0* = 1, *S1* = 1). При *S0* = 1 и *S1* = 0 (режим сдвига вправо) регистр сдвигает данные на одну позицию вправо на каждом такте. Обратите внимание на цепь обратной связи, идущую от выхода *H* (выход *Q<sub>D</sub>* регистра 2) на последовательный вход сдвига вправо регистра 1. Благодаря этой цепи обратной связи данные, которые в обычном регистре теряются на выходе *H*, возвращаются в разряд *A* регистра. При *S0* = 0 и *S1* = 0 регистр находится в режиме блокировки (данные не сдвигаются).

Как вы только что видели, микросхема 74194, представляющая собой 4-разрядный двунаправленный универсальный регистр сдвига, является многофункциональным устройством. Мы рассмотрели лишь несколько примеров использования этой микросхемы. Напомним еще раз, что во всех регистрах сдвига используется триггерная память. Регистры сдвига часто применяются в качестве буферных запоминающих устройств для временного хранения данных; их можно, кроме того, использовать для преобразования данных из параллельной формы в последовательную и наоборот или для задержки информационных сигналов (как линии задержки). Регистры сдвига, подобные рассмотренным в настоящей главе, входят также в состав схем, реализующих некоторые арифметические операции, и очень широко используются в микропроцессорах и микропроцессорных системах.

## Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

11. Универсальный регистр сдвига 74194 находится в режиме параллельной загрузки данных, когда на обоих управляющих входах ( $S_0$ ,  $S_1$ ) установлен сигнал \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) уровня. Четыре информационных бита на входах параллельной загрузки вводятся в регистр при подаче на синхронизирующий вход (укажите число) \_\_\_\_\_ тактового импульса (тактовых импульсов).
12. Если на оба управляющих входа ( $S_0$ ,  $S_1$ ) регистра 74194 поданы сигналы НИЗКОГО уровня, регистр находится в режиме \_\_\_\_\_.
13. Универсальный регистр 74194 находится в режиме сдвига вправо при  $S_0 =$  \_\_\_\_\_ и  $S_1 =$  \_\_\_\_\_. При этом данные вводятся в регистр с \_\_\_\_\_ входа \_\_\_\_\_.
14. Обратимся к рис. 8.8. При  $S_0 = 1$ ,  $S_1 = 1$ , логической 1 на последовательном входе сдвига влево и логическом 0 на входе очистки выходы регистра устанавливаются в состояние \_\_\_\_\_.

Проверка простого регистра сдвига

## 8.5. Проверка простого регистра сдвига

Представьте себе, что перед вами поставлена задача найти неисправность в последовательном регистре сдвига (вправо), схема которого приведена на рис. 8.10. Этот 4-разрядный регистр собран из двух микросхем 7474 (по два D-триггера в каждой).

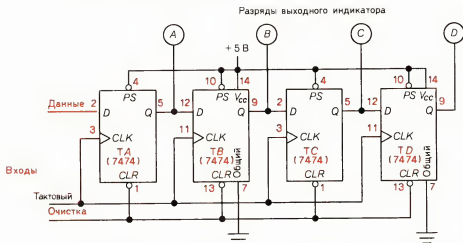


Рис. 8.10. Схема проверяемого 4-разрядного последовательного регистра сдвига вправо.

Для решения этой задачи после проверки на отсутствие явных механических повреждений и нарушений температурного режима нужно выполнить приводимую ниже последовательность проверочных операций.

1. *Операция.* Устанавливаем 0 на входе очистки и затем возвращаем этот вход к 1.  
*Результат.* На выходном индикаторе: 0000.  
*Вывод.* Цепь очистки регистра исправна.
2. *Операция.* Устанавливаем 1 на информационном входе ( $D = 1$ ). Подаем одиночный импульс на синхронизирующий вход регистра от генератора цифровых импульсов.  
*Результат.* На выходном индикаторе: 1000.  
*Вывод.* Загрузка 1 в триггер ТА осуществляется должным образом.
3. *Операция.*  $D = 1$   
Подаем одиночный импульс на синхронизирующий вход регистра от генератора цифровых импульсов.  
*Результат.* На выходном индикаторе: 1100.  
*Вывод.* Загрузка «единиц» в триггеры ТА и ТВ осуществляется должным образом.
4. *Операция.*  $D = 1$ .  
Подаем одиночный импульс на синхронизирующий вход регистра от генератора цифровых импульсов.  
*Результат.* На выходном индикаторе: 1110.  
*Вывод.* Загрузка «единиц» в триггеры ТА, ТВ и ТС осуществляется должным образом.
5. *Операция.*  $D = 1$   
Подаем одиночный импульс на синхронизирующий вход регистра от генератора цифровых импульсов.  
*Результат.* На выходном индикаторе: 1110.  
*Вывод.* Неисправность следует искать вблизи или в самом триггере TD, так как он не загружается «единицей».
6. *Операция.* Логическим пробником проверяем вход D триггера TD (действительно ли  $D = 1$ ).  
*Результат.*  $D = 1$  для триггера TD.  
*Вывод.* На информационном входе D триггера TD действует требуемый ВЫСОКИЙ уровень сигнала.
7. *Операция.* Подаем одиночный импульс от генератора цифровых импульсов на синхронизирующий вход триггера TD (вывод 11 микросхемы 7474).  
*Результат.* На выходном индикаторе: 1110.  
*Вывод.* Информационный сигнал со входа D триггера TD не переносится на его выход Q с приходом тактового импульса.
8. *Операция.* Логическим пробником проверяется выход Q триггера TD (вывод 9).

*Результат.* Отсутствует свечение как индикатора ВЫСОКОГО, так и индикатора НИЗКОГО уровня сигнала.

*Вывод.* На выходе  $Q$  триггера  $TD$  (вывод 9) имеет место плавающий потенциал в неопределенной области между ВЫСОКИМ и НИЗКИМ уровнями сигнала. По-видимому, неисправен триггер  $TD$  во второй микросхеме 7474.

9. *Операция.* Заменяем вторую микросхему 7474 (триггеры  $TC$  и  $TD$ ) точно такой же ИС.

10. *Операция.* Повторяем всю последовательность проверок, начиная с операции 1.

*Результат.* Все триггеры загружаются «единицами» и «нулями».

*Вывод.* Регистр сдвига теперь исправен.

В соответствии с проведенной последовательностью проверок сначала могло показаться, что выход  $Q$  триггера  $TD$  «залипает» в состоянии НИЗКОГО уровня, хотя, как выяснилось позже, на самом деле этот выход «плавает» между ВЫСОКИМ и НИЗКИМ уровнями сигнала. Отсюда следует, что сделанный нами вывод на шаге 1 был неверным; неисправность обусловлена разрывом цепи внутри второй микросхемы 7474. Как и в предыдущих случаях, понимание принципов работы схемы и проведенные проверки помогли локализовать неисправность. Быстро провести проверку удалось благодаря использованию логического пробника и генератора цифровых импульсов.

В некоторых случаях специалист точно не уверен, какой именно логический уровень сигнала должен действовать на данном выводе микросхемы. В схемах, составленных из большого числа повторяющихся модулей (а таковыми являются почти все цифровые схемы), можно осуществлять проверку по принципу сравнения логических уровней на соответствующих выходах этих модулей. Так, в рассмотренной выше простейшей схеме регистра сдвига (рис. 8.10) можно было бы сравнить показания приборов на входах (или выходах) триггеров  $TA$  и  $TB$  и триггеров  $TC$  и  $TD$ . Это упрощает проверку цифровых схем.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

15. Опишите наблюдаемую неисправность схемы на рис. 8.10.
16. В чем причина неисправности схемы на рис. 8.10?
17. Как устранить неисправность схемы на рис. 8.10?
18. Какие контрольно-измерительные приборы можно использовать для проверки этого регистра сдвига?

## Основные результаты главы

1. Соединяя триггеры друг с другом, можно получать регистры сдвига.
2. Регистры сдвига обладают памятью и способны сдвигать введенную в них информацию.
3. Последовательный регистр сдвига позволяет вводить на каждом тактовом импульсе только 1 бит информации.
4. Параллельный регистр сдвига позволяет вводить все информационные биты одновременно.
5. В кольцевом регистре данные передаются с выхода на вход регистра.
6. Регистры сдвига способны сдвигать информацию как вправо, так и влево.
7. Промышленность выпускает большое число многоцелевых универсальных регистров сдвига.
8. Регистры сдвига широко используются в качестве временной буферной памяти и для сдвига информации. Они находят и другие применения в электронных цифровых системах.

## Итоговые задания к изучаемой главе

1. Нарисуйте схему 5-разрядного последовательного регистра сдвига вправо. Используйте пять D-триггеров. Обозначьте входы: «Данные», *CLK* и *CLR*. Обозначьте выходы *A*, *B*, *C*, *D* и *E*. Полученная схема будет похожа на схему регистра на рис. 8.2.
2. Объясните, как можно очистить (установить в состояние 00000) 5-разрядный регистр сдвига из задания 1.
3. Объясните, как можно ввести (загрузить) двоичную комбинацию 10000 в 5-разрядный регистр сдвига (из задания 1) после его очистки.
4. Объясните, как можно ввести (загрузить) двоичную комбинацию 00111 в 5-разрядный регистр сдвига (из п. 1) после его очистки.
5. Еще раз обратимся к регистру сдвига из задания 1. Определите содержимое этого регистра после прохождения тактовых импульсов, указанных ниже в п. б–д. Предполагается, что на информационном входе регистра установлен 0.
  - а. Исходное состояние выхода: 01001 ( $A = 0$ ,  $B = 1$ ,  $C = 0$ ,  $D = 0$ ,  $E = 1$ ).
  - б. После одного тактового импульса: \_\_\_\_\_.
  - в. После двух тактовых импульсов: \_\_\_\_\_.
  - г. После трех тактовых импульсов: \_\_\_\_\_.
  - д. После четырех тактовых импульсов: \_\_\_\_\_.
6. Обратимся к табл. 8.1. Предположим, что в строках 12–15 на информационном входе (столбец «Данные») оставлена 1. Определите состояния выходов последовательного регистра сдвига, которые нужно было бы занести в таблицу при этих условиях.
  - а. Строка 12: \_\_\_\_\_.
  - б. Строка 13: \_\_\_\_\_.
  - в. Строка 14: \_\_\_\_\_.
  - г. Строка 15: \_\_\_\_\_.
7. Обратимся к табл. 8.2. В параллельном регистре сдвига, реализованном на JK-триггерах





13. Назовите режим работы универсального регистра сдвига 74194 (рис. 8.11) во время действия каждого из 8 тактовых импульсов. Используйте термины: «очистка», «блокировка», «сдвиг вправо», «сдвиг влево», «параллельная загрузка».
14. Определите содержимое регистра на рис. 8.11 после прохождения каждого из 8 тактовых импульсов (*A* – крайний левый разряд, *D* – крайний правый разряд).

### Ответы к заданиям для самопроверки

1. Последовательного.
2. После импульса *a*: 000  
*b*: 100  
*c*: 010  
*d*: 001  
*e*: 000  
*f*: 100
3. Один бит информации
4. Параллельного
5. Импульс *a*: очистка  
*b*: параллельная загрузка  
*c*: сдвиг вправо  
*d*: сдвиг вправо  
*e*: сдвиг вправо  
*f*: параллельная загрузка  
*g*: сдвиг вправо  
*h*: сдвиг вправо
6. После импульса *a*: 000  
*b*: 010  
*c*: 001  
*d*: 100  
*e*: 010  
*f*: 101  
*g*: 110  
*h*: 011
7. 1. Очистка  
2. Параллельная загрузка  
3. Сдвиг вправо  
4. Сдвиг влево  
5. Блокировка  
8. Параллельной загрузки  
9. Блокировки
10. Фронт; НИЗКОГО, ВЫСОКОГО
11. ВЫСОКИЙ; одного
12. Блокировки
13. 1, 0; последовательного; сдвига вправо
14. 0000 (очистки)
15. Логическая 1 не сдвигается в позицию (разряд) *D*
16. На выходе *Q* (вывод 9) триггера *TD* имеет место плавающий потенциал; в микросхеме 7474 неисправны триггеры *TC* и *TD*.
17. Необходимо заменить микросхему 7474 (триггеры *TC* и *TD*) новой
18. Генератор цифровых импульсов, логический пробник

# Глава 9

## Арифметические устройства

Сейчас уже трудно представить себе нашу жизнь без ЭВМ и калькуляторов. Более всего поражает способность этих «умных» машин с фантастической скоростью и точностью выполнять арифметические операции. В данной главе рассматриваются логические схемы, которые способны реализовывать операции *сложения и вычитания*. (Само собой разумеется, что эти операции выполняются над двоичными числами.) Суммагоры и вычитатели можно получить, соединяя друг с другом обычные логические элементы.

Сложение двоичных чисел

### 9.1. Двоичное сложение

Напомним, что крайний левый разряд двоичного числа, такого, например, как 101011, называют самым старшим разрядом (ССР), а крайний правый разряд — самым младшим разрядом (СМР). Напомним также, что разряды представленного двоичного числа в порядке возрастания старшинства (справа налево) имеют веса: 1, 2, 4, 8, 16 и 32 (разряд единиц, разряд двоек, разряд четверок и т.д.).

Вы, вероятно, еще не забыли, как изучали в школе таблицы сложения и вычитания. Это была довольно трудная задача, поскольку в десятичной системе счисления так много различных комбинаций. В данном разделе мы будем иметь дело с гораздо более простой задачей сложения двоичных чисел. Поскольку в двоичных числах присутствуют только две цифры (1 и 0), таблица сложения исключительно проста. Она приведена на рис. 9.1,а. Как и в случае сложения десятичных чисел, три первых результата очевидны. Что же касается последней задачи (1 + 1), то при сложении десятичных чисел в данном случае в ответе получилось бы число 2. В двоичной системе 2 записывается как 10. Таким образом, при двоичном сложении  $1 + 1 = 0$  плюс *перенос 1* в соседний старший двоичный разряд.

На рис. 9.1,б приведено несколько примеров сложения («столбиком») двоичных чисел. Рядом (справа) складываются соответствующие десятичные числа, так что вы можете проверить свои способности в двоичном сложении. Первый пример — сложение двоичных чисел 101 и 10; в результате получается 111 (десятичное число 7). При этом непосредственно используются правила сложения из таблицы на рис. 9.1,а. Второй пример (рис. 9.1,б) — сложение двоичных чисел 1010 и 11. Здесь вы должны учесть, что  $1 + 1 = 0$

$$\begin{array}{r}
 0 \\
 +0 \\
 \hline
 0
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 +0 \\
 \hline
 1
 \end{array}
 \quad
 \begin{array}{r}
 0 \\
 +1 \\
 \hline
 1
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 +1 \\
 \hline
 1
 \end{array}
 \quad \text{Перенос } 1$$

а

$$\begin{array}{r}
 101 \\
 +10 \\
 \hline
 111
 \end{array}
 \quad
 \begin{array}{r}
 5 \\
 +2 \\
 \hline
 7
 \end{array}
 \quad
 \begin{array}{r}
 1010 \\
 +11 \\
 \hline
 1101
 \end{array}
 \quad
 \begin{array}{r}
 10 \\
 +3 \\
 \hline
 13
 \end{array}
 \quad
 \begin{array}{r}
 111010 \\
 +1100 \\
 \hline
 100110
 \end{array}
 \quad
 \begin{array}{r}
 26 \\
 +12 \\
 \hline
 38
 \end{array}$$

б

Рис. 9.1.

б

а — таблица двоичного сложения; б — примеры на двоичное сложение.

в разряде двоек плюс перенос 1 в разряд четверок (на это указывает стрелка «Перенос»). В результате получается 1101 (десятичное число 13). В третьем примере на рис. 9.1, б двоичное число 11010 прибавляется к числу 1100. Два раза 1 переносится в соседние старшие разряды; ответ: 100110 (десятичное число 38).

Еще один пример на сложение двоичных чисел представлен на рис. 9.2, а. Решение выглядит простым, пока мы не дойдем до разряда двоек, где нужно найти двоичную сумму  $1 + 1 + 1$ . В десятичной системе счисления эта сумма равна 3, что соответствует двоичному числу 11. Этот случай не отражен в таблице сложения на рис. 9.1, а. Если вы внимательно посмотрите на рис. 9.2, то увидите, что сумма  $1 + 1 + 1$  может возникнуть в любом разряде, исключая разряд единиц. Таким образом, таблица сложения на рис. 9.1, а справедлива только для разряда единиц. В новую (сокращенную) таблицу сложения на рис. 9.2, б включена еще одна возможная комбинация  $1 + 1 + 1$ . Эта таблица справедлива

$$\begin{array}{r}
 111 \\
 +111 \\
 \hline
 1110
 \end{array}
 \quad
 \begin{array}{r}
 3 \\
 +3 \\
 \hline
 6
 \end{array}$$

а

$$\begin{array}{r}
 0 \\
 +0 \\
 \hline
 0
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 +0 \\
 \hline
 1
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 +1 \\
 \hline
 0
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 +1 \\
 \hline
 1
 \end{array}
 \quad \text{Перенос } 1$$

б

Рис. 9.2.

б

а — пример на двоичное сложение; б — сокращенная форма таблицы двоичного сложения.

для всех разрядов двоичных чисел (двоек, четверок, восьмерок и т.д.), за исключением разряда единиц.

Каждому специалисту, работающему с цифровой техникой, нужно уметь свободно складывать двоичные числа. Несколькими практическими примерами на двоичное сложение приведено ниже.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Найдите двоичную сумму  $1010 + 0100$ . (Проверьте полученный результат, складывая соответствующие десятичные числа.)
2. Найдите двоичную сумму  $1010 + 0111$ .
3. Найдите двоичную сумму  $1111 + 1001$ .
4. Найдите двоичную сумму  $10011 + 0111$ .

## 9.2. Полусумматоры

Таблицу сложения на рис. 9.1, а можно рассматривать как таблицу истинности. Слагаемые нужно отнести к входным столбцам таблицы истинности (в таблице на рис. 9.3, а — это столбцы  $A$  и  $B$ ). Кроме того, в таблице истинности должны быть два выходных столбца: один столбец для суммы, другой — для переноса. Для столбца суммы используется обычное обозначение  $\Sigma$ , а для столбца переноса —  $C_o$ . Обозначение  $C_o$  — сокращение от английских слов carry output (выход переноса). Символическое обозначение сумматора, работающего в соответствии с таблицей истинности на рис. 9.3, а, показано на рис. 9.3, б. Данная схема называется полусумматором. У полусумматора 2 входа ( $A$ ,  $B$ ) и 2 выхода ( $\Sigma$ ,  $C_o$ ).

Внимательно просмотрите таблицу истинности для полусумматора (рис. 9.3, а). Каким булевым выражением можно описать состояние выхода  $C_o$ ? Очевидно, что  $C_o = A \cdot B$ . Таким образом, для обеспечения требуемого логического уровня на выходе  $C_o$  входные сигналы нужно подать на входы логического элемента И.

Выясним теперь, каким булевым выражением описывается состояние выхода  $\Sigma$  полусумматора. Нетрудно убедиться, что  $\Sigma = \bar{A} \cdot B + A \cdot \bar{B}$ . Для реализации такой логической функции можно использовать 2 логических элемента И и 1 логический элемент ИЛИ. При более внимательном рассмотрении вы заметите, что в соответствии с приведенным логическим выражением работает логический элемент исключающее ИЛИ, т.е. состояние выхода  $\Sigma$  можно записать в более простой булевой форме:  $\Sigma = A \oplus B$ . Другими словами, для обеспечения требуемого (в соответствии с таблицей истинности) логического уровня на выходе

Полусумматор

Таблица истинности  
для полусумматора

Упрощенное булево  
выражение

Таблица истинности

Входы		Выходы	
$B$	$A$	$\Sigma$	$C_o$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1
Двоичные числа – слагаемые		Сумма	Перенос
		ИСКЛЮЧАЮЩЕЕ ИЛИ	И

а

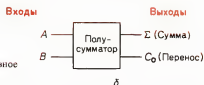


Рис. 9.3. Полусумматор.

$a$  – таблица истинности;  $b$  – условное графическое обозначение.

суммы нам нужен только один 2-входовый логический элемент исключающее ИЛИ.

Логическая схема полусумматора, составленного из 2-входового логического элемента ИИ, показана на рис. 9.4. Полусумматор осуществляет сложение только в разряде единиц (СМР). Для двоичного сложения в разрядах двоек, четверок, восьмерок и т.д. нужно использовать устройство, называемое *полным сумматором*.

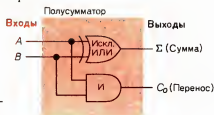


Рис. 9.4. Логическая схема полусумматора.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- Нарисуйте условное графическое обозначение полусумматора. Обозначьте входы  $A$  и  $B$  и выходы  $\Sigma$  и  $C_o$ .
- Составьте таблицу истинности для полусумматора.
- Нарисуйте логическую схему полусумматора.

### 9.3. Полные сумматоры

Таблица сложения на рис. 9.2, б – сокращенная форма таблицы двоичного сложения с учетом случая  $1 + 1 + 1$ . В со-

Таблица истинности

Входы			Выходы	
$C_{in}$	$B$	$A$	$\Sigma$	$C_o$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1
Перенос + $B + A$			Сумма	Перенос

а



б

Полный сумматор



в

Рис. 9.5. Полный сумматор.

а – таблица истинности; б – условное графическое обозначение; в – структурная схема полного сумматора, составленного из двух полусумматоров и логического элемента ИЛИ.

Таблица истинности для полного сумматора  
Полный сумматор

ответствующей таблице истинности на рис. 9.5, а представлены все возможные комбинации двоичных одноразрядных слагаемых  $A$ ,  $B$  и сигнала переноса  $C_{in}$ <sup>1)</sup>. Это таблица истинности для полного сумматора. Полные сумматоры используются для сложения во всех двоичных разрядах, за исключением разряда единиц. Они должны иметь дополнительный вход переноса. Условное графическое обозначение полного сумматора показано на рис. 9.5, б. Полный сумматор – 3-входовая схема. Сигналы на его выходах

<sup>1)</sup> Обозначение  $C_{in}$  – сокращение от английских слов Carry input (вход переноса). – Прим. перев.

$\Sigma$  и  $C_o$  получаются в результате сложения трех входных сигналов (на входах  $A$ ,  $B$  и  $C_{in}$ ).

Один из простейших способов формирования комбинационной логической структуры полного сумматора иллюстрируется на рис. 9.5, в: используются 2 полусумматора и логический элемент ИЛИ. Соответствующие булевы выражения для этой логической структуры имеют вид  $\Sigma = A \oplus B \oplus C_{in}$  и  $C_o = A \cdot B + C_{in} \cdot (A \oplus B)$ . Развернутая логическая схема полного сумматора показана на рис. 9.6, а. Она основана на структурной схеме с двумя полусумматорами (рис. 9.5, в). Ниже (на рис. 9.6, б) приведена несколько иная логическая схема полного сумматора с использованием двух логических элементов исключающее ИЛИ и трех логических элементов И-НЕ. Это упрощает сборку схемы. Заметим, что схемы на рис. 9.6, а и б отличаются только заменой логических элементов И и ИЛИ на логические элементы И-НЕ.

Полусумматоры и полные сумматоры обычно используются вместе. Так, для решения примера на рис. 9.2, а нам

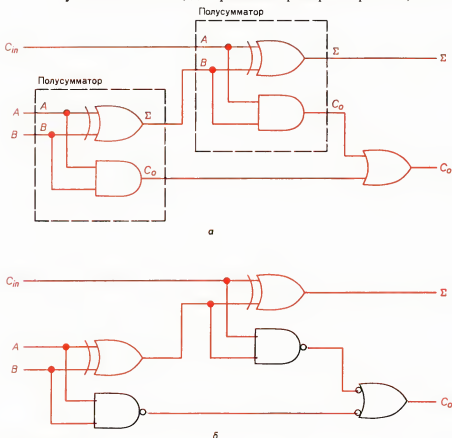


Рис. 9.6. Полный сумматор.

а - логическая схема; б - схема с использованием логических элементов исключающее ИЛИ и И-НЕ.

Микропроцессорные  
арифметико-логи-  
ческие устрой-  
ства (АЛУ)

нужны 1 полусумматор (для сложения в разряде единиц) и 2 полных сумматора (для сложения в разрядах двоек и четверок). Полусумматоры и полные сумматоры – сравнительно простые схемы, однако при необходимости сложения многоразрядных двоичных чисел таких схем требуется довольно много.

Большое число схем, аналогичных полусумматорам и полным сумматорам, имеется в составе микропроцессорных *арифметико-логических устройств* (АЛУ). Эти схемы используются для сложения 8-разрядных или даже 16- или 32-разрядных двоичных чисел в микропроцессорных системах. Микропроцессорные АЛУ могут также выполнять вычитание; при этом используются те же самые полусумматоры и полные сумматоры. Позже в этой главе мы рассмотрим использование сумматоров для вычитания двоичных чисел.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал*

8. Нарисуйте условное графическое обозначение полного сумматора. Обозначьте входы  $A$ ,  $B$  и  $C_{in}$  и выходы  $\Sigma$  и  $C_o$ .
9. Составьте таблицу истинности для полного сумматора.
10. Схемы сложения широко используются в микропроцессорных \_\_\_\_\_.

### 9.4. 3-разрядные сумматоры

3-разрядный двоич-  
ный сумматор

Определенным образом соединяя полусумматоры и полные сумматоры друг с другом, получают устройства, одновременно выполняющие сложение нескольких двоичных разрядов. Устройство, схема которого показана на рис. 9.7, складывает 3-разрядные двоичные числа. Числа-слагаемые обозначены  $A_2A_1A_0$  и  $B_2B_1B_0$ . Сигналы, соответствующие значениям разряда единиц в слагаемых, поступают на входы сумматора разряда единиц (полусумматора). Входными сигналами для полного сумматора разряда двоек являются сигнал переноса с выхода полусумматора (подается на вход  $C_{in}$ ) и значения  $A_1$  и  $B_1$  разряда двоек в слагаемых. Далее сумматор четверок складывает  $A_2$ ,  $B_2$  и сигнал переноса с выхода сумматора двоек. На двоичном выходе устройства (показанном в правом нижнем углу рис. 9.7) индицируется искомая двоичная сумма. В результате сложения двух 3-разрядных двоичных чисел может получиться 4-разрядное число, поэтому на индикаторе суммы имеется дополнительный разряд восьмерок. Обратите внимание, что этот разряд связан с выходом ( $C_o$ ) сумматора четверок.



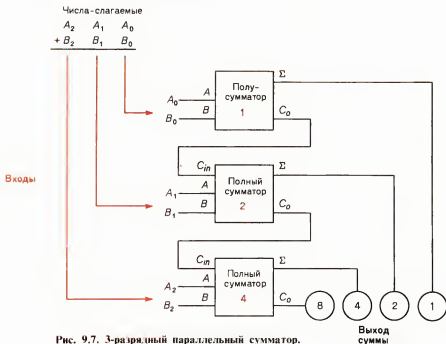


Рис. 9.7. 3-разрядный параллельный сумматор.

Логика работы рассмотренного 3-разрядного сумматора ничем не отличается от последовательности операций, выполняемых при сложении вручную (сложение одnorазрядных чисел плюс перенос в следующий разряд). Однако электронный сумматор выполняет эти операции во много раз быстрее. Еще раз отметим, что в многоразрядных сумматорах полусумматоры используются только для сложения в разряде единиц; во всех других разрядах используются полные сумматоры. Рассмотренный нами 3-разрядный сумматор называется *параллельным сумматором*.

В параллельном сумматоре информационные биты всех разрядов поступают на входы одновременно. Результат (сумма) появляется на выходе практически мгновенно. Параллельный сумматор на рис. 9.7 относится к классу комбинационных логических схем. Для фиксации данных на входах и выходах сумматоров обычно используются различные дополнительные регистры.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- В устройстве на рис. 9.7 для сложения в разряде единиц используется \_\_\_\_\_, а для сложения в более старших разрядах — \_\_\_\_\_.

## 12. Параллельные сумматоры относятся к классу \_\_\_\_\_ логических схем.

### Двоичное вычитание

Полувывчитатели  
Полные вычитатели

### 9.5. Двоичное вычитание

Далее вы увидите, что сумматоры и вычитатели очень похожи друг на друга, и, кроме того, полувывчитатели и полные вычитатели используются аналогично полусумматорам и полным сумматорам. Таблица двоичного вычитания приведена на рис. 9.8, а; указанные в ней правила вычитания двоичных чисел представлены на рис. 9.8, б в виде таблицы истинности. Мы видим, что  $B$  вычитается из  $A$  ( $A$  и  $B$  – входные сигналы), результат (разность) появляется на выходе  $D_i^1$ . Если  $B$  больше  $A$  (как в строке 2 таблицы), нужно занять 1 в соседнем старшем разряде. Сигнал заема указан в столбце  $B_o^2$ .

Рис. 9.8.

а – таблица двоичного вычитания; б – таблица истинности для полувывчитателя.



Входы		Выходы	
$A$	$B$	$D_i^1$	$B_o$
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0
$A - B$		Разность	Заем

б

Условное графическое обозначение полувывчитателя показано на рис. 9.9, а. Слева указаны входы  $A$  и  $B$ , справа – выходы  $D_i^1$  и  $B_o$ . С помощью таблицы, представленной на рис. 9.8, б, можно найти логические функции, реализуемые полувывчитателем. Для выхода  $D_i^1$  получаем:  $D_i^1 = A \oplus B$ . Точно такая же логическая функция реализуется на выходе  $\Sigma$  полусумматора (см. рис. 9.3, а). Для выхода  $B_o$  имеем:  $B_o = A \cdot B$ . Объединяя оба полученных выражения, приходим к логической структуре полувывчитателя, показанной на рис. 9.9, б. Обратите внимание на почти полную идентичность полученной схемы полувывчитателя (рис. 9.9, б) и схемы полусумматора (рис. 9.4).

При вычитании многоразрядных двоичных чисел нужно принимать во внимание заем «единиц» в более старших разрядах. Если бы вы решали пример на вычитание двоичных чисел, приведенный на рис. 9.10, а, то вы должны были бы следить за всеми разностями и заемами, как указано на этом рисунке. Еще раз внимательно просмотрите ре-

<sup>1)</sup>  $D_i$  – сокращение от английского слова Difference (разность). – Прим. перев.

<sup>2)</sup> Обозначение  $B_o$  – сокращение от английских слов Borrow output (выход заема). – Прим. перев.

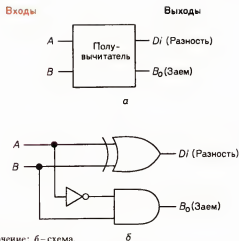


Рис. 9.9. Полувычитатель.

а – условное графическое обозначение; б – схема.

шение этого примера. Проверьте, удобно ли вычитать двоичные числа таким довольно громоздким способом. Для самопроверки можно использовать примеры, приведенные в конце раздела (задания для самопроверки).

32 16 8 4 2 1

$$\begin{array}{r}
 \begin{array}{ccccccc}
 & & & 1 & & & \\
 & & & \swarrow & & \searrow & \\
 & 10 & 10 & 0 & 10 & & \\
 \textcolor{red}{\times} & \emptyset & \emptyset & \textcolor{red}{\times} & \emptyset & 1 & A \\
 - & & 1 & 0 & 1 & 0 & -B \\
 \hline
 & 1 & 1 & 0 & 1 & 1 & Di
 \end{array}
 \end{array}$$

**а**

Входы			Выходы	
A	B	$B_{in}$	$D_i$	$B_0$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1
A	-	B	-	$B_{in}$
			Разность	Заем

**б**

Рис. 9.10.

а – пример на двоичное вычитание; б – таблица истинности для полного вычитателя.

Таблица истинности, содержащая все возможные комбинации, которые могут возникнуть при вычитании двоичных чисел, показана на рис. 9.10, б. Например, строка

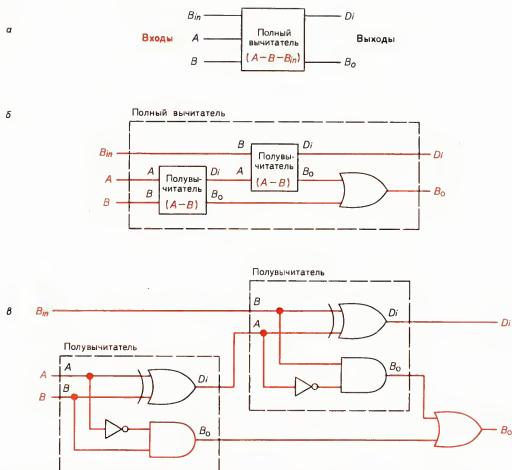


Рис. 9.11. Полный вычитатель.

а – условное графическое обозначение; б – структурная схема для случая использования двух полувычитателей и логического элемента ИЛИ; в – принципиальная схема.

5 этой таблицы описывает ситуацию, возникающую при вычитании в разряде единиц для примера на рис. 9.10, а. Вычитанию в разряде двоек соответствует строка 3, в разряде четверок – строка 6, в разряде восьмерок – строка 3, в разряде с весом 16 – строка 2 и в разряде с весом 32 – строка 6 таблицы истинности.

Условное графическое обозначение полного вычитателя показано на рис. 9.11, а. Слева – входы  $A$ ,  $B$  и  $B_{in}$ <sup>1)</sup>, справа – выходы  $D_i$  и  $B_o$ . По аналогии с полным сумматором полный вычитатель можно собрать из двух полувычитателей и логического элемента ИЛИ. На рис. 9.11, б показано, как нужно соединить полувычитатели и логический элемент

<sup>1)</sup> Обозначение  $B_{in}$  – сокращение от английских слов Borrow input (вход заема). – Прим. перев.

ИЛИ, чтобы получить полный вычитатель. Развернутая логическая схема полного вычитателя приведена на рис. 9.11, в. Эта схема работает в соответствии с таблицей истинности на рис. 9.10, б. При желании логические элементы И и ИЛИ (см. цепь выхода  $B_0$ ) можно заменить на 3 логических элемента И-НЕ. В этом случае мы получим схему полного вычитателя, аналогичную схеме полного сумматора на рис. 9.6, б.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

13. Решите примеры  $a-e$  на вычитание двоичных чисел. (Проверьте полученные результаты, вычитая соответствующие десятичные числа.)
  - а.  $11 - 10 = ?$
  - б.  $100 - 10 = ?$
  - в.  $111 - 111 = ?$
  - г.  $1010 - 101 = ?$
  - д.  $10010 - 11 = ?$
  - е.  $1000 - 01 = ?$
14. Нарисуйте условное графическое обозначение полувычитателя. Обозначьте входы  $A$  и  $B$  и выходы  $D_1$  и  $B_0$ .
15. Составьте таблицу истинности для полувычитателя.
16. Нарисуйте условное графическое обозначение полного вычитателя. Обозначьте входы  $A$ ,  $B$  и  $B_{in}$  и выходы  $D_1$  и  $B_0$ .
17. Составьте таблицу истинности для полного вычитателя.

## 9.6. Параллельные вычитатели

Соединяя друг с другом полувычитатели и полные вычитатели, получают устройства, называемые *параллельными вычитателями*. Вы уже знаете, как нужно соединить сумматоры, чтобы получить параллельный сумматор (примером последнего является рассмотренный выше 3-разрядный сумматор; см. рис. 9.7). Аналогичным образом собирается параллельный вычитатель. Сумматор на рис. 9.7 называется параллельным, поскольку информационные биты всех разрядов в слагаемых поступают в этот сумматор одновременно.

На рис. 9.12 представлена структурная схема, полученная путем объединения одного полувычитателя и трех полных вычитателей. Это схема 4-разрядного параллельного вычитателя, который выполняет операцию вычитания двоичного числа  $B_3B_2B_1B_0$  из двоичного числа  $A_3A_2A_1A_0$ . Обратите внимание, что верхний (на схеме) вычитатель (полувычитатель) осуществляет вычитание в разряде единиц (СМР). Выход  $B_0$  этого вычитателя связан с вычитателем

Параллельный вычитатель.

4-разрядный параллельный вычитатель.

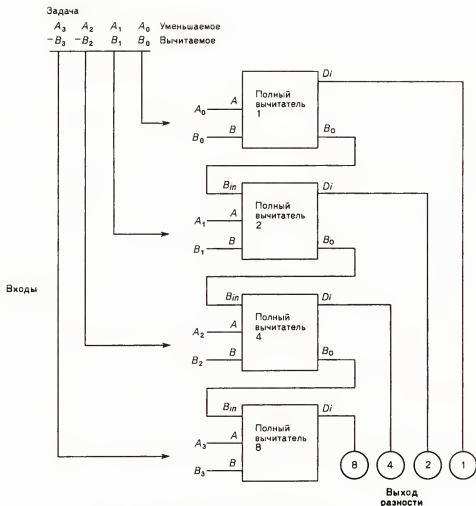


Рис. 9.12. 4-разрядный параллельный вычитатель.

разряда двоек. Вообще выход заема  $B_o$  каждого вычитателя связан со входом заема  $B_{in}$  вычитателя соседнего старшего разряда. Эти линии связи «следят» за заемами в процессе вычитания двоичных чисел.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

- На рис. 9.12 представлена структурная схема 4-разрядного \_\_\_\_\_ (параллельного сумматора, параллельного вычитателя, последовательного сумматора, последовательного вычитателя).

19. Для какой цели служат в схеме на рис. 9.12 линии связи между вычитателями (от  $B_0$  к  $B_{in}$ )?

Использование сумматоров для вычитания

### 9.7. Использование сумматоров для вычитания

В разд. 9.1–9.6 мы выяснили, что существуют устройства для сложения и устройства для вычитания двоичных чисел. Для упрощения схемной реализации вычислительных машин было бы удобно иметь вместо них одно универсальное вычислительное устройство. Оказывается, что использование простого математического «трюка» позволяет приспособить сумматор для выполнения операции вычитания.

В общих чертах этот прием иллюстрируется на рис. 9.13. Рассматривается пример на вычитание десятичного числа 6 из десятичного числа 10 (в двоичной системе: 1010–0110). Пример решается сначала с использованием десятичных чисел, затем – двоичных чисел и, наконец, с использованием специального математического приема. В последнем случае техника вычислений следующая. Сначала двоичное вычитаемое записывается в форме поразрядного дополнения до 1 (всюду 1 заменяется на 0 и 0 – на 1) и затем складывается с уменьшаемым. Как видно из рисунка, дополнением до 1 двоичного числа 0110 является число 1001. При сложении получается промежуточный результат 10011. Далее последний перенос влево мы как бы продолжаем по круговой «траектории» (см. стрелку на рисунке) и завершаем его в разряде единиц. Такой перенос называется *циклическим* (или *круговым*) *переносом*. Складывая циклический перенос с остатком промежуточной суммы, получаем *разность* исходных двоичных чисел 1010 и 0110. Ответ: 100 (десятичное число 4).

Дополнение до 1

Циклический перенос

Десятичное вычитание	Двоичное вычитание		Специальный прием вычитания
$\begin{array}{r} 10 \\ - 6 \\ \hline 4 \end{array}$	$\begin{array}{r} 1010 \\ - 0110 \\ \hline 100 \end{array}$	Дополнение до 1 и сложение	$\begin{array}{r} 1010 \\ + 1001 \\ \hline 10011 \end{array}$
		Циклический перенос	$\begin{array}{r} 10011 \\ \xrightarrow{+1} \\ 100 \end{array}$
			Разность

Рис. 9.13. Вычитание двоичных чисел способом дополнения до 1 с циклическим переносом.

Способ дополнения до 1 и циклического переноса

Способ дополнения до 1 и циклического переноса неудобен для вычислений вручную. Однако этот способ очень просто реализовать на логических схемах. Вы увидите, что этот способ используется в сумматорах для вычитания, поэтому нужно знать, как вычитаются двоичные числа с помощью дополнения до 1 и циклического переноса. (Несколько практических примеров приведено в конце раздела.)

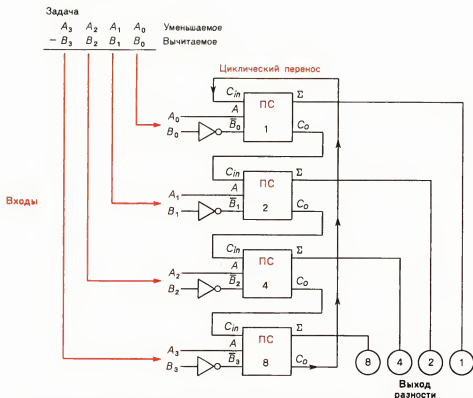


Рис. 9.14. Использование полных сумматоров и инверторов в 4-разрядном вычитателе.

Рассмотрим теперь использование сумматоров для выполнения операции двоичного вычитания. На рис. 9.14 показаны 4 полных сумматора, объединенные в систему, работающую как 4-разрядный параллельный вычитатель. Обратите особое внимание на 4 инвертора, обеспечивающие преобразование двоичного числа  $B_3B_2B_1B_0$  в форму дополнения до 1. Эти инверторы установлены на входах  $B$  каждого сумматора; они инвертируют (дополняют до 1) значение каждого разряда вычитаемого. Сумматоры складывают двоичные числа  $A_3A_2A_1A_0$  и  $\bar{B}_3\bar{B}_2\bar{B}_1\bar{B}_0$ . Дополнительный (циклический) перенос осуществляется по шине циклического переноса с выхода переноса  $C_o$  сумматора восьмерок на вход переноса  $C_{in}$  сумматора единиц (рис. 9.14). На выходном индикаторе (в правом нижнем углу рисунка) высвечивается разность двоичных чисел  $A_3A_2A_1A_0$  и  $B_3B_2B_1B_0$ .

Для вычитания в вычислительных устройствах могут использоваться числа в форме дополнения до 1, однако чаще используются числа в форме дополнения до 2 (в дополнительном коде). Позже мы рассмотрим вычитание и вычитатели с использованием второй формы представления двоичных чисел.



**Задания для самопроверки**

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

20. Решите примеры *a-e* на вычитание двоичных чисел, используя способ дополнения до 1 и циклического переноса.
  - a.*  $11 - 10 = ?$
  - б.*  $111 - 010 = ?$
  - в.*  $1000 - 0111 = ?$
  - г.*  $110 - 100 = ?$
  - д.*  $1001 - 0111 = ?$
  - е.*  $1011 - 0110 = ?$
21. Способ дополнения до 1 и циклического переноса применяется тогда, когда для вычитания 4-разрядных двоичных чисел используются \_\_\_\_\_ (сумматоры, полувывчитатели, полные вычитатели).
22. В вычитателе на рис. 9.14 используются инверторы для представления вычитаемого в форме дополнения до 1, четыре \_\_\_\_\_ и цепь циклического переноса.

4-разрядный сум-  
матор-вычитатель

**9.8. 4-разрядные сумматоры-вычитатели**

4-разрядный сумматор

Теперь, когда мы знаем, что полные сумматоры можно использовать как для сложения, так и для вычитания, попробуем сконструировать систему, которая выполняет эти действия, положив в ее основу схему вычитателя, изображенную на рис. 9.14. Чтобы эта схема работала как 4-разрядный сумматор, нужно только временно исключить из нее 4 инвертора и разорвать цепь циклического переноса. В преобразованном виде эта схема изображена на рис. 9.15. Вместо инверторов теперь введены 4 логических элемента исключающее ИЛИ. При подаче 0 на вход *A* логического элемента исключающее ИЛИ информационные биты каждого разряда двоичного числа  $B_3B_2B_1B_0$  проходят через этот элемент без инверсии (см. таблицу истинности в нижнем левом углу рис. 9.15). Таким образом, при установке 0 на управляющем входе система складывает десятичные числа  $A_3A_2A_1A_0$  и  $B_3B_2B_1B_0$ . Результат (вплоть до значения суммы, равного 1111) появляется на выходном индикаторе. Кроме того, логический 0 на управляющем входе (режим сложения) «запирает» логический элемент И, блокируя цепь циклического переноса.

4-разрядный вычита-  
тель

Чтобы система на рис. 9.15 работала как 4-разрядный вычитатель, на управляющем входе нужно установить 1. В этом случае логический элемент исключающее ИЛИ действует как инвертор сигналов на входах *B* полных сумматоров. Это видно из таблицы истинности в нижнем левом углу рис. 9.15. Кроме того, логическая 1 на управляющем входе «открывает» логический элемент И; сигнал с выхода  $S_0$  сумматора восьмерок может теперь свободно проходить



## Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

23. При подаче на управляющий вход сумматора-вычитателя (рис. 9.15) НИЗКОГО уровня \_\_\_\_\_ (открывается, запирается) логический элемент И, а логический элемент исключающее ИЛИ \_\_\_\_\_ (не изменяет, инвертирует) сигналы, поступающие на входы  $B$  сумматоров.
24. При использовании устройства, показанного на рис. 9.15, в качестве вычитателя на управляющий вход нужно подать \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень.
25. При подаче на управляющий вход сумматора-вычитателя (рис. 9.15) ВЫСОКОГО уровня \_\_\_\_\_ (открывается, запирается) логический элемент И, а логические элементы исключающее ИЛИ \_\_\_\_\_ (не изменяют, инвертируют) сигналы, поступающие на входы  $B$  сумматоров.

## 9.9. Суммирующие устройства последовательного действия

Параллельный сумматор

Последовательный сумматор

Суммирующее устройство последовательного действия

До сих пор мы рассматривали только параллельные сумматоры. В параллельном сумматоре для каждого двоичного разряда нужен отдельный полный сумматор. Другой способ сложения используется в *последовательном сумматоре*, где требуется только один полный сумматор. При использовании совместно с регистрами сдвига суммирующее устройство последовательного действия могло бы выглядеть так, как показано на рис. 9.16. В этой схеме имеются 2 регистра сдвига ( $A$  и  $B$ ), связанные со входами  $A$  и  $B$  единственного полного сумматора. Выходная сумма накапливается в регистре суммы (показан справа). На самой верхней диаграмме регистры  $A$  и  $B$  загружены двоичными слагаемыми  $A_3A_2A_1A_0$  и  $B_3B_2B_1B_0$ . На первом тактовом импульсе складываются значения разряда единиц ( $A_0$  и  $B_0$ ); сумма ( $S_0$ ) появляется в регистре суммы<sup>1)</sup>. На втором тактовом импульсе складываются значения разряда двоек и перенос, поступающий на вход  $C_{in}$  сумматора от триггера-задержки. Результат ( $S_1$ ) вводится в регистр суммы. Предыдущая сумма ( $S_0$ ) сдвигается вправо. На третьем тактовом импульсе складываются  $A_2$ ,  $B_2$  и новый перенос на входе  $C_{in}$ . Результат ( $S_2$ ) точно так же помещается в регистр суммы. На четвертом (и последнем) тактовом импульсе осуществляется сложение  $A_3$ ,  $B_3$  и переноса на входе  $C_{in}$ . Эта последняя сумма ( $S_3$ ) засылается в регистр суммы — и задача решена. После четырех тактовых импульсов в регистре суммы находится двоичное число  $S_3S_2S_1S_0$ .

Очевидно, что в данной системе тактовые входы всех

<sup>1)</sup> Сигнал переноса появляется на входе D-триггера. — Прим. перев.

Двоичные  
числа-слагаемые

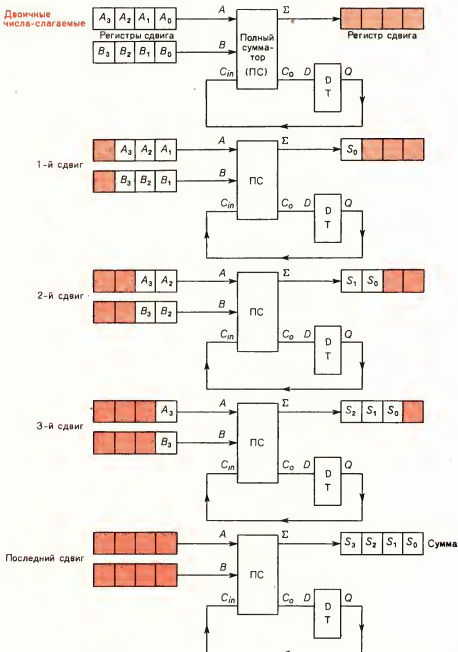


Рис. 9.16. Принцип работы последовательной системы суммирования.

трех регистров сдвига и триггера с задержкой связаны между собой. Отметим также, что в каждый момент времени (в каждом такте) складываются только два бита. Биты-сла-

гаемые последовательно подаются в полный сумматор из регистров сдвига. Именно поэтому данная система называется *последовательным сумматором*. Вы, по-видимому, уже догадались, почему для выполнения сложения нужно использовать только 4 тактовых импульса. Подача большего числа импульсов приведет к сдвигу битов каждого разряда из правильных позиций в регистре суммы, и на индикаторе мы увидим неверный результат.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

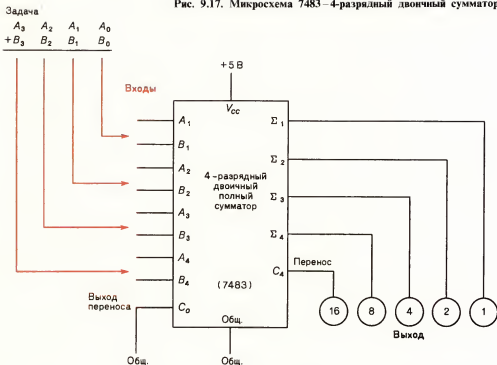
26. При сложении двоичных чисел 0101 и 0001 в регистре сдвига вправо (рис. 9.16) после завершающего сдвига будет находиться двоичное число (сумма) \_\_\_\_\_.
27. При сложении двоичных чисел 0101 и 0001 после первого сдвига (рис. 9.16) сумма  $S_0$  (для СМР) будет равна \_\_\_\_\_ (0, 1), а на входе D-триггера установится \_\_\_\_\_ (0, 1).
28. При сложении двоичных чисел 0101 и 0001 после второго сдвига (рис. 9.16) сумма  $S_1$  будет равна \_\_\_\_\_ (0, 1), а на входе D-триггера установится \_\_\_\_\_ (0, 1).

### 9.10. Интегральные сумматоры

Промышленность выпускает некоторые типы сумматоров в виде интегральных микросхем. Одна из полезных арифметических микросхем — *4-разрядный двоичный полный сумматор 7483*. Условное графическое обозначение микросхемы 7483 показано на рис. 9.17. На этом же рисунке иллюстрируется занесение в данный сумматор двух 4-разрядных двоичных слагаемых  $A_3A_2A_1A_0$  и  $B_3B_2B_1B_0$ . Имеется 8 входов для  $4 \times 2$  разрядов. Обратите внимание на различия в обозначениях двоичных разрядов слагаемых и соответствующих входов ИС. При сложении двух 4-разрядных чисел на входе циклического переноса  $C_0$  нужно установить логический 0. Вход  $C_0$  в микросхемах 7483, выпускаемых некоторыми фирмами, обозначается как  $C_{in}$ . Выходы суммы связаны с соответствующими разрядами выходного индикатора, а выход переноса  $C_4$  — с разрядом 2 индикатора. Этот выход некоторыми фирмами-изготовителями обозначается как  $C_o$ . Данный сумматор позволяет складывать двоичные числа, меньшие или равные 1111 (максимальная сумма на выходе равна 11110, т.е. десятичному числу 30).

Внутренняя структура микросхемы 7483 очень близка к структуре устройства на рис. 9.14 (без четырех инверторов); выход переноса  $C_4$  в ней идентичен выходу  $C_o$  сумматора восьмерок на рис. 9.14, а вход переноса  $C_o$  — входу  $C_{in}$  — сумматора единиц на рис. 9.14.

Рис. 9.17. Микросхема 7483—4-разрядный двоичный сумматор.



8-разрядный двоичный сумматор

Сумматоры 7483 можно объединять друг с другом, подключая выход  $C_4$  первой микросхемы ко входу переноса  $C_0$  следующей. Соединяя таким образом две микросхемы 7483, получаем 8-разрядный двоичный сумматор. Эту микросхему можно использовать также в качестве 4-разрядного вычитателя (как изображено на рис. 9.14). Для этого нужно обеспечить инвертирование сигналов, поступающих на входы  $B$  сумматора, и ввести цепь циклического переноса путем соединения выхода  $C_4$  микросхемы с ее входом переноса  $C_0$ . Используя данную микросхему, можно также собрать сумматор-вычитатель (как на рис. 9.15). Естественно, что в этом случае понадобятся дополнительные микросхемы (логические элементы И и исключающее ИЛИ).

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

29. Микросхема 7483 представляет собой \_\_\_\_\_.
30. Путем объединения двух микросхем 7483 можно получить 8-разрядный параллельный двоичный сумматор. Как нужно соединить эти микросхемы?
31. Чтобы получить сумматор-вычитатель на основе ми-

кросхемы 7483 (рис. 9.17), нужно дополнительно использовать несколько логических элементов — и логический элемент И.

### 9.11. Параллельные устройства сложения/вычитания

Параллельное устройство сложения/вычитания

В последовательном сумматоре, который мы обсуждали в разд. 9.9, используются регистры сдвига и сумматор, в совокупности образующие цифровое устройство. В данном разделе мы рассмотрим цифровую электронную систему, главной структурной единицей которой является параллельный сумматор. На рис. 9.18 показана схема соединения отдельных модулей *параллельного устройства сложения/вычитания*. В это устройство входят уже известные вам компоненты. Входы показаны слева, цифровой выход (семисегментный индикатор) — справа.

Последовательность операций, выполняемых при работе с этим параллельным устройством сложения/вычитания, могла бы выглядеть следующим образом. Сначала подается активный уровень сигнала на вход *CLR* для очистки обоих регистров (*A* и *B*), т.е. для их установки в состояние 0000. Затем выбирается режим работы (сложение или вычитание) путем установки соответствующего логического уровня на управляющем входе (будем считать, что установлен логический 0 для сложения). Далее по отдельности загружаются регистры *A* и *B*. Для управления загрузкой используются входы «Загрузка *A*» и «Загрузка *B*». Для загрузки регистра *A* на входе «Загрузка *A*» устанавливается 1, а на входе «Загрузка *B*» — 0. Нажимается клавиша с нужной цифрой на клавиатуре с одновременной подачей одного тактового импульса на вход *CLK*. Двоичное число, которое загружено в регистр *A*, появляется на индикаторе *A*. Для загрузки регистра *B* на входе «Загрузка *B*» устанавливается 1, а на входе «Загрузка *A*» — 0. Нажимается клавиша со второй цифрой с одновременной подачей одного тактового импульса; второе двоичное число должно появиться в регистре *B* (вы увидите его на индикаторе *B*). Четырехразрядный сумматор 7483 мгновенно складывает оба числа, и сумма сразу появляется на выходном цифровом индикаторе.

4-разрядный сумматор 7483

Вычитатель вычитает содержимое регистра *B* из двоичного числа, находящегося в регистре *A*. Процедура вычитания с использованием схемы, показанной на рис. 9.18, та же самая, что и для сложения. Единственное отличие заключается в установке 1 (вместо 0) на входе управления режимом работы (выбирается режим вычитания). В этом случае логические элементы И и исключающее ИЛИ обеспечивают вычитание вводимых в регистры чисел способом дополнения до 1 и циклического переноса. На выходном цифровом индикаторе появляется разность содержимого регистров *A* и *B*.

Шифратор 74147

В рассматриваемой системе шифратор 74147 используется для преобразования десятичного выхода клавиатуры

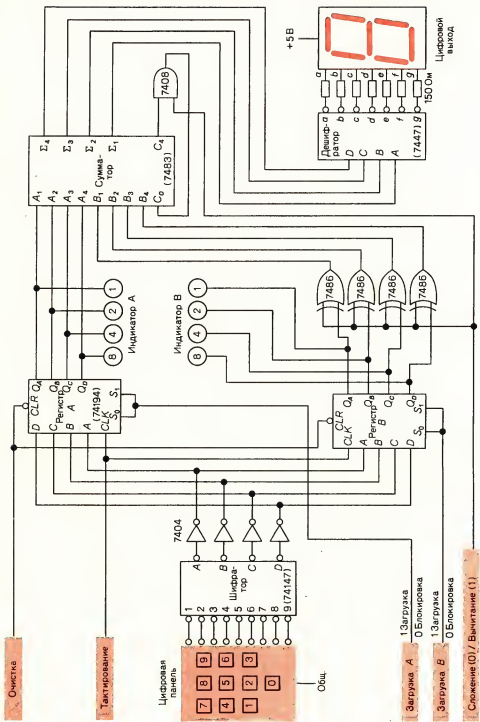


Рис. 9.18. Схема соединения модулей 4-разрядной параллельной системы сложения-вычитания.



## Микросхема 7404

в двоичные числа; микросхема 7404 инвертирует сигналы на выходах этого шифратора. После инверторов двоичное число поступает на входы параллельной загрузки обоих регистров  $A$  и  $B$ . С приходом тактового импульса параллельные данные на входах регистра вводятся в регистр и фиксируются (если  $S_0 = S_1 = 1$ ). Индикаторы  $A$  и  $B$  показывают, какие двоичные числа находятся в данный момент в регистрах  $A$  и  $B$  соответственно; зафиксированные в регистрах двоичные числа  $A_4A_3A_2A_1$  и  $B_4B_3B_2B_1$  поступают на входы 4-разрядного сумматора 7483. Сумматор складывает эти числа, и сумма появляется в двоичной форме на выходах сумматора. Сумма преобразуется из двоичной формы в семисегментный код с помощью дешифратора 7447. Десятичная сумма появляется на цифровом выходном индикаторе.

## Дешифратор 7447

## Цифровой выход

## Центральный процессор

Как правило, арифметическое устройство входит в состав центрального процессора. Структурная схема цифровой системы с процессором показана на рис. 8.1. Процессор на этой диаграмме фактически представляет собой сумматор-вычитатель.

## Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

32. При использовании устройства сложения/вычитания, показанного на рис. 9.18, в первую очередь следует очистить регистры  $A$  и  $B$ , устанавливая \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) логический уровень на входе очистки и затем возвращая этот вход в исходное состояние.
33. Второй операцией при использовании устройства, показанного на рис. 9.18, в качестве вычитателя должна быть загрузка регистра  $A$  \_\_\_\_\_ (уменьшаемым, вычитаемым) и регистра  $B$  \_\_\_\_\_ (уменьшаемым, вычитаемым).
34. Загрузка регистра  $A$  (рис. 9.18) осуществляется путем установки на входе «Загрузка  $A$ » логического (ой) \_\_\_\_\_ (0, 1), нажатия клавиши с нужным числом на клавиатуре и одновременной посылки \_\_\_\_\_.
35. Если оба регистра  $A$  и  $B$  (рис. 9.18) загружены, сумма/разность появляется на цифровом индикаторе \_\_\_\_\_ (после одного тактового импульса, после четырех тактовых импульсов, мгновенно).

## Двоичное умножение

## 9.12. Двоичное умножение

В школе вы изучали операцию умножения. Примеры на умножение вы обычно записывали «столбиком», как показано на рис. 9.19, *а*. Вы знаете, что верхнее число называется *множимым*, нижнее — *множителем*, а результат умноже-

Множимое  
Множитель



Первое и второе частичные произведения (216 и 540) складываются; в результате мы получаем полное произведение 756. Во втором частичном произведении последний 0 обычно опускают, как на рис. 9.20, а.

Важно обратить внимание на сам процесс решения примера на рис. 9.20. Сначала множимое умножается на значение СМР множителя. Это дает первое частичное произведение. Второе частичное произведение вычисляется затем путем умножения множимого на значение ССР множителя. Два полученных частичных произведения складываются. Их сумма и является искомым полным произведением. Точно такой же процесс используется при двоичном умножении.

Двоичное умножение намного проще умножения десятичных чисел. В двоичной системе счисления используются только две цифры (0 и 1), поэтому правила умножения исключительно просты. Они иллюстрируются на рис. 9.21, а.

Процесс умножения двоичных чисел полностью аналогичен процессу умножения десятичных чисел. На рис. 9.21, б подробно иллюстрируется решение примера на умножение двоичных чисел 111 и 101. Сначала множимое (111) умножается на значение разряда единиц множителя. В результате получается первое частичное произведение, равное 111. Затем множимое умножается на значение разряда двоек множителя. Получаем второе частичное произведение (000). Обратите внимание, что СМР второго частичного произведения отбрасывается. На третьем этапе множимое умножается на значение разряда четверок множителя. Получаем третье частичное произведение. Фактически оно равно 11100, но записывается как 111 («нули» в двух младших разрядах единиц и двоек опускаются). И наконец, первое, второе и третье частичные произведения складываются; их сумма равна двоичному числу 100011. Это и есть полное произведение. Для удобства слева на рис. 9.21, б приведено решение данного примера в десятичных числах. Двоичное произведение 100011 равно десятичному произведению 35.

Еще один пример на двоичное умножение приведен на рис. 9.22. Слева решение примера записано в обычной десятичной форме, справа — в двоичной форме (двоичное число 11011 умножается на 1100). Как и при умножении десятичных чисел, крайние правые нули у множителя можно

Рис. 9.21.

а — правила (таблица) умножения двоичных чисел; б — пример на двоичное умножение.

				Десятичные числа	Двоичные числа	
				7	111	Множимое
				× 5	× 101	Множитель
				35	111	Первое частичное произведение
					000	Второе частичное произведение
					111	Третье частичное произведение
					100011	Полное произведение
0	0	1	1			
× 0	× 1	× 0	× 1			
0	0	0	1			

а

б

Десятичные числа	Двоичные числа	
27	11011	Множимое
$\times 12$	$\times 1100$	Множитель
<hr/> 54	1101100	Третье частичное произведение
27	11011	Четвертое частичное произведение
<hr/> 324	101000100	Произведение

Рис. 9.22. Пример на двоичное умножение.

просто снести в произведение, чтобы удержать разряды единиц и двоек в ответе. Мы видим, что в данном случае полное двоичное произведение равно 101000100 (десятичное число 324).

Решая приведенные ниже примеры, вы можете получить некоторые навыки в двоичном умножении.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

36. Найдите двоичное произведение  $111 \times 10$ .
37. Найдите двоичное произведение  $1101 \times 101$ .
38. Найдите двоичное произведение  $1100 \times 1110$ .

## Двоичные умножители

### 9.13. Двоичные умножители

Мы можем умножать числа путем многократного сложения, как было показано на рис. 9.19,б. Чтобы получить произведение ( $7 \times 4 = 28$ ), можно было бы найти сумму четырех одинаковых слагаемых, каждое из которых равно множимому (7). Структурная схема устройства, которое реализует такой способ умножения, показана на рис. 9.23. Множимое

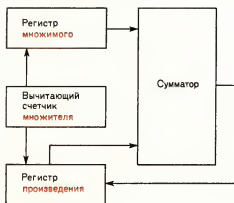


Рис. 9.23. Структурная схема умножителя с использованием способа многократного сложения.

Техника многократного сложения

находится в верхнем регистре. В нашем примере оно равно десятичному числу 7 или двоичному числу 111. Множитель содержится в вычитающем счетчике, показанном слева на рис. 9.23. В нашем примере множитель равен десятичному числу 4 или двоичному числу 100. Произведение накапливается в нижнем регистре (регистре произведения).

Техника процесса многократного сложения иллюстрируется в таблице на рис. 9.24. Эта таблица показывает, каким образом осуществляется умножение двоичного числа 111 (множимого) на двоичное число 100 (множитель). Сначала регистр произведения очищается к исходному состоянию 00000<sup>1)</sup>. После уменьшения записанного в счетчик числа на 1, т.е. после первого этапа счета (в обратном направлении), в регистре произведения оказывается частичное произведение 00111 (десятичное число 7). После второго этапа счета в регистре произведения появляется частичное произведение 01110 (десятичное число 14), после третьего — частичное произведение 10101 (десятичное число 21). После четвертого этапа в регистре произведения находится *полное произведение* 11100 (десятичное число 28). Процесс вычисления произведения ( $7 \times 4 = 28$ ) завершен<sup>2)</sup>. Устройство на рис. 9.23 сложило 4 десятичных «семерки».

	Загрузка двоичных чисел	После 1-го счета	После 2-го счета	После 3-го счета	После 4-го счета
Регистр множимого	111	111	111	111	111
Счетчик множителя	100	011	010	001	000
Регистр произведения	00000	00111	01110	10101	11100
	Загрузка				Остановка

Рис. 9.24. Умножение двоичных чисел 111 и 100 способом многократного сложения.

Этот тип умножителя не нашел широкого распространения, поскольку процесс умножения больших чисел путем многократного сложения занимает слишком много времени. Практически используемым способом умножения в цифровых электронных устройствах является *способ сложений со сдвигами* (называемый также способом сдвига и сложения). На рис. 9.25 представлен пример на двоичное умноже-

Способ сложения со сдвигом

<sup>1)</sup> Одновременно загружаются множимое и множитель в регистр множимого и вычитающий счетчик соответственно (см. столбец «Загрузка» на рис. 9.24). — *Прим. перев.*

<sup>2)</sup> Подразумевается, что в системе на рис. 9.23 используется счетчик с самоостановом. — *Прим. перев.*

Строка 1	1 1 1	Множимое
Строка 2	$\times 1 0 1$	Множитель
Строка 3	1 1 1	Первое частичное произведение
Строка 4	0 0 0	Второе частичное произведение
Строка 5	0 1 1 1	Промежуточное произведение (строка 3 + строка 4)
Строка 6	1 1 1	Третье частичное произведение
Строка 7	1 0 0 0 1 1	Произведение

Рис. 9.25. Пример на умножение двоичных чисел.

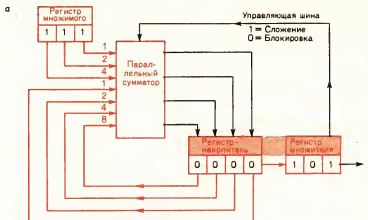
ние. В этом примере двоичное число 111 умножается на двоичное число 101 ( $7 \times 5$  в десятичной арифметике). Умножение производится стандартным способом; вводится только дополнительная строка 5 для промежуточного произведения. Это сделано для облегчения понимания процесса умножения в цифровых устройствах. При внимательном рассмотрении данного примера на двоичное умножение можно установить 3 следующих важных факта:

1. Частичное произведение всегда равно 000, если множитель равен 0, и равно множимому, если множитель равен 1.
2. Число разрядов в регистре произведения должно быть в 2 раза больше числа разрядов в регистре множимого.
3. При сложении первое частичное произведение сдвигается на одну позицию (разряд) *вправо* (по отношению ко второму частичному произведению).

Все это видно из решения примера на рис. 9.25.

Используя рассмотренные наиболее важные свойства двоичного умножения, можно сконструировать цифровое устройство для умножения двоичных чисел. Структурная схема такого устройства показана на рис. 9.26, а. В исходном состоянии множимое (111) загружено в регистр, показанный в левой верхней части рисунка, регистр-накопитель очищен (установлен в состояние 0000) и множитель (101) загружен в регистр, показанный в нижней правой части рисунка. Обратите внимание, что регистр-накопитель (аккумулятор) и регистр множителя рассматриваются как единый регистр. Это отражено на рисунке сплошной линией, соединяющей оба регистра.

Используя структурную схему умножителя (рис. 9.26, а), рассмотрим подробно процедуру умножения. Диаграмма на рис. 9.26, б дает поэтапную иллюстрацию процесса умножения двоичного числа 111 на двоичное число 101 сложений со сдвигами. Двоичное число 111 загружается в регистр множимого. Очищается аккумулятор и загружается регистр множителя (операция А на рис. 9.26, б). Следующая операция (В) — сложение содержимого аккумулятора (0000) и регистра множимого (111), инициируемое посылкой 1 (СМР множителя) на управляющую шину. Это соответствует строке 3 примера на рис. 9.25. Операция С — сдвиг содержи-



**б**

Очистка + Загрузка (А)



Сложение (В)



Сдвиг вправо (С)



Сложение (D)



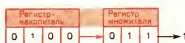
Сдвиг вправо (Е)



Сложение (F)



Сдвиг вправо (G)



Полное произведение

Рис. 9.26.

а - структурная схема умножителя с использованием способа сложения и сдвига; б - содержимое накопительного регистра и регистра множителя в процессе умножения двончных чисел способом сложения и сдвига.

мого аккумулятора и регистра множителя на одну позицию вправо. При этом уходит из регистра и теряется 1 крайнего правого разряда множителя. Операция *D* — еще одна операция сложения. В этот момент на шину управления пересылается 0 из крайнего правого разряда регистра множителя<sup>1)</sup>. Этот 0 означает, что на самом деле никакого сложения производить не нужно. Содержимое регистров не изменяется. Операции *D* соответствуют строки 4 и 5 в примере на рис. 9.25. Далее (операция *E*) содержимое регистров снова сдвигается на одну позицию вправо. При этом уходит из регистра и теряется бит разряда двоек множителя. На следующем шаге (операция *F*) бит разряда четверок множителя (1) «дает команду» сумматору на сложение. Содержимое аккумулятора (0001) и содержимое регистра множителя (111) складываются. Результат этого сложения (1000) сохраняется в аккумуляторе. Этой операции соответствуют строки 5–7 на рис. 9.25 (левые разряды чисел в этих строках). Последняя операция (*G*) при умножении способом сдвига и сложения — сдвиг содержимого аккумулятора и регистра множителя еще на одну позицию вправо. Бит разряда четверок (ССР) множителя уходит из регистра и теряется. Полное произведение 100011 находится сразу в двух регистрах<sup>2)</sup>. Итак, произведением двоичных чисел 111 и 101 является число 100011 (в десятичной арифметике:  $7 \times 5 = 35$ ). Это полное произведение, вычисленное умножителем, совпадает с результатом, полученным нами в строке 7 при решении примера на рис. 9.25.

Мы рассмотрели принципы работы умножителей двух типов. Умножитель первого типа вычисляет произведение путем многократного сложения. Структурная схема этого устройства показана на рис. 9.23. В умножителе второго типа для вычисления произведения используется способ сложений со сдвигами. Структурная схема устройства, основанного на этом принципе, показана на рис. 9.26.

Во многих ЭВМ конкретную *процедуру* умножения, такую, например, как способ сложений со сдвигами, можно запрограммировать. Вместо того чтобы вводить многочисленные электрические связи, мы просто задаем ЭВМ *программу* (или список команд), следуя которой она выполняет последовательность операций, приведенных на рис. 9.26, б. Таким образом, для реализации операции умножения мы используем *программное обеспечение* ЭВМ. Благодаря этому существенно уменьшается число электронных схем в центральном процессоре.

Широко распространенные 8-разрядные микропроцессоры, такие, например, как 8080/8085 фирмы Intel, 6800 фирмы Motorola и 6502 фирмы MOS Technology не содер-

Использование программного обеспечения ЭВМ для реализации операции умножения

<sup>1)</sup> В этот момент здесь находится разряд двоек множителя (его значение как раз и равно 0). — *Прим. перев.*

<sup>2)</sup> Эти регистры фактически являются отдельными частями одного регистра сдвига. — *Прим. перев.*



жат в своих АЛУ умножителей. Чтобы эти процессоры выполняли операцию двоичного умножения, программист должен написать программу (список команд), согласно которой перемножаются двоичные числа. При этом можно запрограммировать как способ сложений со сдвигами, так и способ многократного сложения. Более совершенные микропроцессоры обязательно содержат команды умножения.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

39. Какой способ умножения используется в устройстве, изображенном на рис. 9.23?
40. В цифровых устройствах для выполнения операции умножения широко используется способ \_\_\_\_\_.
41. Какой способ умножения используется в устройстве, изображенном на рис. 9.26?
42. В простейших микропроцессорах \_\_\_\_\_ (имеется, отсутствует) команда умножения.

### 9.14. Запись, сложение и вычитание чисел, представленных в дополнительном коде

Представление чисел  
в дополнительном ко-  
де

Метод представления чисел в форме дополнения до 2, или в дополнительном коде, широко используется в микропроцессорах. До сих пор мы считали все числа положительными. Однако микропроцессоры должны обрабатывать не только положительные, но и отрицательные числа. Используя дополнительный код числа, можно задать как знак числа, так и его абсолютную величину.

Для простоты мы будем считать, что в нашем распоряжении имеется 4-разрядный процессор. Это означает, что все данные передаются и обрабатываются группами по 4 бита в каждой. Самый старший разряд 4-разрядной двоичной комбинации отводится под знак числа, как показано на рис. 9.27, а. Ноль в знаковом разряде соответствует положительному числу, единица — отрицательному.

В таблице на рис. 9.27, б указан 4-разрядный дополнительный код всех чисел от +7 до -8. Для положительных чисел значения ССР равны 0. Для всех отрицательных чисел (от -1 до -8) дополнительный код начинается с 1. Заметим, что в случае положительных чисел дополнительный код и обычное двоичное представление числа совпадают. Следовательно, +7 (десятичное число) = 0111 (дополнительный код числа) = 0111 (двоичное число).

Чтобы получить дополнительный код отрицательного числа, нужно сначала сформировать дополнение этого чис-

Рис. 9.27. Двоичное представление чисел со знаком.

а – самый старший разряд 4-разрядного регистра отводится под знак числа; б – представление положительных и отрицательных чисел в дополнительном коде.



Десятичное число со знаком	4-разрядный дополнительный код
+7	0111
+6	0110
+5	0101
+4	0100
+3	0011
+2	0010
+1	0001
0	0000
-1	1111
-2	1110
-3	1101
-4	1100
-5	1011
-6	1010
-7	1001
-8	1000

Совпадает с двоичным числом

б

Определение дополнительного кода десятичного числа

ла до  $1^1$ ) и затем прибавить 1. Эта процедура иллюстрируется на рис. 9.28, а, где определяется дополнительный код десятичного числа  $-4$  следующим образом:

1. Десятичное число преобразуется к его двоичному эквиваленту<sup>2)</sup>; в данном примере  $-4_{10}$  преобразуется в  $0100_2$ .
2. Отыскивается дополнение полученного двоичного числа до 1 путем замены всех единиц на нули и всех нулей на единицы. В результате чего  $0100_2$  превращается в  $1011$  (дополнение до 1).
3. К полученному дополнению до 1 прибавляется 1 путем обычного двоичного сложения. В данном примере:  $1011 + 1 = 1100$ . Результат ( $1100$  в данном примере) и есть дополнительный код числа. Следовательно,  $-4_{10} = 1100$  (дополнительный код).

Ответ можно проверить с помощью таблицы на рис. 9.27, б.

Переход от дополнительного кода к двоичному числу

Процедура перехода от дополнительного кода к двоичному числу, по которому затем восстанавливается соответствующее этому дополнительному коду десятичное число, иллюстрируется на рис. 9.28, б. В этом примере дополнительным кодом некоторого числа является двоичная комбинация  $1100$ , а обратное преобразование выполняется следующим образом:

1. Образует дополнение до 1 для исходного дополнительного

<sup>1)</sup> Говоря точнее, нужно сформировать дополнение до 1 двоичного эквивалента соответствующего положительного числа (что, собственно, и делается в примере на рис. 9.28, а). – Прим. перев.

<sup>2)</sup> И здесь точнее было бы сказать: «...к двоичному эквиваленту соответствующего положительного числа». – Прим. перев.

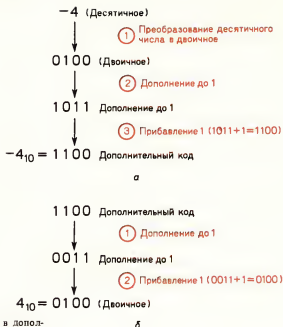


Рис. 9.28.

а – преобразование десятичного числа со знаком в дополнительный код; б – преобразование дополнительного кода в двоичное число.

ного кода числа путем замены всех единиц на нули и всех нулей на единицы. В данном примере преобразуем 1100 в 0011.

2. К полученному в результате дополнению до 1 прибавляется 1 путем обычного двоичного сложения. В данном примере:  $0011 + 1 = 0100$ . Результат (0100 в данном примере) – искомое двоичное число и, следовательно,  $0100_2 = 4_{10}$ .

Поскольку в самом старшем разряде дополнительного кода числа стоит 1, соответствующее десятичное число отрицательное. Следовательно, 1100 (дополнительный код) =  $-4_{10}$ .

Широкое использование метода представления чисел в дополнительном коде связано с простотой выполнения операций сложения и вычитания чисел со знаком в этом представлении. Четыре примера на сложение чисел, представленных в дополнительном коде, приведены на рис. 9.29. В примере на рис. 9.29, а производится сложение двух положительных чисел. Их представления в дополнительном коде складываются просто как обычные двоичные числа. В примере на рис. 9.29, б складываются два отрицательных числа ( $-1_{10}$  и  $-2_{10}$ ). Дополнительные коды этих чисел – 1111 и 1110 соответственно. Складывая 1111 и 1110, получаем 11101. Самый старший разряд полученной 5-разрядной комбинации (переполняющий 4-разрядный регистр) отбрасывается. В результате остается дополнительный код суммы (1101), т. е. десятичного числа  $-3$ . Для закрепления



$\begin{array}{r} (+4) \\ + (+3) \\ \hline +7_{10} \end{array}$	$\begin{array}{r} 0100 \\ + 0011 \\ \hline 0111 \end{array}$	Дополнительный код суммы
а		
$\begin{array}{r} (-1) \\ + (-2) \\ \hline -3_{10} \end{array}$	$\begin{array}{r} 1111 \\ + 1110 \\ \hline 1101 \end{array}$	Дополнительный код суммы
б <div style="display: flex; align-items: center; justify-content: center; margin-top: 5px;"> <span style="margin-right: 10px;">Отбрасывается</span>  </div>		
в		
$\begin{array}{r} (+1) \\ + (-3) \\ \hline -2_{10} \end{array}$	$\begin{array}{r} 0001 \\ + 1101 \\ \hline 1110 \end{array}$	Дополнительный код суммы
г		
$\begin{array}{r} (+5) \\ + (-4) \\ \hline +1_{10} \end{array}$	$\begin{array}{r} 0101 \\ + 1100 \\ \hline 10001 \end{array}$	Дополнительный код суммы
д <div style="display: flex; align-items: center; justify-content: center; margin-top: 5px;"> <span style="margin-right: 10px;">Отбрасывается</span>  </div>		

Рис. 9.29. Четыре примера на сложение чисел в дополнительном коде.

навыков просмотрите еще решения примеров *в* и *г* на рис. 9.29. Понятна ли вам процедура сложения чисел со знаком, представленных в дополнительном коде?

Представление чисел в дополнительном коде удобно использовать и при вычитании чисел со знаком. Четыре примера на вычитание приведены на рис. 9.30. Первый пример:  $(+7) - (+3) = +4_{10}$ . Вычитаемое (в данном случае  $+3$ ) представляется в дополнительном коде. Далее образуется дополнение до 2 полученного дополнительного кода, что дает 1101. Затем 0111 прибавляется к 1101; получаем 1 0100. Самый старший разряд этой 5-разрядной комбинации (переполняющий 4-разрядный регистр) отбрасывается. В результате остается дополнительный код разности (0100), т.е. десятичного числа  $+4_{10}$ . Заметим, что для вычитания используется сумматор. Это достигается путем дополнения вычитаемого до 2 с последующим сложением. Любой перенос в пятый двоичный разряд (в случае переполнения) отбрасывается.

Посмотрите еще примеры *б–г* на рис. 9.30 на вычитание чисел, представленных в дополнительном коде. Сможете ли вы повторить изложенную процедуру вычитания при решении этих примеров?

Во всех рассмотренных до сих пор задачах нами использовался только 4-разрядный дополнительный код. В боль-

шинстве выпускаемых промышленностью микропроцессоров данные группируются в 8-разрядные или 16-разрядные комбинации. Рассмотренные процедуры сложения и вычитания чисел, представленных в 4-разрядном дополнительном коде, применимы также для 8-разрядных и 16-разрядных представлений. Подводя итог, можно сказать, что представление числа в дополнительном коде позволяет учесть знак числа, и именно с этим обстоятельством связано применение дополнительного кода. Представление чисел в дополнительном коде можно использовать в сумматорах как для сложения, так и для вычитания чисел со знаком.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

43. При обработке чисел со знаком в микропроцессорах используется представление чисел \_\_\_\_\_.
44. Двоичная комбинация 0111 является дополнительным

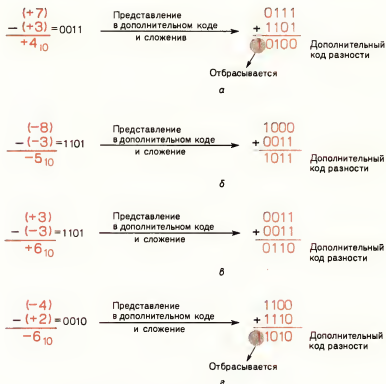


Рис. 9.30. Четыре примера на вычитание чисел в дополнительном коде.

КОДОМ ДВОИЧНОГО ЧИСЛА \_\_\_\_\_ И ДЕСЯТИЧНОГО ЧИСЛА \_\_\_\_\_

45. Двоичная комбинация 1111 является дополнительным кодом десятичного числа \_\_\_\_\_.
46. Самый старший разряд дополнительного кода числа является \_\_\_\_\_ разрядом. Если в самом старшем разряде стоит 0, то число — \_\_\_\_\_ (положительное, отрицательное); если в этом разряде стоит 1, то число \_\_\_\_\_ (положительное, отрицательное).
47. Укажите дополнительный код десятичного числа  $-6$ .
48. Укажите дополнительный код десятичного числа  $+5$ .
49. Слагаемые представляются в дополнительном коде двоичными комбинациями 1110 и 1101. Сложите эти числа в дополнительном коде (найдите дополнительный код суммы и соответствующее десятичное представление суммы).
50. Слагаемые представляются в дополнительном коде двоичными комбинациями 0110 и 1100. Сложите эти числа в дополнительном коде (найдите дополнительный код суммы и соответствующее десятичное представление суммы).

#### 9.15. Сумматоры-вычитатели, работающие в дополнительном коде

На рис. 9.31 приведена схема 4-разрядного сумматора-вычитателя, обрабатывающего числа, представленные в дополнительном коде. Обратите внимание, что для сложения и вычитания двух чисел, представленных в 4-разрядном дополнительном коде, используются 4 полных сумматора. Для задания режима работы устройства на входе  $B$  каждого полного сумматора введен логический элемент исключающее ИЛИ. Если на управляющем входе задания режима устройства установлен уровень логического 0, сумматор-вычитатель складывает двоичные комбинации  $A_3A_2A_1A_0$  и  $B_3B_2B_1B_0$  (дополнительный код чисел-слагаемых). На выходном индикаторе (в правом нижнем углу рисунка) появляется дополнительный код суммы. Благодаря НИЗКОМУ уровню сигнала на входах  $A$  логических элементов исключающее ИЛИ, данные, поступающие на входы  $B$  этих логических элементов, проходят через них без инвертирования. Если, например, на вход  $B_0$  верхнего логического элемента исключающее ИЛИ поступает сигнал ВЫСОКОГО уровня, то точно такой же сигнал ВЫСОКОГО уровня появляется на его выходе  $Y$ . В том случае, когда на управляющем входе устройства выбран режим сложения, на входе  $C_{in}$  верхнего полного сумматора разряда единиц действует уровень логического 0. Таким образом, в режиме сложения рассматриваемый сумматор-вычитатель работает как обычный двоичный сумматор, но последний перенос с выхода  $C_o$  полного сумматора восьмерок отбрасывается. Из

Числа в дополнительном коде



Схема сумматора-вычитателя, работающего в дополнительном коде (рис. 9.31), очень похожа на схему двоичного сумматора-вычитателя на рис. 9.15. Напомним только, что сумматор-вычитатель на рис. 9.31 обрабатывает числа, представленные в дополнительном коде.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

51. Числа, вводимые в сумматор-вычитатель, изображенный на рис. 9.31, должны быть представлены \_\_\_\_\_ (в двоичной форме, в двоично-десятичном коде, в форме дополнения до 1, в дополнительном коде).
52. Сумма или разность двух чисел на выходе сумматора-вычитателя (рис. 9.31) представляется \_\_\_\_\_ (в двоичной форме, в двоично-десятичном коде, в форме дополнения до 1, в дополнительном коде).
53. С помощью рассматриваемого сумматора-вычитателя (рис. 9.31) можно складывать и вычитать числа \_\_\_\_\_ (со знаком, без знака).
54. Если сумматор-вычитатель (рис. 9.31) складывает двоичные комбинации 0011 и 1100, то на выходном индикаторе должна появиться двоичная комбинация \_\_\_\_\_. Это дополнительный код десятичного числа \_\_\_\_\_.
55. Если сумматор-вычитатель вычитает двоичную комбинацию 0010 из двоичной комбинации 0101, то на выходном индикаторе должна появиться двоичная комбинация \_\_\_\_\_. Это дополнительный код десятичного числа \_\_\_\_\_.

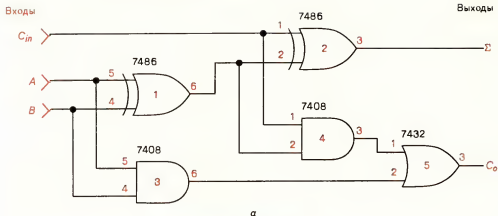
Проверка работоспособности полного сумматора

### 9.16. Проверка работоспособности полного сумматора

Схема проверяемого неисправного полного сумматора изображена на рис. 9.32, а. Студент или технический специалист сначала проводит внешний осмотр устройства и, убедившись в отсутствии перегрева его элементов, тем самым не обнаруживает никаких явных признаков неисправности устройства.

Полный сумматор представляет собой комбинационную логическую схему. Для удобства на рис. 9.32, б приведена его таблица истинности с нормальными значениями сигналов на выходах, соответствующими исправному состоянию (правая часть таблицы на рис. 9.32, б). Руководствуясь этой таблицей, студент или специалист, выполняющий проверку, подает различные комбинации сигналов на входы сумматора и с помощью логического пробника контролирует логические уровни сигналов на выходах  $\Sigma$  и  $C_0$ . Фактические значения логических уровней сигналов на выходах суммато-





Входы			Выходные сигналы при исправном состоянии		Фактические выходные сигналы	
$C_{in}$	$B$	$A$	$\Sigma$	$C_o$	$\Sigma$	$C_o$
0	0	0	0	0	L	L
0	0	1	1	0	L	L
0	1	0	1	0	H	L
0	1	1	0	1	L	H
1	0	0	1	0	H	L
1	0	1	0	1	L	L
1	1	0	0	1	L	L
1	1	1	1	1	H	H

б

Рис. 9.32.

а — схема неисправного полного сумматора; б — таблица истинности с нормальными и фактическими значениями сигналов на выходах.

ра указаны в двух крайних правых столбцах таблицы на рис. 9.32, б. Буквой *H* обозначен **ВЫСОКИЙ** уровень сигнала, буквой *L* — **НИЗКИЙ** уровень сигнала. Можно предположить, что в столбце для выхода  $C_o$  в строках 6 и 7 появляются две ошибки. Они выделены на рис. 9.32, б. В аналоге таблицы истинности для неисправного полного сумматора в столбце  $\Sigma$  не наблюдается никаких отклонений от правильных значений логических уровней, а поскольку в цепь, ведущую к выходу  $\Sigma$ , входят два логических элемента исключающее ИЛИ, обозначенные цифрами 1 и 2 на рис. 9.32, а, правомерно допущение, что данные логические элементы исправны.

Неисправность, по-видимому, локализована в логическом элементе ИЛИ либо в одном из двух логических элементов И. Нижняя строка «таблицы истинности» неисправного полного сумматора указывает на то, что нижний логический элемент И и логический элемент ИЛИ работают нормально. Подозрение падает на верхний логический

элемент И (обозначенный цифрой 4). Специалист подает на входы сумматора сигналы, указанные в строке 6 таблицы истинности ( $C_{in} = 1$ ,  $B = 0$ ,  $A = 1$ ). На выводах 1 и 2 логического элемента И, обозначенного цифрой 4, должен установиться уровень логической 1. Действительно, логический пробник обнаруживает наличие на выводах 1 и 2 логического элемента 4 сигнала ВЫСОКОГО уровня. Тогда проверяется выход этого логического элемента (вывод 3); здесь пробник показывает НИЗКИЙ уровень сигнала, откуда можно заключить, что выход логического элемента 4 «залипает» в состоянии НИЗКОГО уровня.

Специалист после этого внимательно обследует микросхему 7408 и ближайшие к ней соединения на плате на предмет возможного замыкания на общий провод. Однако повреждений платы не обнаруживается, и, значит, константный НИЗКИЙ уровень на выходе логического элемента 4 обусловлен скорее всего неисправностью самого логического элемента. Микросхема 7408 заменяется поэтому на точно такую же.

После замены микросхемы проводится повторная проверка полного сумматора на правильное функционирование. Схема теперь работает в соответствии с действительной таблицей истинности. Таблицы истинности помогают как опытному специалисту, так и студенту отыскивать и устранять неисправности. Такие таблицы описывают правильную реакцию исправной схемы на любую комбинацию входных сигналов. Таблица истинности становится как бы частью знаний специалиста о принципах работы конкретной схемы. Эти знания совершенно необходимы для быстрого отыскания и устранения неисправностей в схеме.

Таблицы истинности  
помогают специалисту

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

56. Неисправность в \_\_\_\_\_ (комбинационной, последовательностной) логической схеме, изображенной на рис. 9.32, локализована, по-видимому, в цепи \_\_\_\_\_ (переноса, суммы).
57. В схеме на рис. 9.32 неисправен логический элемент под номером \_\_\_\_\_; его выход «залипает» в состоянии (ВЫСОКОГО, НИЗКОГО) уровня.

### Основные результаты главы

1. Сумматоры и вычитатели представляют собой комбинационные логические схемы, составленные из логических элементов.
2. Базовое логическое устройство сложения называется полусумматором. Два полусумматора в сочетании с логическим элементом

- ИЛИ образуют полный сумматор.
- Базовое логическое устройство вычитания называется полувывчитателем. Два полувывчитателя в сочетании с логическим элементом ИЛИ образуют полный вычитатель.
  - Соединяя сумматоры (или вычитатели) друг с другом, можно получить параллельный сумматор. Как самостоятельный узел сумматор используется при последовательном суммировании.
  - Параллельный 4-разрядный сумматор за один раз складывает два 4-разрядных двоичных числа. Этот сумматор содержит 1 полусумматор (для разряда единиц) и 3 полных сумматора.
  - Применяя способ дополнения до 1 с циклическим переносом, можно использовать сумматоры для выполнения операции двоичного вычитания.
  - Добавляя в схему параллельного сумматора логические элементы И и исключающее ИЛИ, можно объединить функции сложения и вычитания в одном устройстве.
  - Промышленность выпускает несколько арифметических ИС типа 4-разрядного двоичного сумматора 7483.
  - Устройства сложения-вычитания часто входят в состав центральных процессоров вычислительных машин.
  - В цифровых умножителях для вычисления произведения может использоваться способ многократного сложения или способ сложения со сдвигами.
  - При обработке чисел со знаком в микропроцессорах используется представление чисел в дополнительном коде.
  - Таблицы истинности оказывают неоценимую помощь при проверке и ремонте комбинационных логических схем, поскольку они полностью характеризуют нормальные режимы работы этих схем.

### Итоговые задания к изучаемой главе

- Решите примеры  $a-z$  на сложение двоичных чисел (представьте свои выкладки).
 

a.  $101 + 011 =$   
 $=$

б.  $110 + 101 =$   
 $=$

в.  $111 + 111 =$   
 $=$

г.  $1000 + 0011 =$   
 $=$

д.  $1000 + 1000 =$   
 $=$

е.  $1001 + 0111 =$   
 $=$

ж.  $1010 + 0101 =$

$=$

з.  $1100 + 0101 =$   
 $=$

(представьте свои выкладки).

a.  $1100 - 0010 =$   
 $=$

б.  $1101 - 1010 =$   
 $=$

в.  $1110 - 0011 =$   
 $=$

г.  $1111 - 0110 =$   
 $=$

д.  $10000 - 0011 =$   
 $=$

е.  $1000 - 0101 =$   
 $=$

ж.  $10010 - 1011 =$   
 $=$

з.  $1001 - 0010 =$   
 $=$
- Нарисуйте условное графическое обозначение полусумматора (обозначьте 2 входа и 2 выхода).
- Нарисуйте условное графическое обозначение полного сумматора (обозначьте 3 входа и 2 выхода).
- Решите примеры  $a-z$  на вычитание двоичных чисел

5. Нарисуйте условное графическое обозначение полувывчитателя (обозначьте 2 входа и 2 выхода).
6. Нарисуйте условное графическое обозначение полного вычитателя (обозначьте 3 входа и 2 выхода).
7. Нарисуйте структурную схему 2-разрядного параллельного сумматора (используйте полусумматор и полный сумматор).
8. Нарисуйте структурную схему 3-разрядного параллельного вычитателя (используйте 3 полных сумматора и 3 инвертора).
9. Нарисуйте структурную схему 3-разрядного параллельного сумматора-вычитателя (используйте 3 полных сумматора, 3 логических элемента исключающего ИЛИ и логический элемент И).
10. Решите примеры  $a-z$  на вычитание двоичных чисел способом дополнения до 1 с циклическим переносом (представьте свои выкладки).
  - а.  $111 - 101 =$  \_\_\_\_\_
  - б.  $1000 - 0011 =$  \_\_\_\_\_
  - в.  $1001 - 0010 =$  \_\_\_\_\_
  - г.  $1010 - 0100 =$  \_\_\_\_\_
- д.  $1011 - 1010 =$  \_\_\_\_\_
- е.  $1100 - 0110 =$  \_\_\_\_\_
- ж.  $1110 - 0100 =$  \_\_\_\_\_
- з.  $1111 - 0111 =$  \_\_\_\_\_
11. Нарисуйте схему 2-разрядного параллельного сумматора, используя логические элементы И, ИЛИ и исключающее ИЛИ.
12. Решите примеры  $a-z$  на умножение двоичных чисел (представьте свои выкладки). Проверьте полученные ответы, умножая соответствующие десятичные числа.
  - а.  $101 \times 011 =$  \_\_\_\_\_
  - б.  $111 \times 011 =$  \_\_\_\_\_
  - в.  $1000 \times 101 =$  \_\_\_\_\_
  - г.  $1001 \times 010 =$  \_\_\_\_\_
  - д.  $1010 \times 011 =$  \_\_\_\_\_
  - е.  $110 \times 111 =$  \_\_\_\_\_
  - ж.  $1100 \times 1000 =$  \_\_\_\_\_
  - з.  $1010 \times 1001 =$  \_\_\_\_\_
13. Назовите два метода двоичного умножения, используемые в цифровых электронных умножителях.
14. Если центральный процессор вашей ЭВМ содержит только сумматор и регистры сдвига, то каким образом можно все-таки умножать двоичные числа с помощью этой ЭВМ?
15. Представьте в дополнительном коде следующие десятичные числа со знаком:
  - а.  $+1 =$  \_\_\_\_\_
  - б.  $+7 =$  \_\_\_\_\_
  - в.  $-1 =$  \_\_\_\_\_
  - г.  $-7 =$  \_\_\_\_\_
16. Какие десятичные числа представляются в 4-разрядном дополнительном коде указанными ниже двоичными комбинациями?
  - а.  $0101 =$  \_\_\_\_\_
  - б.  $0011 =$  \_\_\_\_\_
  - в.  $1110 =$  \_\_\_\_\_
  - г.  $1000 =$  \_\_\_\_\_
17. Решите следующие примеры на сложение чисел, представленных в 4-разрядном дополнительном коде. Найдите дополнительный код суммы. Представьте сумму в виде десятичного числа со знаком.
  - а.  $0110 + 0001 =$  \_\_\_\_\_
  - б.  $1101 + 011 =$  \_\_\_\_\_
  - в.  $0001 + 1100 =$  \_\_\_\_\_
  - г.  $0100 + 1110 =$  \_\_\_\_\_
18. Решите следующие примеры на вычитание чисел, представленных в 4-разрядном дополнительном коде. Найдите

4-разрядный дополнительный код разности. Представьте разность в виде де-

сятичного числа со знаком.

а.  $0110 - 0010 =$

б.  $1001 - 1110 =$

а.  $0010 - 1101 =$

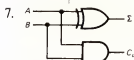
з.  $1101 - 0001 =$

### Ответы к заданиям для самопроверки

1. 1110
2. 10001
3. 11000
4. 11010



6. A	B	Σ	C <sub>0</sub>
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



9. C <sub>in</sub>	A	B	Σ	C <sub>0</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

10. Арифметико-логических устройств (АЛУ)

11. Полусумматор; полные сумматоры

12. Комбинационных

13. а. 01  
б. 10  
в. 000  
г. 101  
д. 1111  
е. 111



15. A	B	D <sub>i</sub>	B <sub>0</sub>
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0



17. A	B	B <sub>in</sub>	D <sub>i</sub>	B <sub>0</sub>
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

18. Параллельного вычитателя

19. Обеспечивают заем единиц в соседних старших разрядах.

20. а. 0001

б. 0101

в. 0001

г. 0010

д. 0010

е. 0101

21. Сумматоры

22. Полных сумматоров

23. Закрывается; не изменяет

24. ВЫСОКИЙ

25. Открывается; инвертирует

26. 0110

27. 0; 1

28. 1; 0

29. Сумматор

30. Нужно подключить выход первой ИС ко входу переноса следующей ИС

- 31. Исключающее ИЛИ
- 32. НИЗКИЙ
- 33. Уменьшаемым; вычитаемым
- 34. 1; тактового импульса
- 35. Мгновенно
- 36. 1110
- 37. 1000001
- 38. 10101000
- 39. Метод многократного сложения
- 40. Сложения и сдвига
- 41. Способ сложения и сдвига
- 42. Отсутствует
- 43. В дополнительном коде
- 44. 0111; +7
- 45. — 1
- 46. Знаковым; положительное; отрицательное
- 47. 1010
- 48. 0101
- 49. 1011; — 5
- 50. 0010; + 2
- 51. В дополнительном коде
- 52. В дополнительном коде
- 53. Со знаком
- 54. 1111; — 1
- 55. 0011; + 3
- 56. Комбинационной, переноса
- 57. 4; НИЗКОГО

# Глава 10

## Запоминающие устройства

Базовым элементом памяти многих полупроводниковых запоминающих устройств (ЗУ) является триггер. Мы уже обсуждали использование регистров сдвига и регистров-защелок в качестве ЗУ для временного хранения данных. В настоящей главе мы рассмотрим 3 типа полупроводниковых ЗУ: запоминающие устройства с произвольной выборкой (ЗУПВ)<sup>1)</sup>, постоянные запоминающие устройства (ПЗУ) и перепрограммируемые постоянные запоминающие устройства (ППЗУ).

Во многих микрокалькуляторах имеется электронная память<sup>2)</sup>. Любое заданное число можно поместить в эту электронную память («запомнить») путем простого нажатия клавиши «П» («Память») на панели микрокалькулятора<sup>3)</sup>. Число можно «вызвать» из памяти, нажимая клавишу «ИП» («Из памяти»). Аналогичным образом действует человеческая память. Мы запоминаем информацию в процессе обучения и восстанавливаем ее, т.е. вспоминаем («вызываем» из памяти). В большинстве цифровых электронных систем используются ЗУ нескольких типов. Запоминающие устройства иногда называют еще «устройствами хранения информации».

Любая сложная цифровая система, такая, например, как ЭВМ, содержит внутренние ЗУ. Как правило, это ЗУ на магнитных сердечниках и полупроводниковые интегральные ЗУ. Вне ЭВМ информация хранится в ЗУ большой емкости, к которым относятся перфокарты, перфоленты, магнитные ленты, диски и барабаны. Чаще всего вы, вероятно, будете иметь дело с полупроводниковыми ЗУ (если оставить в стороне большие ЭВМ). Помимо использования в качестве внутренних ЗУ и регистров сдвига в микропроцессорах полупроводниковые интегральные ЗУ широко применяются в современных микроЭВМ.

<sup>1)</sup> В отечественной литературе для этого типа запоминающих устройств широкое применение находит термин ОЗУ (оперативное запоминающее устройство).—Прим. ред.

<sup>2)</sup> Термины «электронная память» (или просто «память») и «запоминающее устройство» эквивалентны, поэтому в зависимости от контекста мы будем далее использовать их как синонимы.—Прим. перев.

<sup>3)</sup> Представьте себе, что вы работаете с отечественным микрокалькулятором «Электроника БЗ-34».—Прим. перев.

Адрес	Разряд <i>D</i>	Разряд <i>C</i>	Разряд <i>B</i>	Разряд <i>A</i>
Слово 0				
Слово 1				
Слово 2				
Слово 3	0	1	1	0
Слово 4				
Слово 5				
Слово 6				
Слово 7				
Слово 8				
Слово 9				
Слово 10				
Слово 11				
Слово 12				
Слово 13				
Слово 14				
Слово 15				

Рис. 10.1. Схема организации ЗУ емкостью 64 бит.

### 10.1. Запоминающие устройства с произвольной выборкой (ЗУПВ)

Запоминающие устройства с произвольной выборкой  
ЗУПВ

Первый тип полупроводниковых ЗУ, используемых в цифровой электронике, – ЗУ с произвольной выборкой, или сокращенно ЗУПВ. ЗУПВ – такой тип электронной памяти, которую можно «обучить». В процессе «обучения-запоминания» (называемого записью) ЗУПВ на время запоминает информацию, и накопленную в ЗУПВ информацию можно вызвать («вспомнить») в любой момент времени. Другими словами, мы можем *записать* информацию («нули» и «единицы») в память и можем *считать* или вызвать информацию из памяти. ЗУПВ называют также *оперативными ЗУ* (ОЗУ) или *памятью блочного типа*.

Оперативные ЗУ  
Память блочного типа

Структурная организация полупроводникового ЗУ с 64 позициями для размещения «нулей» и «единиц» иллюстрируется на рис. 10.1. На этом рисунке 64 прямоугольника справа (почти все незаполненные) представляют 64 позиции, которые можно заполнить данными. Обратите внимание, что эти 64 позиции организованы в 16 групп, называемых *словами*. Каждое слово содержит 4 информационных *разряда*. О ЗУ с такой организацией говорят как о ЗУ  $16 \times 4$ . Другими словами, данное ЗУ содержит 16 слов «длиной» 4 разряда каждое. ЗУ емкостью 64 бит может быть организовано и как ЗУ  $32 \times 2$  (32 слова по 2 разряда каждое), ЗУ  $64 \times 1$  (64 слова по 1 разряду каждое) или ЗУ  $8 \times 8$  (8 слов по 8 разрядов каждое).

Слова



ЗУ на рис. 10.1 по своей структуре очень похоже на таблицу истинности, нарисованную в блокноте. В строке этой таблицы после надписи «Слово 3» мы записали значение слова 3 (0110).

Операция записи

Можно сказать, что мы поместили на хранение или записали слово в память; это операция «записи». Чтобы узнать, какая информация находится в памяти на месте слова 3, нужно просто прочитать запись в таблице на рис. 10.1;

Операция считывания

это операция «считывания». Операция записи — процесс занесения новой информации в память. Операция считывания — процесс извлечения информации из памяти. Операцию считывания можно было бы еще назвать операцией *восприятия*, поскольку при считывании происходит восприятие информации, находящейся в памяти.

Операция восприятия

Можно было бы записать в таблицу на рис. 10.1 любую комбинацию нулей и единиц, как это делается при обычных записях в блокноте. Можно было бы затем считать любое слово или любые слова из памяти, как из блокнота. Обратите внимание, что информация сохраняется в памяти даже после считывания. Теперь вам понятно, почему такая память называется памятью блокнотного типа емкостью 64 бит. В такой памяти можно разместить 64 информационных бита, и информацию можно записать в память или считывать из памяти, как при использовании обычного блокнота.

Запоминающее устройство, структурная схема которого показана на рис. 10.1, называется ЗУ с произвольной выборкой, поскольку мы можем непосредственно обратиться к слову 3 или, скажем, к слову 15 и считывать их значения. Иначе говоря, имеется доступ к любому биту (или слову) в памяти в любой момент времени. Нужно просто обратиться в ту область памяти, где расположено слово, в котором находится данный бит, и считать это слово. Ячейку памяти, отведенную под нужное нам слово (например, слово 3), называют *адресом* этого слова. В рассматриваемом нами случае (рис. 10.1) адресом слова 3 является двоичное число  $0011_2$  ( $3_{10}$ )<sup>1)</sup>. По этому адресу записано слово 0110 (значение слова 3).

Адрес

ЗУПВ непригодны для постоянного хранения данных, поскольку записанная в них информация теряется при отключении питания. По этой причине ЗУПВ рассматриваются как *энергозависимые* ЗУ. Такие ЗУ используются для *временного* хранения данных. Однако существуют и *постоянные* ЗУ; они «не забывают» (не теряют) записанную в них информацию даже при отключении питания. Такие постоянные ЗУ называются *энергезависимыми*.

Энергезависимые ЗУ

ЗУПВ используются только в качестве временной памяти

<sup>1)</sup> То есть адресом слова следует считать метку (идентификатор) той ячейки памяти, где находится слово. Именно в таком смысле чаще всего используется этот термин. — *Прим. перев.*

ти. Основные применения ЗУПВ: электронная память микрокалькуляторов, буферные ЗУ, быстродействующая оперативная память большой емкости и пользовательские блоки ЗУ для микроЭВМ.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

1. Сокращенный термин «ЗУПВ» используется для обозначения \_\_\_\_\_.
2. Занесение информации в память называется \_\_\_\_\_ информации.
3. Извлечение информации из памяти называется \_\_\_\_\_ информации.
4. ЗУПВ называются также \_\_\_\_\_ ЗУ или памятью блочного типа.
5. Запоминающее устройство емкостью 64 бит на рис. 10.1 организовано как ЗУ \_\_\_\_\_.
6. Недостаток ЗУПВ заключается в том, что это \_\_\_\_\_ ЗУ; они теряют записанную в них информацию при \_\_\_\_\_ (отключении, включении) питания.

## 10.2. Интегральные ЗУПВ

Микросхема 7489 —  
ОЗУ

Микросхема 7489 представляет собой ОЗУ емкостью 64 бит. На рис. 10.2 показано условное графическое обозначение этой микросхемы семейства ТТЛ. Отметим, что внутри ОЗУ 7489 ячейки памяти организованы, как в таблице на рис. 10.1. В данном ОЗУ можно хранить 16 слов длиной 4 разряда каждое. Таким образом, микросхема 7489 — это ОЗУ  $16 \times 4$ .

Давайте сначала запишем в это ОЗУ данные. Предположим, что нам нужно занести двоичное число 0110 в ячейку памяти, отведенную под слово 3, как показано на рис. 10.1. Значения разрядов адреса слова 3:  $D = 0$ ,  $C = 0$ ,  $B = 1$  и  $A = 1$ . Для обращения к слову 3 в памяти необходимо подать двоичную комбинацию 0011 (десятичное число 3) на адресные входы микросхемы 7489 (см. рис. 10.2) и информационные сигналы — на входы данных (информационные входы). Для того чтобы ввести двоичное число 0110, нужно установить 0 на входе  $A$ , 1 на входе  $B$ , 1 на входе  $C$  и 0 на входе  $D$ . Затем устанавливается логический 0 на входе «Разрешение записи», и наконец, при подаче логического 0 на отпирающий вход выборки микросхемы данные заносятся в память по адресу слова 3. Это процесс записи.

Теперь считаем информацию из памяти (узнаем, что в ней записано). Если мы хотим извлечь информацию, записанную по адресу слова 3, адресные входы нужно снова

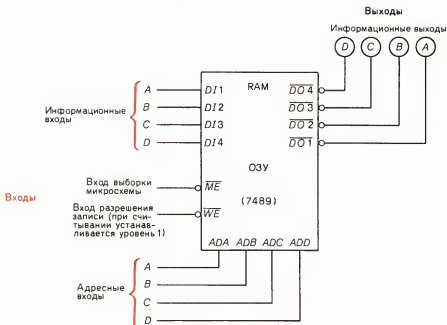


Рис. 10.2. Условное графическое обозначение интегрального ОЗУ (микросхема 7489) емкостью 64 бит.

установить в состояние 0011 (десятичное число 3). Вход разрешения записи устанавливаем в состояние «считывание» (логическая 1). На входе выборки микросхемы должен при этом действовать уровень логического 0. В результате на *информационных выходах* (выходах данных) появится двоичная комбинация 1001. Это дополнение до 1 (инверсия) фактического значения (0110) слова 3. Вводя инверторы на выходах данных микросхемы 7489, можно получать на этих выходах точную копию информации, записанной в памяти. Это процесс считывания.

Для записи или считывания других слов (отличных от слова 3) нужно изменить двоичную комбинацию на адресных входах. Так, для обращения к слову 0 адресные входы устанавливаются в состояние 0000, для обращения к слову 9 — в состояние 1001.

Вы увидите, что, несмотря на различия в обозначениях входов и выходов микросхем 7489, выпускаемых разными фирмами, все они имеют входы и выходы, показанные на рис. 10.2.

Микросхема 7489 — только один пример полупроводникового интегрального ЗУ. Фирмы-производители микросхем выпускают и много других полупроводниковых устройств памяти. Это относительно новые устройства, но они находят очень широкое применение. Их преимущество заключается в сравнительно невысокой стоимости, компактности, надежности и высоком быстродействии. В ми-

кропроцессорных цифровых системах полупроводниковые интегральные ОЗУ – наиболее широко используемый тип памяти.

#### Статические ЗУПВ

#### Динамические ЗУПВ

Полупроводниковые интегральные ЗУПВ подразделяются на статические и динамические. В *статических* ЗУПВ информация хранится в элементах, подобных триггеру. ЗУ этого типа называются статическими ЗУПВ, поскольку они удерживают записанные в них «нули» и «единицы» до тех пор, пока от микросхемы не отключено питание. В *динамических* интегральных ЗУПВ логические состояния хранятся в виде электрического заряда в МОП-ячейках. Очень быстрая утечка запасенного заряда приводит к необходимости его многократного восстановления. Для восстановления логических состояний ячеек памяти динамических ЗУПВ приходится использовать довольно сложные схемы регенерации заряда. Однако ячейки памяти динамических ЗУПВ проще и занимают меньшую площадь на кремниевом кристалле. Поэтому динамические ЗУПВ обычно имеют большую информационную емкость по сравнению со статическими. В новейших динамических ЗУПВ схемы регенерации заряда находятся непосредственно на кристалле. В данной главе мы рассматриваем только статические ЗУПВ, поскольку они проще в использовании.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

7. Микросхема 7489 – \_\_\_\_\_ емкостью 64 бит.
8. В ЗУ 7489 можно хранить \_\_\_\_\_ слов длиной \_\_\_\_\_ разрядов каждое.
9. Если адресные входы (рис. 10.2) установлены в состояние 1111, на вход «запись/считывание» и на разрешающий вход подан уровень логического 0, а на входы данных – двоичная комбинация 0011, то микросхема 7489 находится в режиме \_\_\_\_\_ (считывания, записи). Информация (0011) на входах данных \_\_\_\_\_ (считывается из памяти, записывается в память) по адресу слова \_\_\_\_\_ (десятичное число).
10. В \_\_\_\_\_ (динамических, статических) ЗУПВ записанная информация многократно регенерируется.

### 10.3. Применение ЗУПВ

Чтобы приобрести практические навыки в использовании микросхемы 7489, давайте *запрограммируем* это ОЗУ на хранение некоторой полезной информации. Запрограммировать ЗУ – это значит записать нужную информацию в каждую его ячейку.

Довольно трудно, например, запомнить «наизусть» представление десятичных чисел от 0 до 15 в коде Грея, поэтому полезно записать этот код в ОЗУ 7489. Запрограммированное таким образом ОЗУ будет «помнить» код Грея для нас, и мы сможем легко преобразовывать обычные двоичные числа в соответствующие им комбинации кода Грея.

Десятичное число	Двоичный код	Код Грея
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

Таблица 10.1. Код Грея

В табл. 10.1 указан код Грея для всех чисел от 0 до 15. Для удобства приведены также соответствующие двоичные числа. Все логические «нули» и «единицы» в двоичных комбинациях кода Грея нужно из этой таблицы (в совокупности 64 бит) переписать в ОЗУ емкостью 64 бит. Микросхема 7489 идеально подходит для этой цели, так как способна хранить 16 слов длиной по 4 разряда каждое. Структура этого ОЗУ совпадает со структурой столбца кода Грея в табл. 10.1. Десятичное число в табл. 10.1 указывает номер слова (см. таблицу на рис. 10.1). Соответствующее двоичное число подается на адресные входы микросхемы 7489 (см. рис. 10.2). Код Грея данного числа помещается на информационные входы схемы. При последующей подаче логического 0 на вход разрешения записи и вход выборки микросхемы нужный код Грея запишется в ОЗУ и будет храниться в нем до тех пор, пока от микросхемы не отключится питание.

После того как ОЗУ 7489 запрограммировано кодом Грея, оно становится *кодovým преобразователем*. Рис. 10.3, а

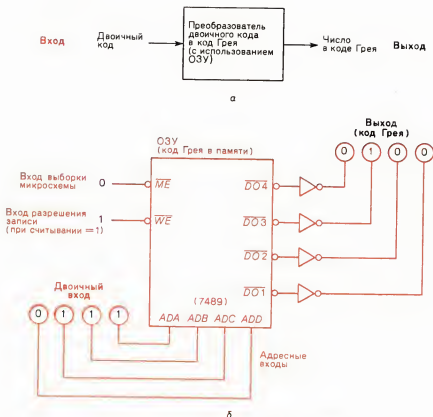


Рис. 10.3. Преобразователь двоичного кода в код Грея.

а — принцип преобразования; б — схема преобразователя с использованием ОЗУ 7489.

иллюстрирует принцип использования этого устройства. Обратите внимание, что на входы устройства подается двоичное число, а с его выходов считывается представление числа в коде Грея. Данное устройство называется *преобразователем двоичного кода в код Грея*.

Как теперь преобразовать двоичное число 0111 (десятичное число 7) в код Грея? Взгляните на рис. 10.3, б. Двоичное число 0111 подается на адресные входы микросхемы 7489. На входе выборки микросхемы устанавливается при этом логический 0, а на входе разрешения записи — логическая 1 (режим считывания). В микросхеме 7489 информация, записанная по адресу слова 7, считывается в инвертированной форме, а инверторы на выходах ИС обеспечивают ее преобразование в фактическое значение кода Грея. Как видно из рис. 10.3, б, для двоичного числа 0111 кодом Грея является двоичная комбинация 0100. Можно подавать на входы преобразователя любое число от 0000 до 1111 и получать на его выходах представление этого числа в коде Грея.

Преобразователь двоичного кода в код Грея на рис. 10.3, б четко выполняет свою функцию. На примере

Преобразователь  
двоичного кода в код  
Грея

этого преобразователя мы видим, как можно запрограммировать и использовать микросхему 7489. Однако с практической точки зрения такое использование микросхемы 7489 неэффективно, поскольку это энергозависимое ЗУ: даже при кратковременном отключении питания вся записанная в нем информация теряется, т.е. оно совсем «забывает» код Грея. Другими словами, информация *стирается* из памяти, и ЗУ приходится затем повторно программировать на хранение кода Грея, т.е. заново проводить «обучение» этого устройства.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

11. Микросхема, представленная на рис. 10.3, используется как преобразователь \_\_\_\_\_.
12. Если на рис. 10.3 адресные входы микросхемы установлены в состояние 1000, на вход разрешения записи подан уровень логической 1, а на вход выборки микросхемы – уровень логического 0, то на выходном индикаторе вы увидите двоичную комбинацию \_\_\_\_\_. Это код \_\_\_\_\_, соответствующий двоичному числу \_\_\_\_\_.
13. При кратковременном отключении питания от микросхемы 7489 (рис. 10.3) это ОЗУ \_\_\_\_\_ (потеряет всю записанную в нем информацию и его нужно будет запрограммировать заново, сохранит код Грея в своих ячейках памяти).

Постоянные запоминающие устройства

### 10.4. Постоянные запоминающие устройства (ПЗУ)

Недостаток ЗУПВ заключается в том, что это энергозависимые ЗУ: при отключении питания вся записанная в них информация теряется. Существуют, однако, полупроводниковые энергонезависимые ЗУ. Это ЗУ постоянного типа, которые никогда «не забывают» содержимого собственных ячеек памяти. Примером подобных ЗУ являются так называемые *постоянные запоминающие устройства* (ПЗУ). Конфигурация «нулей» и «единиц» программируется в ПЗУ при изготовлении микросхем и постоянно находится в ЗУ. В запрограммированное ПЗУ нельзя занести новую информацию, а можно только многократно считывать уже записанную<sup>1)</sup>.

ПЗУ могут быть организованы аналогично ЗУПВ. Например, ПЗУ на 256 бит может быть реализовано как ЗУ

<sup>1)</sup> Английский эквивалент термина ПЗУ – ROM (Read-Only Memory), т.е. дословно «ЗУ только для считывания». – Прим. перев.

$32 \times 8$  (32 слова по 8 разрядов каждое), а ПЗУ на 1024 бит — как ЗУ  $256 \times 4$  (256 слов по 4 разряда каждое).

ПЗУ применяются в тех случаях, когда для заданной комбинации входных сигналов нужно получать одну и ту же комбинацию выходных сигналов. Для этой цели можно было бы использовать комбинационные логические схемы на логических элементах, однако использование ПЗУ в некоторых случаях проще и дешевле. Ячейки памяти в ПЗУ, как правило, бывают нетриггерного типа: это специальные элементы, которые при изготовлении ПЗУ устанавливаются в состояние логического 0 или логической 1.

Программы начального  
запуска (самозагрузки)

Программно-аппа-  
ратное обеспечение

В микроЭВМ ПЗУ обычно применяются для хранения часто используемых программ, программ начального запуска (самозагрузки) и других общих обслуживающих системных программ. Такие программы, хранимые в ПЗУ, образуют так называемое программно-аппаратное обеспечение микроЭВМ.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

14. Сокращение «ПЗУ» используется для обозначения \_\_\_\_\_.
15. ПЗУ никогда «не забывают» записанную в них информацию и называются \_\_\_\_\_ ЗУ.
16. Термин \_\_\_\_\_ используется для описания системных программ микроЭВМ, постоянно находящихся в ПЗУ.

### Применение ПЗУ

#### 10.5. Применение ПЗУ

Предположим, что вам нужно сконструировать устройство, которое выдает десятичную счетную последовательность, приведенную в табл. 10.2: 1, 117, 22, 6, 114, 44, 140, 17, 0, 14, 162, 146, 134, 64, 160, 177 и затем осуществляет возврат к 1. Эти числа будут считываться с семисегментного индикатора и должны появляться на нем в указанном порядке.

Зная, что вам придется использовать цифровые схемы, вы, очевидно, представите десятичные числа в двоично-десятичном коде, как показано в табл. 10.2<sup>1)</sup>. Получается 16 строк и 7 столбцов логических «нулей» и «единиц». Правая часть табл. 10.2 представляет собой таблицу истинности. Просмотрев эту таблицу, вы увидите, что поставленную задачу довольно трудно решить с помощью логических элементов или селекторов данных и поэтому примете решение

<sup>1)</sup> При двоично-десятичном кодировании используется 4-разрядное двоичное представление для каждой цифры десятичного числа. В табл. 10.2 приведены «урезанные» двоичные представления десятичных цифр (отбрасываются левые незначащие нули). При этом, очевидно, существенно экономится память. — *Прим. перев.*



Десятичное число			Двоично-десятичный код		
Сотни	Десятки	Единицы	Сотни	Десятки	Единицы
		1	0	000	001
1	1	7	1	001	111
	2	2	0	010	010
		6	0	000	110
1	1	4	1	001	100
	4	4	0	100	100
1	4	0	1	100	000
	1	7	0	001	111
		0	0	000	000
	1	4	0	001	100
1	6	2	1	110	010
1	4	6	1	100	110
1	3	4	1	011	100
	6	4	0	110	100
1	6	0	1	110	000
1	7	7	1	111	111

Таблица 10.2. Задача о счетной последовательности

использовать ПЗУ. Внутренняя структура выбираемого ПЗУ должна согласовываться с таблицей истинности. В соответствии с правой частью табл. 10.2 (где указан двоично-

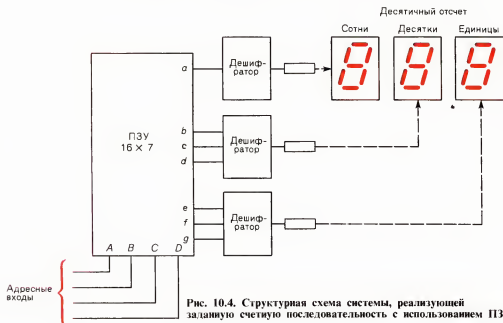


Рис. 10.4. Структурная схема системы, реализующей заданную счетную последовательность с использованием ПЗУ.

Входы				Выходы ПЗУ							Десятичный отсчет		
Адрес слова				Сотни		Десятки		Единицы					
				1	4	2	1	4	2	1			
D	C	B	A	a	b	c	d	e	f	g	Сотни	Десятки	Единицы
0	0	0	0	0	0	0	0	0	0	1			1
0	0	0	1	1	0	0	1	1	1	1	1	1	7
0	0	1	0	0	0	1	0	0	1	0		2	2
0	0	1	1	0	0	0	0	1	1	0			6
0	1	0	0	1	0	0	1	1	0	0	1	1	4
0	1	0	1	0	1	0	0	1	0	0		4	4
0	1	1	0	1	1	0	0	0	0	0	1	4	0
0	1	1	1	0	0	0	1	1	1	1		1	7
1	0	0	0	0	0	0	0	0	0	0			0
1	0	0	1	0	0	0	1	1	0	0		1	4
1	0	1	0	1	1	1	0	0	1	0	1	6	2
1	0	1	1	1	1	0	0	1	1	0	1	4	6
1	1	0	0	1	0	1	1	1	0	0	1	3	4
1	1	0	1	0	1	1	0	1	0	0		6	4
1	1	1	0	1	1	1	0	0	0	0	1	6	0
1	1	1	1	1	1	1	1	1	1	1	1	7	7

Таблица 10.3. Задача о счетной последовательности

десятичный код) требуется ПЗУ, организованное как ЗУ  $16 \times 7$ . Такое ЗУ будет содержать 16 слов для 16 строк таблицы истинности. В каждом слове будет 7 разрядов для 7 столбцов таблицы истинности. Таким образом, потребуется ПЗУ емкостью 112 бит.

ПЗУ на 112 бит показано на рис. 10.4. Обратите внимание, что оно имеет 4 адресных входа для выбора одного из 16 возможных слов, находящихся в ПЗУ. В левых столбцах табл. 10.3 указаны 16 различных адресов этих слов. Предположим, что на адресные входы подается двоичная комбинация 0000. Как видно из первой строки табл. 10.3, по адресу 0000 в ПЗУ хранится слово 0000 001 (разряды от *a* до *g*). После дешифрации (см. рис. 10.4) это слово считывается с цифрового индикатора как десятичная 1 (0 сотен, 0 десятков, 1 единица).

Рассмотрим еще один пример. Подадим двоичную комбинацию 0001 на адресные входы ПЗУ на рис. 10.4. Согласно второй строке табл. 10.3, по этому адресу хранится слово 1 001 111 (разряды от *a* до *g*). После дешифрации это слово считывается с цифрового индикатора как десятичное число 117 (1 сотня, 1 десяток, 7 единиц). Напомним, что нули и единицы из центральной части табл. 10.3 *постоянно* хранятся в ПЗУ. При подаче на адресные входы ПЗУ любо-

го адреса из левой части таблицы соответствующая строка «нулей» и «единиц», т.е. слово, появляется на выходах.

Решена трудная задача на реализацию заданной счетной последовательности. На рис. 10.4 изображена используемая для решения этой задачи вычислительная система. В табл. 10.3 содержится вся необходимая информация для адресации и программирования ПЗУ на 112 бит, а также расшифровка запрограммированного двоично-десятичного кода хранимых чисел. В соответствии с информацией, содержащейся в табл. 10.3, можно было бы сделать заказ фирме, выпускающей ПЗУ, на изготовление требуемого количества ПЗУ с требуемой конфигурацией «нулей» и «единиц».

Однако программируемые по заказу ПЗУ будут слишком дороги, если приобретать лишь несколько таких ПЗУ. Вернее всего, вы не использовали бы ПЗУ, если бы не было необходимости в большом числе таких устройств. Напомним, что поставленную в начале данного раздела задачу можно было решить и с помощью комбинационной логической схемы, составленной из логических элементов.

Обычный объем памяти полупроводниковых ЗУ составляет 64, 256, 1024 и 4096 бит. ЗУ на 112 бит — нетипичное устройство. Оно рассматривалось в данном примере только по той причине, что его таблица истинности (табл. 10.3) в точности совпадает с таблицей истинности для микросхемы 7447. Мы уже обсуждали в гл. 8 вопросы применения микросхемы 7447 в качестве дешифратора для преобразования двоично-десятичного кода в код семисегментного индикатора. При желании вы можете применить эту микросхему в качестве ПЗУ.

#### Использование ПЗУ

ПЗУ используются для кодирования информации, для хранения справочных таблиц и микропрограмм, в преобразователях кодов, генераторах символов (букв, цифр и т.д.), а также программно-аппаратном обеспечении микроЭВМ.

#### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

17. Если в схеме, приведенной на рис. 10.4, отключить и затем снова включить питание, счетная последовательность, запрограммированная в данном ПЗУ, \_\_\_\_\_ (стирается из памяти, остается в памяти).
18. Если на адресные входы ПЗУ (см. рис. 10.4 и табл. 10.3) подана двоичная комбинация 1111, то на цифровом выходе мы прочтем десятичное число \_\_\_\_\_.
19. ПЗУ программируется \_\_\_\_\_ (изготовителем, пользователем).

Программируемые постоянные запоминающие устройства ППЗУ

## 10.6. Программируемые постоянные запоминающие устройства (ППЗУ)

Процесс записи

Выше уже отмечалось, что ПЗУ программируется при его изготовлении. Однако ПЗУ, изготовленные по заказу, слишком дороги. Если вам нужно только несколько ПЗУ, можно использовать *программируемые постоянные запоминающие устройства* (ППЗУ). Пользователь может сам запрограммировать ППЗУ постоянной информацией, следуя процедуре записи этой информации, рекомендованной фирмой, которая выпускает данное ППЗУ. Однократный процесс записи информации в ППЗУ осуществляется путем выборочного «пережигания» перемычек внутри микросхемы<sup>1)</sup>. Однажды запрограммированное таким образом ППЗУ превращается в обычное ПЗУ, в котором занесенная конфигурация «нулей» и «единиц» с момента ее записи постоянно находится в памяти.

Организация ППЗУ аналогична организации ЗУПВ и ПЗУ. ППЗУ на 256 бит может быть организовано как ЗУ  $32 \times 8$  (32 слова по 8 разрядов каждое), а ППЗУ на 1024 бит — как ЗУ  $256 \times 4$  (256 слов по 4 разряда каждое). Общепринято использовать в ППЗУ 4-разрядные и 8-разрядные слова.

СППЗУ

Существует много модификаций ПЗУ с эксплуатационным программированием. В некоторых ПЗУ информацию можно стирать. Это так называемые *стираемые ППЗУ* (СППЗУ). Стирание информации осуществляется или электрическим способом, или с помощью засветки ячеек памяти ультрафиолетовым излучением через специальные прозрачные «окна» на поверхности микросхемы. ППЗУ второго типа называются ППЗУ с *ультрафиолетовым стиранием* или просто СППЗУ. *Электрически программируемые ПЗУ* (ЭППЗУ) аналогичны СППЗУ, но в них для стирания информации используется не ультрафиолетовое излучение, а специальное стирающее напряжение. ЭППЗУ более «надежны» в том смысле, что солнечный свет и случайное рентгеновское излучение не приводят к разрушению записанной в них информации.

Ультрафиолетовое стирание  
Электрически программируемые ПЗУ  
ЭППЗУ

Выпускаются СППЗУ емкостью  $512 \times 8$ ,  $1024 \times 8$  и  $2048 \times 8$  бит. Обратите внимание, что во всех случаях длина слова — 8 разрядов. По длине слова эти СППЗУ совместимы с такими широко распространенными 8-разрядными микропроцессорами, как 8080/8085, 6800 и 6502. СППЗУ и ПЗУ выпускаются обязательно в совместимых по типу выводов корпусах. Это очень важно, поскольку на этапе разработки конкретного устройства можно использовать СППЗУ и затем перейти к ПЗУ в окончательном варианте устройства, когда оно уже запущено в производство.

Разрабатываются запоминающие устройства типа

<sup>1)</sup> Пережигаются перемычки, закорачивающие биполярные или МОП-транзисторные ячейки памяти. — Прим. перев.

ЗУПВ/ПЗУ

ЗУПВ/ПЗУ. После того как на микросхему подано питание, ЗУПВ/ПЗУ действует как обычное ЗУПВ. Однако в отличие от ЗУПВ при включении питания в ЗУПВ/ПЗУ каждый раз «возникает» одна и та же конфигурация «нулей» и «единиц». Эта исходная конфигурация (программа) может обеспечить реализацию некоторых начальных стандартных процедур, после которых ЗУПВ/ПЗУ уже используется как любое другое ЗУПВ. Такое устройство называется также *теневым ЗУПВ*.

Теневые ЗУПВ

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

20. Сокращение «ППЗУ» используется для обозначения \_\_\_\_\_.
21. Сокращение «СППЗУ» используется для обозначения \_\_\_\_\_.
22. Стирание информации в СППЗУ осуществляется \_\_\_\_\_ или путем засветки ячеек памяти \_\_\_\_\_ излучением через специальные окна на поверхности микросхемы.
23. СППЗУ  $512 \times 8$  содержит \_\_\_\_\_ слов длиной \_\_\_\_\_ разрядов каждое.

ЗУ на магнитных сердечниках

### 10.7. ЗУ на магнитных сердечниках

Для ЭВМ требуется большое число внутренних и внешних устройств хранения информации. В качестве внутренней памяти в ЭВМ применяются полупроводниковые ЗУ и ЗУ на магнитных сердечниках. Память на магнитных сердечниках — испытанный временем, широко распространенный способ хранения данных в основной памяти ЭВМ.

Ферритовые сердечники

В таких ЗУ используются свойства крошечных *ферритовых сердечников*. Ферритовый сердечник представляет собой маленький кусочек ферромагнитного материала (такого, например, как железо) в форме бублика. Сердечник обжигается и опрессовывается в керамикоподобный «бублик». В сильно увеличенном виде он изображен на рис. 10.5, а. Типичный диаметр сердечника — около 1,6 мм.

Шина записи

Ферритовый сердечник используется как маленький магнит. На рис. 10.5, б он изображен с проходящей сквозь него *шиной записи*. При прохождении электрического тока по шине записи в указанном на ней направлении в сердечнике возникает кольцевой магнитный поток, направленный против часовой стрелки. Направление магнитного потока указано стрелкой на сердечнике. Будем считать, что показанное на рис. 10.5, б состояние намагниченного сердечника со-

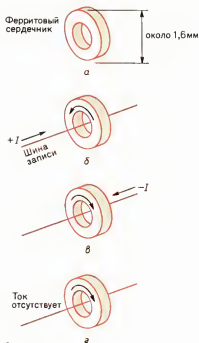


Рис. 10.5. Ферритовый сердечник.

а – размер; б – запись 1; в – запись 0; г – хранение 0.

ответствует логической 1. Другими словами, если магнитный поток в сердечнике направлен против часовой стрелки, то в сердечнике записана логическая 1.

На рис. 10.5, в иллюстрируется ситуация, когда направление магнитного тока в шине записи изменено на обратное. При подаче импульса тока обратного направления ( $-I$ ) изменяется на обратное и направление магнитного потока в сердечнике. Теперь магнитный поток направлен по часовой стрелке. Будем считать, что показанное на рис. 10.5, в состояние намагниченного сердечника соответствует логическому 0. Другими словами, если магнитный поток в сердечнике направлен по часовой стрелке, то в сердечнике записан логический 0. Если в шине записи тока нет, ферритовый сердечник тем не менее остается в намагниченном состоянии. В зависимости от того, в каком направлении намагничен сердечник, он «запоминает» логический 0 или логическую 1. На рис. 10.5, г показан ферритовый сердечник в отсутствие тока в шине записи. Магнитный поток в сердечнике по-прежнему направлен по часовой стрелке. Можно сказать, что в сердечнике хранится логический 0.

Из рис. 10.5 видно, как записывается информация в магнитный сердечник и как она запоминается за счет остаточной намагниченности. Аналогично триггеру ферритовый сердечник всегда находится в одном из двух состояний – в состоянии логической 1 или в состоянии логического 0. Вы видите, что ЗУ на магнитных сердечниках – это энергонеза-

Энергонезависимое  
ЗУ

Считывание

Шина считывания

висимое ЗУ. Информация в нем сохраняется даже при отключении питания (тока).

Для считывания информации из сердечника нужна еще одна шина. Эта дополнительная шина называется *шиной считывания* (см. рис. 10.6, а). Чтобы считать содержимое ферритового сердечника, нужно подать импульс тока  $-I$  в шину записи, как показано на рис. 10.6, б. Предположим, что в сердечнике записан логический 0. Тогда подача импульса тока  $-I$  не вызовет никаких изменений магнитного потока в сердечнике. Но если магнитный поток в сердечнике не изменяется, то не индуцируется и никакой ток в шине считывания, т. е. в этой шине ток равен 0 А. Тем самым мы узнаем, что в сердечнике был записан логический 0 (считываем 0).

Теперь предположим, что в сердечнике записана логическая 1, как на рис. 10.6, в. Направление магнитного потока, соответствующее такому состоянию сердечника, отмечено стрелкой на сердечнике. Для считывания содержимого сердечника мы подаем импульс тока  $-I$  в шину записи, как показано на рис. 10.6, г. Магнитный поток в сердечнике при этом изменяет свое направление на обратное (от направления против часовой стрелки к направлению по часовой стрелке), что отмечено стрелками на рисунке. При изменении направления магнитного потока в сердечнике в шине считывания *индуцируется* импульс тока. Этот импульс тока в шине считывания говорит нам о том, что в сердечнике была записана логическая 1. Обратите внимание, что ин-

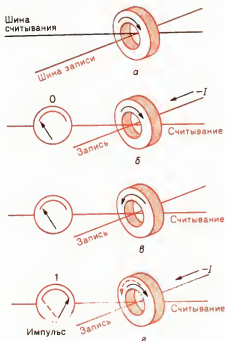


Рис. 10.6. Ферритовый сердечник.

а — добавление шины считывания; б — считывание 0; в — хранение 1; г — считывание 1.

формация, представленная хранимой в сердечнике логической 1, разрушается в процессе считывания. Это единичное состояние сердечника нужно восстанавливать, иначе информация будет потеряна.

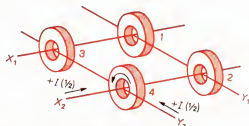


Рис. 10.7. Запись информации в ЗУ на магнитных сердечниках с совпадением токов.

При использовании более чем одного ферритового сердечника потребуется несколько шин записи. На рис. 10.7 показана система из четырех ферритовых сердечников, причем через каждый сердечник проходят две шины записи. Если мы, например, хотим записать логическую 1 в сердечник 4, то пропускаем по каждой из шин  $X_2$  и  $Y_2$  половину необходимого для записи логической 1 тока. Эти два «полутoka» складываются<sup>1)</sup> и обеспечивают запись логической 1 в сердечник 4. Сердечник 1 на рис. 10.7 не «получает» тока. Сердечники 2 и 3 «получают» только половину величины тока, необходимого для записи логической 1, и поэтому в эти ячейки памяти ничего не записывается. ЗУ, работающее по принципу системы, изображенной на рис. 10.7, называется ЗУ с совпадением токов. Если мы хотим записать логическую 1 в сердечник 2, мы подаем половину необходимого для записи логической 1 тока ( $+1/2I$ , где  $I$  — ток записи)

ЗУ с совпадением токов

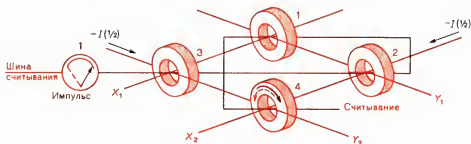


Рис. 10.8. Использование шины считывания для считывания информации из ЗУ на магнитных сердечниках с совпадением токов.

в каждую из шин  $X_2$  и  $Y_1$ . Подача импульса тока величиной  $-I$  во все шины приводит к сбросу всех сердечников в состояние логического 0. Способом, указанным на рис. 10.7,

<sup>1)</sup> Точнее, складываются магнитные поля токов, пропускаемых по шинам  $X_2$  и  $Y_2$ . — Прим. перев.



обычно объединяется гораздо большее число ферритовых сердечников, чем показано на рисунке. При этом образуются целые матрицы памяти.

Далее мы рассмотрим, как осуществляется операция считывания информации из ЗУ с совпадением токов. На рис. 10.8 показаны четыре ферритовых сердечника, связанных шинами записи  $X_1, X_2, Y_1, Y_2$ . Как видно из рисунка, в эту матрицу добавлена еще одна шина, называемая *шиной считывания*. Для того чтобы считать содержимое сердечника 4, на шины  $X_2$  и  $Y_2$  подается импульс тока величиной  $-1/2 I$ . Сердечник 4 сбрасывается в состояние логического 0 за счет сложения токов в этих двух шинах. При изменении своего магнитного состояния (магнитный поток, направленный до сброса против часовой стрелки, становится направленным по часовой стрелке) сердечник 4 индуцирует импульс тока в шине считывания, который указывает на то, что в сердечнике 4 была записана логическая 1. Сердечник 1 не «получает» тока. Сердечники 2 и 3 «получают» только половину тока, необходимого для их сброса в состояние логического 0, поэтому их магнитное состояние не изменяется. Только тот сердечник (в данном случае 4), к которому мы «обращаемся», может изменить свое состояние и возбудит импульс тока в шине считывания.

Совокупность ферритовых сердечников, связанных с шинами записи и считывания, как показано на рис. 10.8, образует *матрицу*. Матрица может содержать большое число сердечников. На рис. 10.9 показаны четыре матрицы, расположенные одна над другой, причем в каждой из них насчитывается 64 сердечника. В результате образуется ЗУ типа  $64 \times 4$  бит. Это ЗУ на магнитных сердечниках емкостью 256 бит на 64 слова длиной 4 разряда каждое. На рис. 10.9 показано, как расположены во всех четырех матрицах сердечники, находящиеся на пересечении шин  $X_6$  и  $Y_5$ . Эти сердечники соответствуют слову  $X_6 Y_5$  в памяти. Точками в каждой матрице обозначены сердечники, к которым мы обращаемся с помощью шин выборки  $X$  и  $Y$ . Показанные на рисунке шины — это уже упоминавшиеся ранее шины записи. Обратите внимание, что эти шины записи (выборки  $X$  и  $Y$ ) для каждой матрицы соединены последовательно.

Шины считывания от каждой платы (или матрицы) предназначены для параллельного считывания информации из всех четырех запоминающих матриц. Выходы считывания показаны справа. Шины считывания проходят через ферритовые сердечники параллельно шинам выборки  $X$ .

Каждый ферритовый сердечник «прошивается» еще одной (четвертой) шиной, которая называется *шиной запрета*. Шины запрета проходят через сердечники параллельно шинам выборки  $Y$ . Они показаны для каждой матрицы на рис. 10.9 слева.

Предположим, что мы записываем 1 по адресу слова

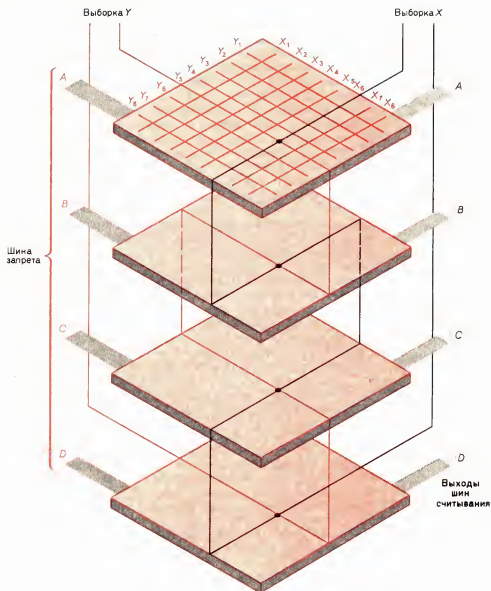


Рис. 10.9. ЗУ на магнитных сердечниках с совпадением токов, организованное как ЗУ  $64 \times 4$ .

$X_6 Y_5$ , как показано на рис. 10.9. Это означает, что в четыре указанных сердечника записывается двоичная комбинация 1111. Ну а что, если вместо этой комбинации мы хотим записать двоичную комбинацию 1011 ( $D = 1$ ,  $C = 0$ ,  $B = 1$ ,  $A = 1$ )? Тогда мы просто подаем активный уровень сигнала на шину запрета матрицы  $C$ ; при этом команда, поступающая по шине выборки (записи), аннулируется. Фактически

шины запрета можно рассматривать как шины записи 0 по адресу слова.

ЗУ на магнитных сердечниках емкостью 256 бит, показанное на рис. 10.9, энергонезависимое, но при использовании этого ЗУ для правильной адресации требуется дешифратор. Процесс считывания приводит к разрушению содержимого этого ЗУ. Существуют, однако, схемы восстановления исходного состояния сердечников после завершения процесса считывания. Вы, очевидно, догадываетесь, что ЗУ такого типа дороги и сложны в изготовлении.

ЗУ на магнитных сердечниках обычно использовались во внутренней основной памяти больших ЭВМ. В настоящее время эти ЗУ заменяются более дешевыми, например полупроводниковыми. ЗУ на магнитных сердечниках можно с успехом использовать в тех применениях, где возникают проблемы с высокими температурами и радиацией.

Применение ЗУ на магнитных сердечниках

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

24. В ЗУ на магнитных сердечниках используются свойства крошечных \_\_\_\_\_.
25. ЗУ на магнитных сердечниках \_\_\_\_\_ (энергонезависимые, энергонезависимые).
26. Дорогие ЗУ на магнитных сердечниках в настоящее время заменяются на \_\_\_\_\_.

### 10.8. ЗУ большой емкости для ЭВМ

Полупроводниковые ЗУ и ЗУ на магнитных сердечниках используются в качестве внутренней памяти ЭВМ. Однако невозможно хранить все данные внутри самой машины. Например, нет никакой необходимости держать во внутренней памяти ЭВМ платежные ведомости за прошедший месяц, после того как все чеки отпечатаны и оплачены. Поэтому большая часть данных хранится вне машины. Имеется несколько способов хранения информации, предназначенной для немедленной обработки на ЭВМ или для использования ее в будущем. Различают два класса внешних запоминающих устройств: *механические ЗУ и магнитные ЗУ*.

Механические ЗУ большой емкости — это обычные перфорированные бумажные карты и перфорированные бумажные ленты. Перфокарты — наиболее распространенный способ хранения информации. В настоящее время (как и в прошлом) большая часть информации размещается на перфокартах<sup>1)</sup>. Перфорированные бумажные ленты — это узкие полоски бумаги с отверстиями, пробитыми в позициях,

Механические ЗУ  
Магнитные ЗУ

<sup>1)</sup> В 1988 г. это утверждение автора вряд ли справедливо. — Прим. ред.

выбираемых в соответствии с некоторым кодом. Бумажную ленту можно хранить на катушках (бобиных).

#### ЗУ большой емкости

Обычные магнитные ЗУ большой емкости – это магнитные ленты, магнитные диски и магнитные барабаны. Каждое из этих устройств работает аналогично обычному магнитофону. Информация записывается (помещается на хранение) на определенный магнитный материал. Информацию можно также считать с этого магнитного материала.

Большая часть оборудования, которое вы видите в помещении, где расположена ЭВМ, – периферийные устройства. Периферийные устройства не являются частью ЭВМ; они только снабжают ЭВМ информацией или получают информацию от нее. Многие из этих периферийных устройств как раз и используются для манипулирования с перфокартами, перфолентами, магнитными лентами, магнитными барабанами и магнитными дисками.

#### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

27. Существуют два типа внешних ЗУ большой емкости для ЭВМ: \_\_\_\_\_ и \_\_\_\_\_.
28. Назовите несколько ЗУ большой емкости для ЭВМ.

### 10.9. Память для микроЭВМ

Структура простейшей микроЭВМ показана на рис. 10.10. В этой цифровой системе устройством ввода информации является клавиатура, а устройством вывода – монитор или обычный телевизионный приемник. Центральный процессор управляет работой всей вычислительной системы и обрабатывает данные. В типичной микроЭВМ в качестве внутренней памяти используются полупроводниковые ЗУ двух типов. Это, как видно из рис. 10.10, ПЗУ и ЗУПВ (ОЗУ). Первые представляют собой энергонезависимые полупроводниковые ЗУ, вторые – энергонезависимые ЗУ. Большие массивы данных и программ обычно хранятся во внешних магнитных ЗУ большой емкости, называемых *гибкими дисками*<sup>1)</sup>. Дисковод – устройство, обеспечивающее считывание информации с гибкого диска и запись информации на гибкий диск. Строго говоря, в каждом из показанных на рис. 10.10 устройств – клавиатуре, видеомониторе, дисковом и центральном процессоре – содержатся небольшие ЗУ. Речь идет о фиксаторах, регистрах сдвига и буферных ЗУ. Внутренние полупроводниковые ЗУ (ПЗУ и ЗУПВ) выпу-

Монитор

Энергонезависимые ЗУ

Энергонезависимые ЗУ

Гибкие диски

<sup>1)</sup> Гибкие диски – это носители информации. Устройство внешней памяти на гибких дисках (т. е. сами диски плюс дисковод) обычно называют накопителем на гибких магнитных дисках, НГМД. – *Прим. перев.*

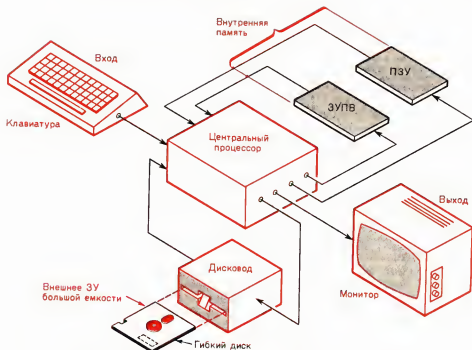


Рис. 10.10. Структура типичной микроЭВМ.

скаются в виде интегральных микросхем в плоских корпусах с двухрядным расположением выводов. Обычно они монтируются на печатных платах (как это схематически показано на рис. 10.10) вместе с некоторыми другими микросхемами.

Гибкие диски или *дискеты* выпускаются в нескольких вариантах, отличающихся размерами. С микроЭВМ обычно используются гибкие диски диаметром  $5\frac{1}{4}$  дюйма ( $\sim 13$  см), хотя находят применение и 8-дюймовые ( $\sim 20$  см) диски. Диски меньшего размера многими производителями рекламируются как *гибкие мини-диски*. Типичный гибкий мини-диск схематически изображен на рис. 10.11, а. Тонкий круглый пластмассовый гибкий мини-диск, покрытый магнитным материалом, вкладывается в пластмассовый «конверт». С обеих сторон этого конверта вырезано несколько отверстий. Они показаны на рис. 10.11, а. Круглое отверстие в центре конверта обеспечивает доступ к центральной области диска. Втулка дисковода прижимается в этой области к диску, и дисковод обеспечивает вращение диска со скоростью 300 об/мин. Большое отверстие в нижней части конверта на рис. 10.11, а открывает часть диска. В этой области с вращающимся диском соприкасается универсальная головка дисковода; с ее помощью осуществляется запись информации на диск и считывание информации с диска. Маленькие круглые отверстия в кон-

Дискеты

Гибкие мини-диски

Дисковод

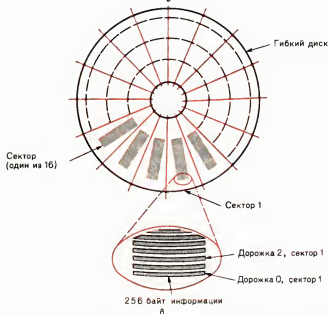
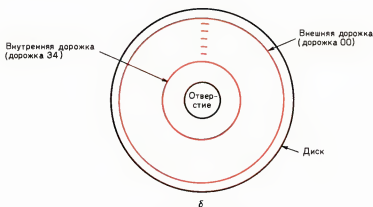
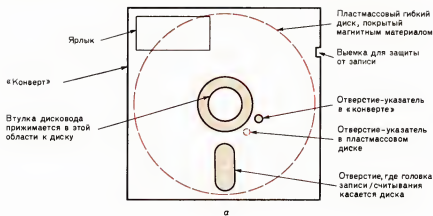


Рис. 10.11.

а — гибкий мини-диск; б — расположение дорожек на гибком диске; в — разбиение гибкого мини-диска на секторы. (Не следует вынимать диск из защитного конверта, как это сделано для иллюстративных целей на рисунке.)

верте и диске используются в качестве меток-указателей.

Произвольный доступ

Последовательный  
доступ

Как ЗУ большой емкости для микроЭВМ гибкие диски обладают определенным преимуществом по сравнению с магнитными лентами. Диски—это ЗУ с произвольным доступом к информации, тогда как ленты—ЗУ с последовательным доступом. С помощью дисководов можно сразу же (скачком) попасть в любую область диска, в то время как для обращения к некоторой программе на ленте нужно в общем случае последовательно пройти через большие массивы записанных на ленте данных.

Дорожки и секторы

Поверхность гибких дисков разделяется на *дорожки* и *секторы*. На рис. 10.11,б иллюстрируется организация размещения информации на гибком мини-диске (форматирование диска) одной из фирм, выпускающей микроЭВМ. Диск разбит на 35 круговых дорожек, которым присвоены номера от 00 до 34. На рис. 10.11,б показаны только дорожки 00 и 34. Каждая дорожка разделена на 16 секторов. Эти 16 секторов показаны на рис. 10.11,в. Таким образом, в каждом секторе содержится 35 коротких дорожек. Они показаны в нижней части рис. 10.11,в. При таком форматировании диска каждая короткая дорожка содержит 256 8-разрядных слов, или 256 *байт* информации. Байт—единица информации, равная 8 бит.

Байт

При показанной на рис. 10.11,в организации данных на гибком мини-диске можно разместить около 140000 8-разрядных слов (байт) информации. Это соответствует примерно 1 млн. двоичных единиц информации на одном  $5\frac{1}{4}$ -дюймовом гибком мини-диске. Следует отметить, что в настоящее время пока нет единого стандарта на формат гибких мини-дисков.

Обращение с гибкими  
дисками

Гибкий мини-диск—ЗУ большой емкости с произвольным доступом, которое широко используется в бытовых, школьных и учрежденческих микроЭВМ. В слое магнитного материала, нанесенного на гибкий мини-диск, можно постоянно хранить большие массивы данных. Обращаться с гибкими дисками нужно с особой осторожностью. Нельзя касаться поверхности самого магнитного диска и делать надписи на пластмассовом конверте. Магнитные поля и высокие температуры также могут привести к разрушению записанной на гибкий диск информации. Для предотвращения преждевременного износа (истирания) поверхности следует поддерживать диски в чистоте.

Время доступа

На рис. 10.12 различные ЗУ, используемые в микроЭВМ, сравниваются по величине отношения стоимости к эффективности. Стоимость ЗУ обычно выражается в *центах на бит*, а эффективность оценивается по времени доступа. *Время доступа*—это время, необходимое для обращения к любому фрагменту записанных в память данных. Зависимость стоимости от времени доступа для некоторых внутренних ЗУ и внешних ЗУ большой емкости иллюстрируется на рис. 10.12. Наиболее высокой эффективностью (наимень-

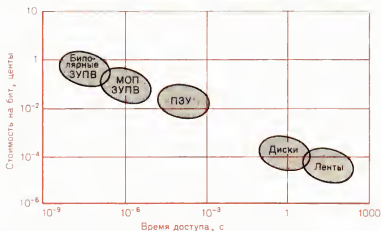


Рис. 10.12. Зависимость стоимости ЗУ от рабочих характеристик.

шим временем доступа) характеризуются полупроводниковые ЗУПВ, причем быстродействие ЗУПВ, изготовленных с использованием биполярной технологии, выше, чем ЗУПВ, при изготовлении которых используется МОП-технология. Однако стоимость в расчете на бит для биполярных ЗУПВ выше, чем для МОП-ЗУПВ. В микроЭВМ применяются микропроцессоры с относительно небольшим быстродействием, так что в этих системах используются ЗУПВ МОП-типа. В микроЭВМ находят применение как статические, так и динамические МОП ЗУПВ.

ПЗУ в микроЭВМ характеризуются большим временем доступа (более низкой эффективностью) по сравнению с ЗУПВ и немного меньшей стоимостью в расчете на бит. Быстродействие ПЗУ, однако, вполне достаточно для эффективного использования их в большинстве микропроцессоров в качестве основной или внутренней памяти.

Среднее время доступа для магнитных дисков и лент указано на том же рис. 10.12. Обратите внимание, что быстродействие дисков выше, но они и дороже, чем ЗУ на магнитных лентах.

Внутренние (оперативные) ЗУ микроЭВМ обычно характеризуются следующими значениями емкостей: 1К, 4К, 8К, 16К, 32К, 64К или 48К. В ЗУПВ емкостью 1К можно разместить  $1024 (2^{10})$  байт информации. Хотя буква «К» формально означает 1000 байт, в ЗУ емкостью 1К на самом деле содержится 1024 байт информации. Таким образом, в микроЭВМ с памятью 16К имеется  $1024 \times 16 = 16384$  8-разрядных ячеек.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.



29. Большинство внутренних ЗУ для микроЭВМ монтируются на платах \_\_\_\_\_ и \_\_\_\_\_.
30. В качестве ЗУ большой емкости во многих микроЭВМ обычно используются \_\_\_\_\_.
31. На одном 5<sup>1</sup>/<sub>4</sub>-дюймовом гибком диске, форматированном, как показано на рис. 10.11, размещается около \_\_\_\_\_ байт или около \_\_\_\_\_ бит информации.
32. Преимущество магнитных дисков по сравнению с магнитными лентами заключается в том, что диски — это ЗУ с \_\_\_\_\_ доступом.
33. Во внутренней памяти микроЭВМ емкостью 48К можно разместить около 48000 \_\_\_\_\_ (байт, бит) информации.

### Основные результаты главы

1. Принято различать 3 типа полупроводниковых ЗУ: ЗУПВ, ПЗУ и ППЗУ.
2. ЗУПВ — это ЗУ с произвольной выборкой для записи и считывания информации.
3. ПЗУ — это постоянное ЗУ только для считывания информации.
4. ППЗУ по принципу действия ничем не отличаются от ПЗУ. ППЗУ — устройства для однократной записи информации. Имеется много модификаций ППЗУ, обычно известных как СППЗУ и ЭППЗУ; в этих устройствах информацию можно стирать электрическим способом (ЭППЗУ) или ультрафиолетовым лучом через специальные прозрачные «окна» в корпусе микросхемы.
5. В процессе записи информация заносится в память; в процессе считывания мы узнаем содержимое памяти.
6. ЗУПВ можно легко перепрограммировать, но это энергозависимые ЗУ.
7. ЗУ 64 × 4 содержит слова длиной 4 разряда каждое; полная емкость такого ЗУ — 256 бит информации.
8. В ЗУ на магнитных сердечниках для организации хранения логических «нулей» и «единиц» используются магнитные свойства ферритовых сердечников.
9. Из ферритовых сердечников формируются матрицы, из матриц набираются «кубы». В ЗУ на магнитных сердечниках совпадением токов сквозь крошечные сердечники «прошиваются» шины записи, считывания и запрета.
10. В качестве внешних устройств хранения информации для ЭВМ используются магнитные ленты, диски и барабаны, а также перфокарты и перфоленты.
11. В микроЭВМ в качестве внутренних ЗУ используются как ЗУПВ, так и ПЗУ. Широко распространенными ЗУ большой емкости для бытовых, школьных и учреждений микроЭВМ являются 5<sup>1</sup>/<sub>4</sub>-дюймовые гибкие диски.
12. Эффективность ЗУ можно оценивать по времени доступа. Чем меньше это время, тем лучше рабочие характеристики ЗУ.
13. Единица емкости памяти микроЭВМ 1К соответствует 1024 байт. Байт — это 8-разрядное слово.

## Итоговые задания к изучаемой главе

1. Нажмем клавишу «П» («Память») на панели микрокалькулятора. Это инициирует процесс \_\_\_\_\_ (считывания, записи) в блоке памяти.
2. Нажмем клавишу «ИП» («Из памяти») на панели микрокалькулятора. Это инициирует процесс \_\_\_\_\_ (считывания, записи) в блоке памяти.
3. Что означают следующие сокращения:  
а. ЗУПВ; б. ПЗУ; в. ППЗУ; г. СППЗУ; д. ЭППЗУ?
4. \_\_\_\_\_ (ЗУПВ, ПЗУ) – энергозависимое запоминающее устройство.
5. \_\_\_\_\_ (ЗУПВ, ПЗУ) – допускает как считывание, так и запись информации.
6. \_\_\_\_\_ (ЗУПВ, ПЗУ) – это постоянное запоминающее устройство.
7. \_\_\_\_\_ (ЗУПВ, ППЗУ) – энергонезависимое запоминающее устройство.
8. В \_\_\_\_\_ (ЗУПВ, ПЗУ) имеется вход задания режима работы (записи/считывания).
9. В \_\_\_\_\_ (ЗУПВ, ПЗУ) имеются информационные входы.
10. Как еще иногда называют ЗУПВ типа микросхемы 7489 (дайте два названия)?
11. В ЗУ  $32 \times 8$  можно хранить \_\_\_\_\_ слов. Длина каждого слова – \_\_\_\_\_ разрядов.
12. Изобразите в табличной форме структуру  $32 \times 8$ . Ваша таблица должна быть похожа на таблицу на рис. 10.1.
13. Нарисуйте условное графическое обозначение ПЗУ  $32 \times 8$ . Обозначьте адресные входы  $E$ ,  $D$ ,  $C$ ,  $B$  и  $A$ . Обозначьте выходы  $DO_1$ ,  $DO_2$ ,  $DO_3$ ,  $DO_4$ ,  $DO_5$ ,  $DO_6$ ,  $DO_7$  и  $DO_8$ .
14. Как бы вы запрограммировали ПЗУ, о котором идет речь в п. 12 и 13?
15. Назовите по крайней мере три преимущества полупроводниковых ЗУ.
16. Информацию в \_\_\_\_\_ (ЗУПВ, ПЗУ) можно легко стирать.
17. Назовите по крайней мере три применения ПЗУ.
18. Какие два способа используются для стирания информации в ППЗУ?
19. Ферритовый сердечник является ячейкой памяти в ЗУ \_\_\_\_\_.
20. Шина записи, проходящая через ферритовый сердечник, используется для \_\_\_\_\_ и считывания информации.
21. Шина считывания, проходящая через ферритовый сердечник, используется в процессе \_\_\_\_\_ (считывания, записи).
22. Если в ферритовом сердечнике логическому 0 соответствует состояние, в котором магнитный поток направлен по часовой стрелке, то логической 1 соответствует состояние, в котором магнитный поток направлен \_\_\_\_\_.
23. \_\_\_\_\_ (ЗУ на магнитных сердечниках, ЗУПВ) – это энергонезависимое ЗУ.
24. ЗУ на магнитных сердечниках с совпадением токов «прошиваются» четырьмя шинами. Как называются эти шины?
25. Назовите по крайней мере четыре типа обычно используемых ЗУ большой емкости (внешних ЗУ) для ЭВМ.
26. В стандартной микроЭВМ в качестве \_\_\_\_\_ (ЗУ большой емкости, внутренней основной памяти), вероятнее всего, используются ПЗУ и \_\_\_\_\_ (биполярные, МОП)

- ЗУПВ.
27. Гибкий мини-диск представляет собой круглую пластмассовую пластинку, покрытую \_\_\_\_\_ (проводящим, магнитным) материалом. Для защиты от повреждений диск помещается \_\_\_\_\_ в пластмассовый \_\_\_\_\_.
28. Назовите меры предосторожности, которые нужно соблюдать при обращении с гибкими дисками.
29. Малое время доступа характеризует \_\_\_\_\_ (высокую, низкую) эффективность ЗУ.
30. Большим быстродействием обладают \_\_\_\_\_ (ЗУ на гибких дисках, ЗУПВ).
31. В памяти микроЭВМ емкостью 4К можно хранить 4096 \_\_\_\_\_ (бит, байт) информации.

#### Ответы к заданиям для самопроверки

1. ЗУ с произвольной выборкой
2. Записью
3. Считыванием
4. Оперативными
5.  $16 \times 4$
6. Энергозависимые; отключении
7. ОЗУ
8. 16; 4
9. Записи; записывается в память; 15
10. Динамических
11. Двоичного кода в код Грея
12. 1100; Грея; 1000
13. Потеряет всю записанную в нем информацию и его нужно будет программировать заново
14. Постоянного запоминающего устройства
15. Энергонезависимые
16. Программно-аппаратное обеспечение
17. Остается в памяти
18. 177
19. Изготовителем
20. Программируемого постоянного запоминающего устройства
21. Стираемого программируемого постоянного запоминающего устройства
22. Электрическим способом; ультрафиолетовым
23. 512; 8
24. Ферритовых сердечников
25. Энергонезависимые
26. Полупроводниковые
27. Механические; магнитные
28. 1) перфоленты; 2) перфокарты; 3) магнитные ленты; 4) магнитные диски; 5) магнитные барабаны
29. ЗУПВ, ПЗУ
30. Гибкие диски (или магнитные ленты)
31. 140000, 1 миллиона
32. Произвольным
33. Байт

# Глава 11

## Цифровые системы

Большинство ежедневно используемых нами цифровых устройств – например микрокалькуляторы, наручные электронные часы или даже ЭВМ – представляют собой *цифровые системы*. Микрокалькуляторы, электронные часы и ЭВМ состоят из различных *подсистем*. Типичные подсистемы – это сумматоры-вычитатели, счетчики, регистры сдвига, ЗУПВ, ПЗУ, шифраторы, дешифраторы, селекторы данных, тактовые генераторы и устройства управления индикаторами. Вы уже знакомы с большинством этих подсистем. В данной главе мы обсудим различные цифровые системы и способы передачи данных в этих системах. Любая цифровая система представляет собой соответствующую совокупность цифровых подсистем.

Элементы системы

### 11.1. Элементы системы

Ввод  
Вывод

Процесс обработки

Управление

Передача  
Хранение

Почти в любой механической, химической, жидкостной или электрической системе можно найти некоторые общие для всех систем признаки. Так, в любой системе реализуется *ввод* и *вывод* мощности, информации или каких-либо «продуктов производства». Каждая система каким-то образом воздействует на эти «продукты», мощность или информацию; это воздействие называется *процессом обработки*. Вся система обладает определенной внутренней организацией, и ее работа осуществляется в соответствии с реализуемой в системе функцией *управления*. При передаче мощности, информации и т.п. от одной подсистемы к другой выполняется системная функция *передачи*. В более сложных системах реализуется также функция *хранения*. Общая организация системы иллюстрируется на рис. 11.1. При внимательном рассмотрении вы убедитесь, что приведенная диаграмма носит довольно общий характер и применима почти к любой системе, будь то транспортная или жидкостная, школьная или промышленная электронная система. Каналы передачи от устройства к устройству указаны на диаграмме цветными линиями и стрелками. Обратите внимание, что данные или любые другие передаваемые от устройства к устройству системные «продукты» на всех участках схемы движутся в одном направлении. Линии, показывающие связи по управлению, принято снабжать двойными стрелками для отображения того факта, что устройство управления не только «руководит» работой системы, но и получает от нее сигналы обратной связи.

Структурная схема, показанная на рис. 11.1, поможет нам понять работу нескольких цифровых систем, рассма-



Рис. 11.1. Функции, реализуемые в типичной системе.

триваемых в данной главе. В цифровой системе мы будем иметь дело только с передачей данных (чисел).

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

1. Устройство \_\_\_\_\_ связано двунаправленными линиями передачи со всеми другими частями системы.
2. К какой части системы можно отнести клавиатуру микроЭВМ?

## 11. 2. Цифровая система на интегральной микросхеме

Мы уже знаем, что любую цифровую систему можно собрать из отдельных логических элементов И, ИЛИ и инверторов. Мы также знаем, что выпускаются подсистемы, реализованные на одной ИС (счетчики, регистры и т.п.). Мы увидим далее, что в производстве интегральных микросхем сделан и следующий шаг: выпускаются ИС, включающие в себя почти целые цифровые системы.

Наименее сложные цифровые ИС фирма Texas Instruments называет интегральными схемами с *малой степенью интеграции* (малыми ИС). По своей сложности малые ИС эквивалентны дискретным схемам, включающим в себя приблизительно до 10 логических или других сравнимых по сложности элементов. К малым ИС относятся уже знакомые вам триггерные и комбинационные логические ИС.

Сложные интегральные схемы со *средней степенью интеграции* (средние ИС, или СИС) включают от 12 до 100 эквивалентных логических элементов. Интегральные схемы, классифицируемые как СИС, относятся к группе подсистем. Типичные примеры: сумматоры, регистры, преобразователи кодов, счетчики, селекторы данных (мультиплексоры), ЗУПВ и ПЗУ. Большинство ИС, которые вы к настоящему моменту изучили и использовали на практике, были малыми ИС или СИС.

Сложные интегральные схемы с *большой степенью ин-*

Малая степень интеграции (малые ИС)

Средняя степень интеграции (средние ИС)

Большая степень интеграции (большие ИС)

Сверхбольшая степень интеграции (сверхбольшие ИС)

Кристалл

теграции (большие ИС, или БИС) содержат более 100 эквивалентных логических элементов. В одну такую ИС встраивается сложная подсистема или целая цифровая система. Примерами БИС являются ИС для цифровых часов и микрокалькуляторов.

Сложные интегральные схемы со сверхбольшой степенью интеграции (сверхбольшие ИС, или СБИС) включают 1000 и более логических или других сравнимых по сложности элементов. К этой категории ИС относятся многие кристаллы ЗУ и микропроцессоры. Когда говорят о сверхбольшой ИС, имеют в виду некоторую цифровую систему на отдельном кристалле. Кристаллом называют отдельную кремниевую пластину (это может быть квадрат со стороной 0,5 см), которая содержит все функциональные элементы ИС. Разные производители по разному определяют термины «малые ИС», «ИС», «БИС» и «СБИС».

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

3. Интегральные схемы со средней степенью интеграции—это ИС, по своей сложности эквивалентные дискретным схемам, содержащим \_\_\_\_\_ логических элементов.
4. СБИС—это ИС, по своей сложности эквивалентные дискретным схемам, содержащим свыше \_\_\_\_\_ логических элементов.

## 11.3. Микрокалькулятор

Микрокалькуляторы, которые сейчас имеются почти у каждого из нас в кармане или на рабочем столе,—очень сложные цифровые системы. Зная это, вы разочаруетесь, когда разберете современный микрокалькулятор на части. Вы обнаружите несколько гальванических элементов, крошечный многоразрядный индикатор, несколько проводков от цифровой клавишной панели и плату с присоединенной микросхемой. Эта единственная микросхема—большая часть цифровой системы, которую мы называем микрокалькулятором; она представляет собой БИС, выполненную на одном кристалле и реализующую работу сотен или тысяч логических элементов. Эта БИС осуществляет все основные функции вычислительной системы: хранение данных, их обработку и операции управления. Клавишная панель—входное, а индикатор—выходное устройства этой вычислительной системы.

Что же происходит внутри кристалла микрокалькулятора, когда вы нажимаете клавишу с некоторой цифрой на панели или складываете два числа? Диаграмма на

Кристалл микрокалькулятора

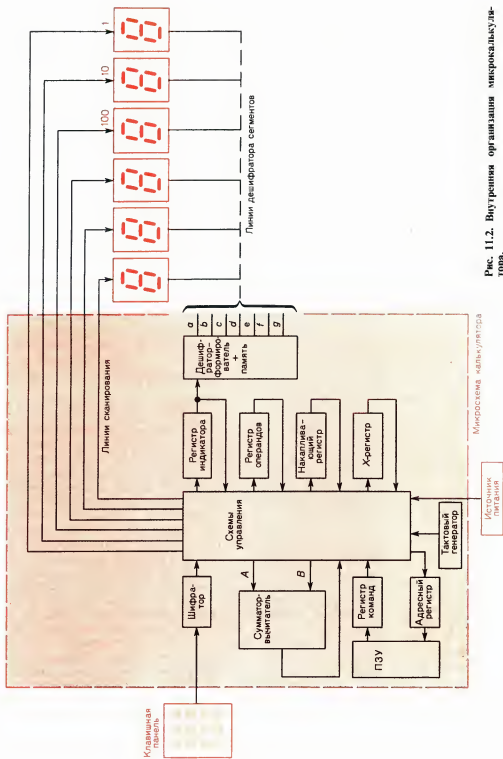


Рис. 11.2. Внутренняя организация микрокалькулятора.

рис. 11.2 поможет нам представить работу микрокалькулятора. Помимо БИС мы видим на рис. 11.2 еще три блока: клавишную панель, семисегментный индикатор и источник питания. В простейших микрокалькуляторах это единственные функциональные блоки, не входящие в состав БИС. Очевидно, что клавишная панель (клавиатура) является устройством ввода информации. Она содержит простые нормально разомкнутые переключатели. Десятичный индикатор—устройство вывода информации. На рис. 11.2 он представлен в виде 6-разрядного семисегментного индикатора. В самых дешевых микрокалькуляторах источником питания обычно является батарея гальванических элементов.

Как видно из рис. 11.2, используемая в микрокалькуляторе БИС разбивается на ряд функциональных подсистем. Показанная на рисунке организация БИС—только один из нескольких возможных способов обеспечения функционирования микрокалькулятора. Ядро системы—сумматор-вычитатель, который работает аналогично уже известным вам 4-разрядным сумматорам. Тактовый генератор синхронизирует работу всех частей системы. Тактовая частота довольно высока—от 25 до 500 кГц. При включении микрокалькулятора начинают непрерывно вырабатываться тактовые импульсы, и все схемы работают «вхолостую» до тех пор, пока с клавиатуры не поступит какая-нибудь команда.

Предположим, что с помощью этого микрокалькулятора мы находим сумму  $2 + 3$ . Когда мы нажимаем клавишу с цифрой 2, шифратор преобразует десятичное число 2 в двоично-десятичный код 0010. Блок управления направляет двоичную комбинацию 0010 в регистр индикатора, где эта двоичная комбинация запоминается. Эта информация поступает также на входы семисегментного дешифратора, который переводит в возбужденное состояние линии *a*, *b*, *d*, *e* и *g*. При поступлении «включающего» импульса по шине опроса, подключенной к первому разряду индикатора, в этом разряде кратковременно высвечивается цифра 2. Опрос разрядов индикатора осуществляется с большой частотой, и поэтому кажется, что цифра 2 светится непрерывно, хотя на самом деле младший разряд индикатора (как и любой другой разряд) включается и выключается много раз за 1 с. Затем мы нажимаем клавишу «+». Код операции сложения передается в дополнительный регистр (X-регистр) и запоминается. Теперь мы нажимаем на панели клавишу с цифрой 3. Шифратор преобразует десятичное число 3 в двоично-десятичный код 0011. Блок управления пересылает двоичную комбинацию 0011 в регистр индикатора, далее эта комбинация поступает на входы дешифратора-формирователя, и после дешифрации на индикаторе появляется цифра 3. В это же время блок управления пересылает первую двоичную комбинацию 0010 (десятичное



число 2) в регистр операндов. Теперь мы нажимаем клавишу «=», и в блоке управления организуется проверка содержимого X-регистра, чтобы «узнать», что же надо делать. Ответ X-регистра: нужно сложить содержимое регистра операндов и регистра индикатора (т.е. двоично-десятичные коды чисел 2 и 3). Управляющее устройство подаст соответствующие двоичные комбинации на входы сумматора. Результат сложения помещается в накапливающий регистр (аккумулятор). В данном случае результатом является двоично-десятичный код 0101. Блок управления реализует пересылку полученной двоичной комбинации в регистр индикатора, и на индикаторе появляется цифра 5.

При обработке многоразрядных чисел и более сложных их представлений, содержащих десятичную точку, работа блока управления осуществляется в соответствии с инструкциями, находящимися в регистре команд. Цикл решения сложной задачи может включать сотни элементарных операций, запрограммированных в ПЗУ. Особенно впечатляет то, что даже сотни таких операций выполняются за время, меньшее 1/10 с.

Регистры в схеме на рис. 11.2—довольно большие (по информационной емкости) устройства по сравнению с теми регистрами, которые вы использовали в лаборатории. Большую информационную емкость (многие тысячи бит) имеет также ПЗУ. Структурная схема на рис. 11.2 дает только один пример возможной организации работы микрокалькулятора. Для каждой модели микрокалькуляторов характерна своя собственная, отличная от других моделей, организация работы. Проведенное обсуждение имело целью показать, что в сложных цифровых системах, подобных микрокалькулятору, встречаются многие уже известные вам подсистемы.

Конкретную организацию подсистем (как на рис. 11.2) нужно знать только разработчикам данного микрокалькулятора. Об этой организации иногда говорят как об *архитектуре* микрокалькулятора. Обратите внимание, что в рассмотренном электронном микрокалькуляторе представлены все элементы системы.

Вас могут попросить найти неисправность в микрокалькуляторе и починить его. Конструкция большинства дешевых микрокалькуляторов не допускает их починку. Однако по меньшей мере один раз фирма-производитель восстанавливает свои модели микрокалькуляторов.

В состав микрокалькулятора современной конструкции входят клавишная панель (клавиатура), однокристалльная БИС, возможно, печатная плата, индикаторный модуль и источник питания. Не имея принципиальной электрической схемы микрокалькулятора, вы все-таки можете устранить в нем некоторые очевидные дефекты. Внимательно проверьте батарею гальванических элементов или источник питания. Замените батарею или проверьте на-

пряжение элементов путем подключения какой-нибудь нагрузки. Внимательно обследуйте также батарейные токоисточники на предмет потери или ухудшения контакта. Если вы подозреваете отсутствие питания, проверьте с помощью тестера наличие напряжения в точке, максимально близкой к микросхеме.

Вторым довольно ненадежным блоком в микрокалькуляторах является клавиатура. Поскольку клавиатура – это по-существу механическое устройство (и обычно очень дешевое), с ней бывает много хлопот. Во многих моделях микрокалькуляторов клавиатура загерметизирована и недоступна для ремонта. Однако в некоторых микрокалькуляторах клавиатуру можно по крайней мере очищать сжатым воздухом и проверять качество контактов. Помимо очистки клавиатуры и замены батарей убедитесь в отсутствии разрывов соединительных проводов и проверьте качество контактов. Неисправность индикаторного модуля и БИС устраняется только у дорогих микрокалькуляторов в специальных ремонтных лабораториях.

Неисправность микрокалькуляторов

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

5. В современных микрокалькуляторах единственная \_\_\_\_\_ выполняет функции хранения, обработки и управления.
6. В микрокалькуляторе индикатор является устройством \_\_\_\_\_.
7. В микрокалькуляторе клавиатура является устройством \_\_\_\_\_.
8. Назовите два блока, которые нужно в первую очередь проверить при обнаружении неисправности в недорогом микрокалькуляторе.

### 11.4. ЭВМ

Электронная вычислительная машина (ЭВМ) – наиболее сложная цифровая система. В большинстве цифровых ЭВМ можно выделить пять функциональных блоков, показанных на рис. 11.3. Устройствами ввода информации могут быть клавиатура, считыватель перфокарт, устройство ввода информации с магнитной ленты или обычная телефонная линия. Все эти устройства обеспечивают передачу информации *от человека к машине*. Устройство ввода должно перекодировать информацию с языка, который использует человек, на язык двоичных символов, понятных ЭВМ.

Память ЭВМ – это хранилище данных и программ. Оно может быть дополнено устройствами хранения информации вне центрального процессора. Большую часть памяти в центральном процессоре традиционно составляли ЗУ на маг-

Цифровые ЭВМ

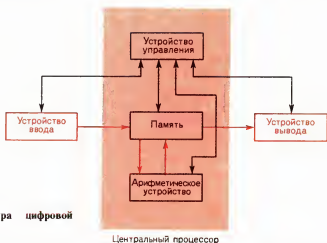


Рис. 11.3. Структура цифровой ЭВМ.

ЗУ

нитных сердечниках, но в настоящее время в центральном процессоре используются полупроводниковые ЗУ.

Арифметическое устройство — это то, что большинство людей принимает за ЭВМ. Арифметическое устройство складывает, вычитает, сравнивает и выполняет некоторые другие логические операции. Обратите внимание на наличие двунаправленного канала связи между памятью ЭВМ и арифметическим устройством. Другими словами, данные можно переслать в арифметическое устройство для обработки и возвратить в память для хранения. Арифметическое устройство иногда называют арифметико-логическим устройством (АЛУ).

АЛУ

Устройство управления — это «нервная система» ЭВМ. Оно регламентирует порядок работы всех остальных частей системы и «сообщает» устройству ввода, когда нужно ввести информацию и где разместить ее в памяти. Оно вызывает информацию из памяти ЭВМ, направляет в арифметическое устройство и дает команду на выполнение, например, операции сложения. Оно направляет ответ назад в память и к устройству вывода. Оно «сообщает» устройству вывода, когда нужно выводить информацию. Это только некоторые примеры тех функций, которые может выполнять устройство управления.

Устройство вывода информации — связующее звено между машиной и человеком. Эта связь может осуществляться с помощью печатающего устройства (принтера), которое напоминает пишущую машинку без клавиш. Блок вывода может выдавать информацию на дисплей с электронно-лучевой трубкой (ЭЛТ), похожий на обычный телевизор. Выводимая из ЭВМ информация может быть также размещена в ЗУ большой емкости, таких, как перфокарты или магнитные ленты. Устройство вывода информации должно «переводить» информацию с языка ЭВМ на язык, понятный человеку.



Рис. 11.4. Потoki программных команд и данных в вычислительной системе.

Весь центральный блок, выделенный на рис. 11.3, часто называют центральным процессором (ЦП). Арифметическое устройство, память ЭВМ и большая часть блока управления обычно размещаются в одном корпусе. Устройства, размещаемые вне центрального процессора, часто называют *периферийными устройствами*.

Структурная схема ЭВМ на рис. 11.3 вполне могла бы быть и структурной схемой микрокалькулятора. До настоящего момента прослеживалась полная аналогия этих двух систем. Основное различие между микрокалькулятором и ЭВМ заключается в размерах этих систем, а также в том, что в ЭВМ используется *хранящая в памяти программа* работы. Из рис. 11.4 видно, что в ЭВМ вводится информация двух типов. Первый тип информации — *программа* (набор команд), указывающая центральному процессору, как нужно осуществлять решение данной задачи. Эта программа, которая должна быть аккуратно написана программистом, во время решения задачи находится в основной памяти ЭВМ. Второй тип вводимой в ЭВМ информации — *данные*, которые должны обработать эта ЭВМ. Данные — это определенные факты и цифры, необходимые для решения конкретной задачи. Обратите внимание, что программа помещается в некоторую область памяти ЭВМ и используется только устройством управления. Что касается данных, то они направляются к различным устройствам внутри ЭВМ и обрабатываются в АЛУ. Данные не нужны для устройства управления. Вспомогательная память — это дополнительная память, которая может понадобиться для хранения очень больших массивов данных при решении некоторых сложных задач. Вспомогательная память может и не входить в состав узлов ЦП. Данные можно хранить в периферийных устройствах.

Итак, в структурном плане ЭВМ представляет собой систему, состоящую из пяти основных функциональных бло-

Хранящая в памяти программа

Программа

Данные

Периферийные устройства

ков: устройства ввода информации, памяти, устройства управления, АЛУ и устройства вывода информации. Информация, вводимая в центральный процессор, представляет собой или программные команды или данные, которые нужно обработать. Возможность хранения программ в памяти и относительно большие размеры отличают ЭВМ от микрокалькуляторов.

ЭВМ – наиболее сложную цифровую систему – мы обсудили в этом разделе лишь в самых общих чертах. Организации и архитектуре ЭВМ посвящены целые книги. Напомним, однако, что все схемы в цифровой ЭВМ собраны из логических элементов, триггеров и подсистем, аналогичных тем подсистемам, которые вы уже изучили.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

9. Устройства, располагаемые вне центрального процессора ЭВМ, часто называют \_\_\_\_\_ устройствами.
10. Основное различие между микрокалькулятором и ЭВМ заключается в \_\_\_\_\_ и использовании \_\_\_\_\_.
11. Назовите два типа информации, вводимой в цифровую ЭВМ.

### 11.5. МикроЭВМ

ЭВМ получили широкое распространение начиная с 50-х годов. Прежде это были очень большие и дорогие устройства, используемые лишь в государственных учреждениях и крупных фирмах. Размеры и форма цифровых ЭВМ неузнаваемо изменились за минувшее десятилетие в результате разработки новых устройств, называемых микропроцессорами. Микропроцессор представляет собой интегральную схему, в которой реализованы многие функциональные возможности большой ЭВМ. Это небольшое, но исключительно сложное программируемое устройство на сверхбольших интегральных схемах. Микропроцессорная ИС является «сердцем» микроЭВМ. МикроЭВМ – это цифровая вычислительная машина с хранимой программой, имеющая гораздо меньшие размеры и стоимость, чем ее «родственницы» – большие ЭВМ, но уступающая им в быстродействии.

Одну из популярных моделей микроЭВМ вы видите на снимке на рис. 11.5. Эта микроЭВМ используется в качестве бытового компьютера, а также в школах и небольших учреждениях. В данной вычислительной системе для ввода информации используется клавиатура, а для вывода – видеомонитор и термографическое печатающее устройство. Под клавиатурой и за ней находятся центральный процессор, основная полупроводниковая память (ПЗУ и ЗУПВ) и интер-

Микропроцессор

МикроЭВМ

Цифровая вычислительная машина с хранимой программой



Рис. 11.5. Стандартный комплект микропроцессорной вычислительной системы (воспроизводится с разрешения фирмы Apple Computer, Inc.).

фейсные схемы. Сдвоенные НГМД служат внешним ЗУ большой емкости, информация (программы пользователя и файлы данных) записывается в них на гибкие мини-диски диаметром  $5\frac{1}{4}$  дюйма.

Архитектура типичной небольшой вычислительной системы на основе микроЭВМ показана на рис. 11.6. Такая микроЭВМ содержит все 5 основных блоков цифровой машины: устройство *ввода* информации, *управляющее* и *арифметическое* устройства (входящие в состав микропроцессора), *запоминающие* устройства и устройство *вывода* информации.

Микропроцессор координирует работу всех устройств рассматриваемой цифровой системы с помощью шины управления, показанной слева на рис. 11.6. Помимо шины управления имеется *адресная шина* (16 параллельных проводников), которая служит для выбора определенной ячейки памяти, порта ввода или порта вывода<sup>1)</sup>. По *информационной шине*, или *шине данных* (8 параллельных проводников), показанной справа на рис. 11.6, осуществляется *двусторонняя пересылка данных* к микропроцессору и от микропроцессора. Важно отметить, что микропроцессор может посылать информацию в память микроЭВМ или к одному

Устройство ввода  
Управляющее устройство  
Арифметическое устройство  
Запоминающие устройства  
Устройство вывода

Адресная шина

Шина данных

<sup>1)</sup> Порт (port) — это аппаратное устройство, через которое осуществляется связь микропроцессора с каким-либо устройством ввода или вывода информации (клавиатурой, экраном и т.п.). — *Прим. перев.*

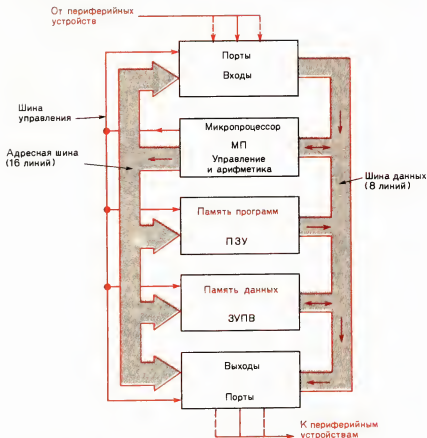


Рис. 11.6. Блок-схема микропроцессорной вычислительной системы.

из портов вывода, а также получать информацию из памяти или от одного из портов ввода.

ПЗУ в микроЭВМ обычно содержит некоторую программу. *Программа* — это список особым образом закодированных команд, задающих *точную* последовательность выполняемых микропроцессором операций. В схеме на рис. 11.6 ПЗУ показано как хранилище такой программы. На практике ПЗУ содержит запускаящую программу (программу инициализации) и, возможно, некоторые другие программы. Программы могут быть также загружены в ЗУПВ из внешнего ЗУ. Это программы пользователя.

ЗУПВ в схеме на рис. 11.6 показано как память для хранения данных. Здесь находятся данные, используемые в процессе выполнения конкретной программы.

#### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

12. В микроЭВМ на рис. 11.5 для ввода информации используется \_\_\_\_\_, а для вывода — \_\_\_\_\_ и \_\_\_\_\_.
13. Центральный процессор и внутренняя память (ПЗУ и ЗУПВ) микроЭВМ на рис. 11.5 расположены \_\_\_\_\_ (внутри НГМД, в основном блоке ЭВМ за клавиатурой, внутри печатающего устройства, внутри видеомонитора).
14. По адресной шине, показанной на рис. 11.6, осуществляется однонаправленная, а по шине \_\_\_\_\_ — двунаправленная передача информации.
15. В ПЗУ (рис. 11.6), как правило, хранятся \_\_\_\_\_ (данные, программы).
16. В ЗУПВ (рис. 11.6) обычно хранятся как программы пользователя, так и \_\_\_\_\_.
17. В схеме на рис. 11.6 точный адрес ячейки памяти или порта ввода-вывода задается комбинацией сигналов, посылаемых микропроцессором по \_\_\_\_\_ шине.

#### Работа микроЭВМ

#### 11.6. Работа микроЭВМ

В качестве примера, иллюстрирующего работу микроЭВМ, рассмотрим процедуру, для реализации которой нужно выполнить следующую последовательность элементарных операций (рис. 11.7):

1. Нажать клавишу с буквой «А» на клавиатуре.

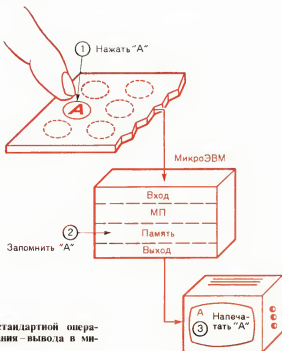


Рис. 11.7. Пример стандартной операции ввода — запоминания — вывода в микроЭВМ.



2. Поместить букву «А» в память микроЭВМ.
3. Вывести букву «А» на экран дисплея.

Процедура ввода–запоминания–вывода, представленная на рис. 11.7,—одна из типичных процедур, выполняемых микроЭВМ. Электронные устройства, которые используются в цифровых системах, подобных изображенной на рис. 11.7, довольно сложны. Однако рассмотрение процесса перемещения информации внутри такой системы дает возможность пояснить принципы использования некоторых устройств, входящих в состав микроЭВМ.

Более подробная диаграмма, представленная на рис. 11.8, поможет нам понять принцип выполнения типичной процедуры ввода–запоминания–вывода в микроЭВМ. Вглядитесь внимательно в ту часть диаграммы, где показано содержимое памяти программ. Обратите внимание, что команды уже загружены в первые шесть ячеек памяти. Из рис. 11.8 видно, что хранимая программа содержит следующую цепочку команд:

1. Ввести данные из порта ввода 1.
2. Запомнить данные в ячейке памяти 200.
3. Переслать данные в порт вывода 10.

Заметьте, что в данной программе имеется только три команды, хотя может показаться, что на рис. 11.8 в памяти программ записано шесть команд. Это связано с тем, что команды обычно разбиваются на части. Первая часть команды 1 в приведенной выше программе—команда ввода данных. Во второй части команды 1 указывается, откуда нужно ввести данные (из порта 1). Первая часть команды, предписывающая конкретное действие, называется *операцией*, вторая часть—*операндом*. Операция и операнд размещаются в отдельных ячейках памяти программ. Как видно из рис. 11.8, код операции хранится в ячейке 100, а код операнда—в ячейке 101 (порт 1), последний указывает, откуда нужно взять информацию.

В микропроцессоре на рис. 11.8 выделены два новых блока. Они называются регистрами. Это специальные регистры: *аккумулятор* и *регистр команд*.

Все события, происходящие внутри микроЭВМ при выполнении процедуры ввода–запоминания–вывода буквы «А», иллюстрируются на рис. 11.8. За прохождением команд и данных внутри микроЭВМ можно проследить с помощью заштрихованных кружков на диаграмме. Напомним, что микропроцессор—это центральный узел, управляющий перемещением всех данных и выполнением всех операций. Используя рис. 11.8, рассмотрим последовательные этапы процедуры.

1. Микропроцессор (МП) выдает адрес 100 на адресную шину. По шине управления поступает сигнал, устанавливающий память программ (конкретную микросхе-

Операция  
Операнд

Микропроцессор

Аккумулятор  
Регистр команд

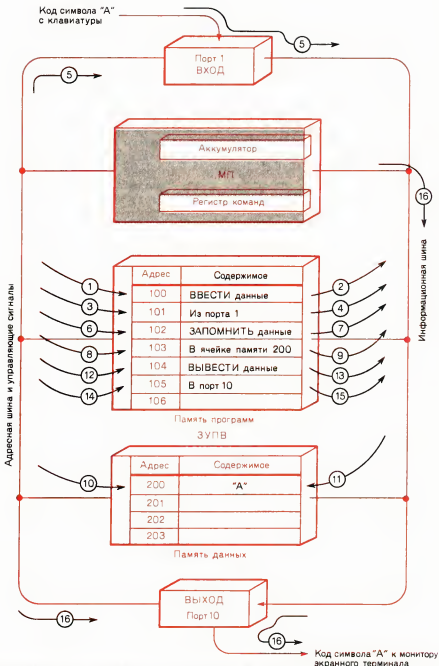


Рис. 11.8. Последовательность операций, осуществляемых в микроЭВМ при выполнении программы ввода - запоминания - вывода.

му) в режим считывания. Этот этап условно представлен на рис. 11.8 кружком с цифрой 1.

2. ЗУ программ пересылает первую команду («Ввести

данные») по шине данных, и МП получает это закодированное сообщение. Команда помещается в специальную область памяти внутри МП, называемую регистром команд. МП *дешифрует* (интерпретирует) полученную команду и определяет, что для команды ввода данных нужен операнд.

3. МП выдает адрес 101 на адресную шину; шина управления используется для перевода памяти программ в режим считывания.
4. Из памяти программ на шину данных пересылается операнд «Из порта 1». Этот операнд находится в программной памяти по адресу 101 (в ячейке 101). Код операнда (содержащий адрес порта 1) передается по шине данных к МП и направляется в регистр команд. МП теперь дешифрует полную команду («Ввести данные из порта 1»).
5. МП, используя адресную шину и линии управления, связывающие его с устройством ввода, открывает порт 1. Цифровой код буквы «А» передается в аккумулятор внутри МП и запоминается.

Здесь важно отметить, что при обработке каждой программной команды микропроцессор действует согласно *микропроцедуре выборки—дешифрации—исполнения*. Сначала он осуществляет выборку команды из памяти программ, затем дешифрует эту команду и, наконец, исполняет ее. Пытайтесь самостоятельно проследить за этой микропроцедурой выборки—дешифрации—исполнения на примере двух следующих команд программы. А пока мы продолжим рассмотрение процесса выполнения программы, хранимой в памяти (рис. 11.8).

6. МП обращается к ячейке 102 по адресной шине. Шина управления используется при этом для установки памяти в режим считывания.
7. Код команды «Запомнить данные» подается на шину данных и пересылается к МП, где помещается в регистр команд.
8. МП дешифрует эту команду и определяет, что для нее нужен операнд. МП обращается к ячейке памяти (103) и приводит в активное состояние вход считывания микросхемы памяти программ.
9. Из памяти программ на шину данных пересылается код сообщения «В ячейке памяти 200». МП воспринимает этот операнд и помещает его в регистр команд. Полная команда «Запомнить данные в ячейке памяти 200» выбрана из памяти программ и дешифрована.
10. Теперь начинается процесс выполнения команды. МП пересылает адрес 200 на адресную шину и возбуждает вход *записи*, относящийся к памяти данных.
11. МП направляет хранящуюся в аккумуляторе информацию в память данных. Код буквы «А» передается по шине данных и записывается в ячейку 200 этой памяти. Выполнена вторая команда. Процесс запоми-

Микропроцедура  
выборки — дешифра-  
ции — исполнения

- нения не разрушает содержимого аккумулятора. В нем по-прежнему находится код буквы «А».
12. МП должен выбрать очередную команду. Он обращается к ячейке 104 и переводит память программ в режим считывания.
  13. Код команды вывода данных пересылается по информационной шине к МП. МП воспринимает эту команду и засылает ее в регистр команд. МП дешифрует команду и определяет, что требуется операнд.
  14. МП выдает адрес 105 на адресную шину и устанавливает память программ в режим считывания.
  15. Из памяти программ по шине данных к МП поступает код операнда («В порт 10»). МП засылает этот код в регистр команд.
  16. МП дешифрует полную команду («Вывести данные в порт 10»). С помощью адресной шины и линий управления, связывающих его с устройством вывода, он открывает порт 10. МП пересылает код буквы «А» (все еще находящийся в аккумуляторе) по шине данных. Буква «А» выводится через порт 10 на экран дисплея.

В большинстве микропроцессорных систем (МПС) передача информации осуществляется способом, аналогичным только что рассмотренному (как на рис. 11.8). Наиболее существенные различия возможны в блоках ввода и вывода информации. Так, может потребоваться несколько большее число элементарных операций для правильной организации работы этих блоков.

Важно обратить внимание, что микропроцессор является ядром системы и осуществляет управление всеми операциями. Его работа представляет собой последовательную реализацию микропроцедур выборки – дешифрации – исполнения. Однако фактическая последовательность операций в МПС определяется командами, записанными в памяти программ. Команды обычно выполняются последовательно – в порядке их расположения в программе (100, 101, 102 и т.д.).

Все три команды из нашей программы были бы выбраны, дешифрованы и исполнены большинством микроЭВМ малой мощности приблизительно за 0,0001 с. Основное достоинство МП-систем – их высокое быстродействие и гибкость, позволяющая перепрограммировать их для выполнения самых разнообразных функций.

МикроЭВМ представляют собой сложные цифровые системы, в состав которых входят микропроцессор на одной или нескольких ИС, запоминающие устройства и устройства ввода и вывода информации. Микропроцессорный кристалл сам по себе очень сложная подсистема с высокой степенью интеграции, способная обрабатывать команды с чрезвычайно высокой скоростью. Предполагается, что промышленность микроЭВМ еще долго будет оставаться наиболее быстро развивающейся отраслью электронной

техники. В двух последних разделах этой главы мы дадим лишь краткий обзор принципов организации микроЭВМ и выполняемых ею основных операций.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

18. В микроЭВМ часть команды, указывающая на конкретное действие, называется \_\_\_\_\_. Вторая часть команды называется \_\_\_\_\_.
19. На рис. 11.8 в ячейке памяти программ с адресом \_\_\_\_\_ хранится операционная часть первой команды, а в ячейке с адресом \_\_\_\_\_ — ее операнд.
20. В микроЭВМ на рис. 11.8 координатором всех операций и перемещений данных является \_\_\_\_\_.
21. При обработке каждой команды микропроцессор выполняет микропроцедуру выборки — \_\_\_\_\_.
22. В микроЭВМ команды, записанные в памяти программ, обычно выполняются \_\_\_\_\_ (последовательно — в порядке их расположения, в произвольном порядке).

### 11.7. Дешифрация адреса в микроЭВМ

Рассмотрим простую 4-разрядную микропроцессорную систему, представленную на рис. 11.9,а. В этой системе используются только 8 проводников в адресной шине и 4 проводника в шине данных. ОЗУ представляют собой крошечные устройства емкостью 64 бит ( $16 \times 4$ ). Эти ОЗУ аналогичны микросхеме 7489, рассмотренной в предыдущей главе.

При работе с такой системой сразу же возникают два вопроса. Во-первых, каким образом при послышке микропроцессором одного и того же 4-разрядного адреса к обоим ОЗУ выбирается именно то ОЗУ, из которого в данный момент нужно считывать данные? Во-вторых, как несколько устройств могут пересылать данные по общей информационной шине, если в большинстве случаев выходы различных логических устройств нельзя соединять друг с другом? Ответы на оба этих вопроса дает диаграмма на рис. 11.9,б.

Дешифратор адреса

Дешифратор адреса, показанный на рис. 11.9,б, определяет, какое именно ОЗУ нужно использовать, и посылает разрешающий сигнал по линии выборки микросхемы. В каждый момент времени разрешающий сигнал подается только в одну такую линию. Блок дешифрации адреса состоит из обычных комбинационных логических элементов. ОЗУ 0 выбирается при адресации ячеек 0–15, ОЗУ 1 — при адресации ячеек 16–31.

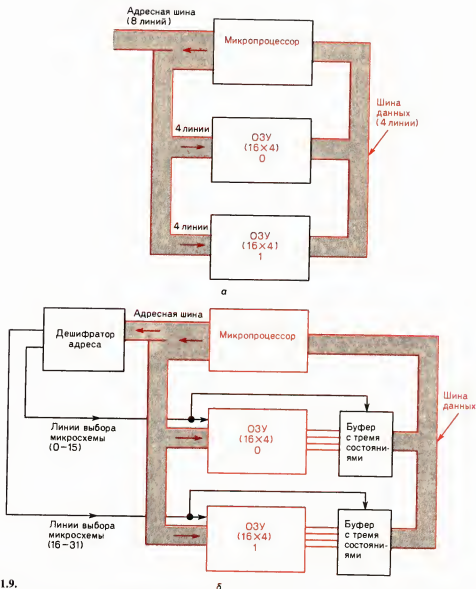


Рис. 11.9.

**а** – упрощенная 4-разрядная микропроцессорная система с двумя ОЗУ емкостью 64 бит; **б** – 4-разрядная микропроцессорная система, включающая в себя дешифратор адреса и буферы с тремя состояниями.

Буферы с тремя состояниями

Буферы с тремя состояниями, показанные на рис. 11.9, б, отсоединяют выходы соответствующего ОЗУ от информационной шины, когда это ОЗУ не участвует в пересылке данных. В каждый момент времени только одному ОЗУ разрешается пересылать данные по общей информационной шине. Соответственно этому линии выборки микросхемы используются также для переключения указанных буферов. Когда буферы выключены, принято говорить, что выходы

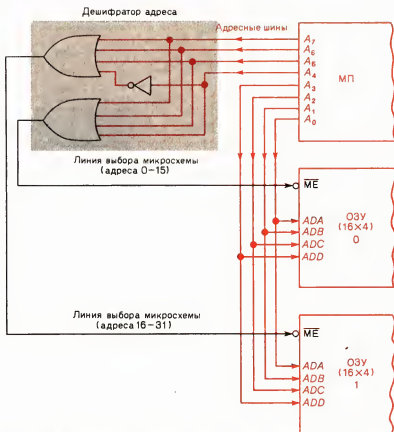


Рис. 11.10. Логическая структура дешифратора адреса, генерирующего сигнал выборки нужной микросхемы.

буферов находятся в *состоянии высокого импеданса*, при этом они надежно отсоединены от четырех линий данных, подключенных к их входам.

Логические схемы, используемые в простом дешифраторе адреса, показаны на рис. 11.10. В этом примере только тогда, когда на все четыре адресные линии от  $A_7$  до  $A_4$  поступают сигналы логического 0, на выходе нижнего 4-входового логического элемента ИЛИ действует НИЗКИЙ уровень. Другими словами, если в адресные линии  $A_7$ – $A_4$  подана двоичная комбинация 0000, то разрешается работа ОЗУ 0 благодаря поступлению НИЗКОГО уровня на вход выборки микросхемы этого ОЗУ ( $ME$ ).

Если на четыре указанные линии адреса в дешифраторе на рис. 11.10 подана двоичная комбинация 0001 ( $A_7=0, A_6=0, A_5=0, A_4=1$ ), то переключается верхний логический элемент ИЛИ. Двоичная комбинация 0001 вызывает появление НИЗКОГО уровня на выходе этого логического элемента в дешифраторе адреса, т. е. приводит к выдаче активного уровня сигнала в нижнюю линию выборки микро-

Адрес (шестнадцатеричный)	
00	ОЗУ 0
0F	
10	ОЗУ 1
1F	
20	
2F	
30	
DF	
EO	
EF	
FO	
FF	

Не используются  
в данной системе

Рис. 11.11. Карта распределения памяти для простейшей микропроцессорной системы с двумя ОЗУ 16 × 4.

схемы 3У. В результате разблокируется нижнее ОЗУ (ОЗУ 1).

Дешифратор адреса, показанный на рис. 11.10, дешифрует состояния четырех самых «старших» адресных линий<sup>1)</sup>, чтобы выдать нужный логический уровень на вход выборки микросхемы каждого ОЗУ. Состояния четырех самых «младших» адресных линий (от  $A_0$  до  $A_3$ ) дешифруются внутри самих микросхем ОЗУ, и в результате выбирается точный адрес 4-разрядного слова.

В МПС, изображенной на рис. 11.9 и 11.10, используются восемь адресных линий. Это означает, что микропроцессор может генерировать 256 ( $2^8$ ) различных адресов. В системе на рис. 11.9 и 11.10 первые 16 адресов используются в ОЗУ 0, а последующие 16 адресов – в ОЗУ 1. Обычно рисуют *карту распределения памяти* микропроцессорной системы, которая для нашего простого случая приведена на рис. 11.11. Из этого рисунка видно, что первые 16 (10 в шестнадцатеричной системе) адресов используются в ОЗУ 0. Это адреса от 0 до 15 (от 00 до 0F в шестнадцатеричной системе). Вторая группа из 16 адресов используется в ОЗУ 1. Это адреса от 16 до 31 (от 10 до 1F в шестнадцатеричной системе). Еще 14 групп адресов (с третьей по шестнадцатую) по 16 адресов в каждой в нашей миниатюрной системе не используются. Заметим, что при указании адресов в микропроцессорной системе обычно применяются шестнадцатеричные обозначения.

На рис. 11.9, б два блока обозначены как буферы с тремя состояниями, условное графическое обозначение для которых приведено на рис. 11.12, а. У буферного элемента

<sup>1)</sup> Соответствующих четырем самым старшим двоичным разрядам полного 8-разрядного адреса. – Прим. перев.



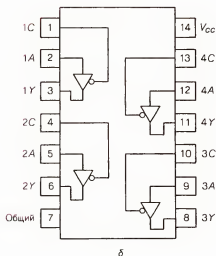
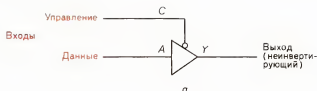


Рис. 11.12.

а – условное графическое обозначение буфера с тремя состояниями; б – схема расположения выводов для счетверенного тристабильного буферного элемента ТТЛ ИС 74125 (воспроизводится с разрешения фирмы Signetics); в – таблица истинности для ИС 74125 (воспроизводится с разрешения фирмы Signetics).

Условные обозначения: L – НИЗКИЙ уровень напряжения, Н – ВЫСОКИЙ уровень напряжения, X – любое состояние, (Z) – высокий импеданс.

Входы		Выход
C	A	Y
L	L	L
L	H	H
H	X	(Z)

в

с тремя состояниями имеется информационный вход A и неинвертирующий выход Y. Когда на управляющем входе C буфера устанавливается логическая 1, его выход Y переключается в состояние высокого импеданса (высокого выходного сопротивления Z) и надежно отсоединяется от входа.

Промышленный вариант микросхемы буфера с тремя состояниями представлен на рис. 11.12, б. Это схема расположения выводов для счетверенного тристабильного буферного элемента ТТЛ ИС 74125. Таблица истинности для ИС 74125 приведена на рис. 11.12, в.

Подводя итог, можно сказать, что дешифратор адреса используется для выбора и активизации именно того устройства, которое в данный момент нужно присоединить к шине данных МПС. Дешифраторы адреса обычно строят-

ся на основе комбинационных логических схем (простых вентилях).

Для подключения большого числа устройств к общей информационной шине применяются буферные элементы с тремя состояниями. У таких элементов имеется управляющий вход; при подаче на этот вход запрещающего сигнала выход буфера переключается в состояние высокого импеданса (высокого  $Z$ ).

Дешифраторы адреса и буферы с тремя состояниями широко используются в микроЭВМ, где они обычно входят в состав микропроцессоров, больших ОЗУ, ПЗУ и интегральных адаптеров внешнего интерфейса<sup>1)</sup>.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

23. Устройство (рис. 11.9), называемое \_\_\_\_\_, выбирает в этой системе ОЗУ, которое нужно использовать.
24. Если данное ОЗУ (рис. 11.9) не используется, оно изолируется от шины данных с помощью \_\_\_\_\_.
25. Если микропроцессор (рис. 11.10) выдает двоичную комбинацию 00001000 на адресную шину, то активизируется ОЗУ под номером \_\_\_\_\_ и открывается доступ к его ячейке памяти с адресом \_\_\_\_\_ (десятичное число).
26. Если на управляющем входе буферного элемента с тремя состояниями (рис. 11.12) действует ВЫСОКИЙ уровень, то выход  $Y$  буфера \_\_\_\_\_ (связан с его входом  $A$ ; находится в состоянии высокого импеданса).

### Передача данных

### 11.8. Передача данных

Большая часть данных в цифровых системах передается непосредственно по проводам и проводникам печатных плат. Обычно возникает необходимость в многократной передаче информационных двоичных сигналов из одного места в другое. В некоторых случаях нужно передавать данные на большие расстояния по телефонным линиям и кабелям. Если бы все данные передавались одновременно по *параллельным* линиям связи, общая длина таких кабелей была бы слишком велика и они были бы слишком дороги. Вместо этого данные передаются по одному проводу в *последовательной* форме и группируются в параллельные данные на приемном конце этой единственной линии связи. Устройства, используемые для последовательной посылки и при-

Параллельные линии связи

Последовательная форма передачи

<sup>1)</sup> То есть схем сопряжения микропроцессора с периферийными устройствами. — Прим. перев.

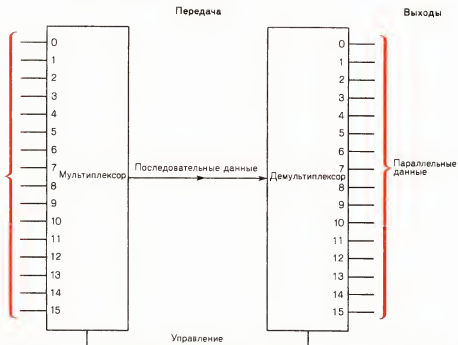


Рис. 11.13. Последовательная передача данных с использованием мультиплексора и демультиплексора.

Мультиплексоры  
(MUX)

Демультиплексоры  
(DEMUX)

ема данных, называются соответственно *мультиплексорами* (MUX) и *демультиплексорами* (DEMUX).

Принцип работы мультиплексора и демультиплексора иллюстрируется на рис. 11.13. Параллельные данные от одного из цифровых устройств с помощью мультиплексора преобразуются в *последовательные* информационные сигналы, которые передаются по одному проводу. На выходе демультиплексора эти последовательные сигналы снова группируются в параллельные данные. Обратите внимание на наличие линий управления, которые должны обязательно связывать мультиплексор и демультиплексор. Эти линии обеспечивают синхронную работу обоих устройств. Заметьте также, что 16 входных линий «сокращаются» на выходе мультиплексора всего до нескольких линий передачи.

Система на рис. 11.13 работает следующим образом. Мультиплексор сначала подсоединяет вход 0 к линии последовательной передачи данных. Соответствующий бит данных пересылается к демультиплексору; последний помещает этот бит на выход 0. Затем мультиплексор и демультиплексор осуществляют пересылку следующего бита данных со входа 1 на выход 1 и т.д. За один раз пересылается один бит.

Мультиплексор работает аналогично однополюсному многопозиционному переключателю поворотного типа, как показано на рис. 11.14. Аналогом мультиплексора здесь

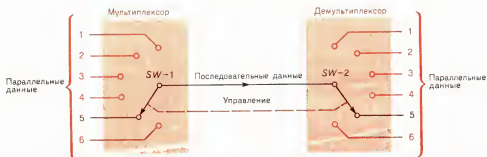


Рис. 11.14. Аналогия между мультиплексором (демультимплексором) и многопозиционным переключателем.

является переключатель *SW-1*. Демультимплексор работает аналогично переключателю поворотного типа, обозначенному на рис. 11.14 *SW-2*. Механический принцип управления в этой схеме гарантирует подключение входа 5 переключателя 1 к выходу 5 переключателя 2. Заметим, что механические переключатели на рис. 11.14 допускают передачу данных в любом из двух возможных направлений. Мультиплексоры и демультимплексоры собираются из логических элементов и поэтому допускают передачу данных только со входа на выход, как в схеме на рис. 11.13.

Селектор данных  
Распределители или  
дешифраторы

Раньше (в гл. 4) вы уже познакомились с мультиплексором, другое название которого — *селектор данных*. Демультимплексоры иногда называют *распределителями* или *дешифраторами*. Термин «распределитель» отражает работу переключателя 2 на рис. 11.14, который распределяет последовательно принимаемые информационные сигналы: сначала на выход 1, потом на выход 2, затем на выход 3 и т.д.

Мультиплексор 74150

На рис. 11.15 приведена подробная принципиальная схема системы передачи данных с использованием мультиплексора и демультимплексора. Слово (длиной 16 разрядов) поступает на входы 0–15 микросхемы мультиплексора 74150. Исходным состоянием счетчика 7493 будет 0000; такому состоянию счетчика соответствует 0 на семисегментном индикаторе. Когда входы выборки данных *D*, *C*, *B*, *A* мультиплексора 74150 установлены в нулевое состояние (0000), бит считывается с информационного входа 0. Как видно из рис. 11.15, на этом входе мы имеем логический 0. Этот логический 0 пересылается к демультимплексору 74154, откуда он поступает на выход 0. Микросхема 74154 инвертирует поступающие на ее информационный вход сигналы, что отмечено инверторными кружками на ее выходах. Преобразование сигнала на выходе 0 демультимплексора к исходному логическому 0 обеспечивает инвертор 7404.

Демультимплексор  
74154

Далее содержимое счетчика увеличивается на 1. Его текущее состояние 0001 отображается на индикаторе как десятичная 1. Двоичная комбинация 0001 поступает на входы выборки данных обеих микросхем (74150 и 74154). Логическая 1 с информационного входа 1 мультиплексора 74150

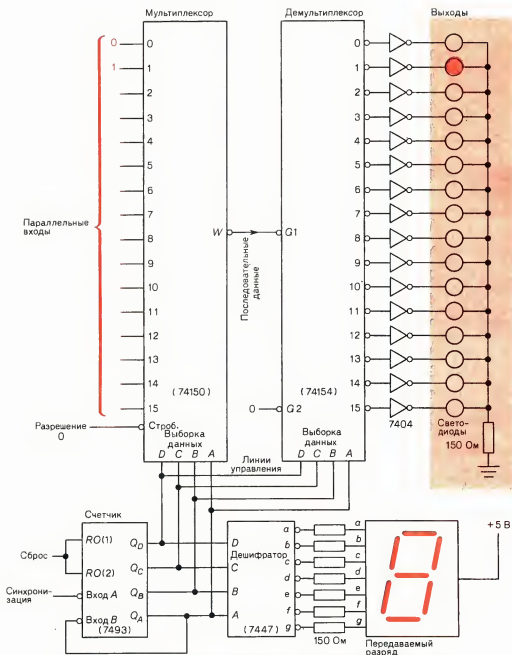


Рис. 11.15. Принципиальная схема системы передачи данных.

пересылается в линию передачи. Демультиплексор 74154 направляет полученную логическую 1 на выход 1. Микросхема 7404 инвертирует сигнал на этом выходе, и, как видно из рис. 11.15, поступление сигнала логической 1 на выход 1 со-

проводается возбуждением светодиода. Счетчик продолжает сканирование входов микросхемы 74150, обеспечивая последовательную передачу информации на соответствующие выходы демultipлексора 74154. Обратите внимание, что для передачи одного параллельного слова со входа на выход рассматриваемой системы счетчик должен сосчитать от 0000 до 1111 (16 отсчетов). Семисегментный индикатор на светодиодах обеспечивает удобный способ наблюдения за тем, с какого именно входа в данный момент снимается информация. При очень высокой частоте следования тактовых импульсов параллельные данные можно довольно быстро передать в последовательной форме на выход системы.

Делая так, мы экономим большое число соединительных проводов (это видно, в частности, из рис. 11.15). Хотя на последовательную передачу затрачивается большее время, скорость передачи данных по одной линии связи может быть очень высокой.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

27. При передаче информации для преобразования данных из параллельной формы в последовательную в схеме на рис. 11.13 используется \_\_\_\_\_, а для преобразования данных из последовательной формы в параллельную — \_\_\_\_\_.
28. Микросхема 7493 на рис. 11.15 используется для подачи на входы выборки данных мультиплексора и демultipлексора двоичной счетной последовательности от 0000 до \_\_\_\_\_ (двоичное число).

## 11.9. Обнаружение ошибок при передаче информации

Для нас наиболее ценным является то, что цифровые устройства работают очень быстро и *точно*. С целью обеспечения высокой точности цифровых устройств используются специальные методы *обнаружения ошибок*. Нетрудно представить, как могут вкрадываться в систему ошибки при передаче данных из одного места в другое.

Для выявления ошибок нужно осуществлять постоянную проверку передаваемой информации. С этой целью формируется и передается вместе с информацией один дополнительный контрольный *разряд четности*<sup>1)</sup>. На рис. 11.16 показана структурная схема соответствующей системы передачи данных. В этой системе 3 информационных разряда (А,

Методы обнаружения ошибок

Разряд четности

<sup>1)</sup> Этот разряд дополняет число единиц в передаваемом коде до четного, т.е. содержит единицу, если оно нечетное.—Прим. ред.

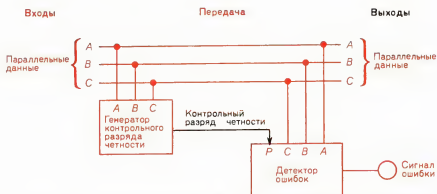


Рис. 11.16. Схема обнаружения ошибок при передаче данных с использованием дополнительного контрольного разряда четности.

Генератор контрольного разряда четности

Детектор ошибок

В и С) пересылаются в параллельной форме на большое расстояние. Перед поступлением на вход системы данные проходят через *генератор контрольного разряда четности*. Этот контрольный разряд передается вместе с данными, которые до пересылки на выход системы подвергаются проверке. Если при передаче произошла ошибка, о ее наличии в полученных данных сигнализирует *детектор ошибок*. Если же значения всех информационных разрядов на выходе системы те же, что и на ее входе, сигнал ошибки отсутствует.

Табл. 11.1 поможет вам понять принцип работы системы обнаружения ошибок. Эта таблица фактически представляет собой таблицу истинности для генератора разряда четности в системе на рис. 11.16. Заметим, что входы, обозначенные в табл. 11.1 латинскими буквами A, B и C, соответствуют трем линиям передачи данных в рассматриваемой нами системе. Значение выходного сигнала в каждой горизонтальной строке табл. 11.1 определяется таким обра-

Входы			Выход
Параллельные данные			Бит четности
C	B	A	P
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Таблица 11.1. Таблица истинности для генератора разряда четности

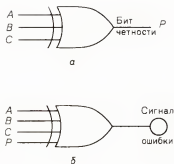


Рис. 11.17.

*а* – схема генератора контрольного разряда четности; *б* – схема детектора ошибок. Свет – ошибка; нет света – нет ошибки.

зом, чтобы *полное число «единиц»* в строке было *четным* (0 «единиц», 2 «единицы» или 4 «единицы»). Обратите внимание, что в строке 1 нет «единиц». В строке 2 имеется одна «единица» данных и одна «единица» самого разряда четности. Таким образом, всего в строке 2 мы имеем 2 «единицы». Просмотрев табл. 11.1, вы убедитесь, что в каждой ее горизонтальной строке содержится четное число «единиц». Далее, для полученной таблицы истинности подбирается соответствующая логическая схема; для нашего случая схема генератора контрольного разряда четности приведена на рис. 11.17, *а*. Легко убедиться, что формирование разряда четности может осуществляться 3-входовым логическим элементом *исключающее ИЛИ*. Его-то и следует использовать в качестве генератора контрольного разряда в системе на рис. 11.16.

Просмотрите еще раз всю таблицу истинности (табл. 11.1). Очевидно, что при нормальных условиях каждая ее горизонтальная строка содержит *четное число «единиц»*. Если бы в одной из строк была одна ошибка, мы имели бы в этой строке *нечетное число «единиц»*. Схема, вырабатывающая на своем выходе логическую 1 всякий раз, когда на ее входы поступает нечетное число «единиц», показана на рис. 11.17, *б*. Это 4-входовый логический элемент *исключающее ИЛИ*, который обнаруживает нечетное число «единиц» на входах и «сигнализирует» о наличии ошибки. На рис. 11.17, *б* представлена логическая схема, которую можно использовать в качестве детектора ошибок в рассматриваемой системе передачи данных (рис. 11.16).

Система с использованием разряда четности только обнаруживает ошибки, но не *исправляет их*. Существуют, однако, коды, позволяющие исправлять ошибки: примером является *код Хемминга*. В коде Хемминга присутствуют несколько дополнительных разрядов четности, генерируемых при передаче данных.

Код Хемминга

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.



29. На рис. 11.1 показана таблица истинности для генератора разряда \_\_\_\_\_ (четности, нечетности).
30. В качестве генератора разряда четности в системе на рис. 11.16 можно использовать 3-входовый логический элемент \_\_\_\_\_, а в качестве детектора ошибок—4-входовый логический элемент \_\_\_\_\_.

Сумматор-вычитатель.

### 11.10. Сумматор-вычитатель

В гл. 9 мы познакомились с сумматорами и вычитателями и изучили одну комбинированную систему—сумматор-вычитатель. На рис. 11.18 представлена структурная схема этой системы (полная монтажная схема приведена на рис. 9.18).

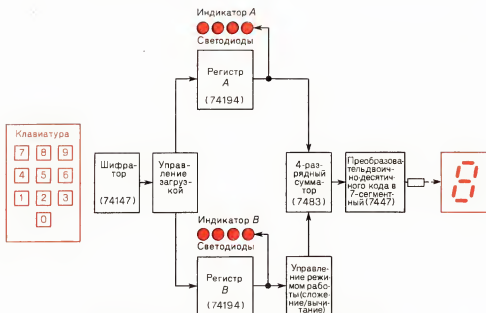


Рис. 11.18. Структурная схема сумматора-вычитателя.

Система, изображенная на рис. 11.18, состоит из хорошо известных вам подсистем. Устройством ввода информации в этой системе является клавиатура. Шифратор (микросхема 74147) преобразует набираемые на клавиатуре числа в двоично-десятичный код. Блок управления загрузкой направляет информацию в одно из запоминающих устройств (регистр А или регистр В). Регистры А и В используются для временного хранения данных на входах 4-разрядного сумматора во время реализации соответствующей арифметической операции. Для выполнения операции вычитания устройство задания режима работы (сложение или вычитание) осуществляет процедуру дополнения до 1 и цикличе-

ского переноса. Результат операции с выходов сумматора 7483 поступает на входы дешифратора 7447, который осуществляет преобразование двоично-десятичного кода в код семисегментного индикатора. На семисегментном индикаторе высвечивается сумма или разность в десятичной форме. Индикаторы *A* и *B* показывают в двоично-десятичном коде содержимое регистров (двух микросхем 74194).

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

31. В схеме на рис. 11.18 преобразование десятичного входного сигнала, поступающего с клавиатуры, в двоично-десятичный код осуществляется \_\_\_\_\_.
32. Регистры *A* и *B* в схеме на рис. 11.18 используются для хранения данных на входах \_\_\_\_\_ во время выполнения арифметической операции.

### Цифровые часы

#### 11.11. Цифровые часы

Цифровые электронные часы уже упоминались в гл. 7, где отмечалось, что «сердцем» этой цифровой системы являются различные *счетчики*. На рис. 11.19, *a* представлена простая структурная схема цифровых часов. В большинстве из них в качестве входного сигнала используется напряжение бытовой электросети с частотой 60 Гц. Эта частота преобразуется в секунды, минуты и часы с помощью *делителя частоты*. Импульсы с частотой следования 1 импульс в 1 с, 1 импульс в 1 мин и 1 импульс в 1 ч затем подсчитываются, и результаты запоминаются в *счетчиках-накопителях*. Содержимое счетчиков-накопителей (секунды, минуты, часы) *дешифруется*, и точное время отображается на выходных *индикаторах времени*. В цифровых часах реализуются все типичные функции системы. Имеется вход, на который подается переменный ток с частотой 60 Гц. Обработка сигнала происходит в делителе частоты, счетчиках-накопителях и дешифраторах. Функция хранения реализуется счетчиками-накопителями. Функция управления в системе на рис. 11.19, *a* иллюстрируется на примере цепи установки времени. Цифровой индикатор времени является устройством вывода информации.

Выше уже отмечалось, что все цифровые системы состоят из логических элементов, триггеров и подсистем. Диаграмма на рис. 11.19, *b* показывает, как должны быть организованы подсистемы, чтобы цифровые часы показывали время в часах, минутах и секундах. Это, по существу, более подробная структурная схема цифровых часов. На входе по-прежнему действует сигнал с частотой 60 Гц. Этот сигнал поступает на вход со вторичной обмотки понижающего

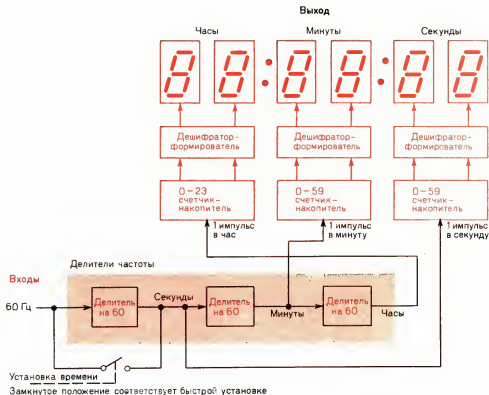
Делитель частоты

Счетчик-накопитель

Выходные индикаторы времени



а



б

Рис. 11.19.

а — упрощенная структурная схема цифровых часов; б — более подробная структурная схема цифровых часов.

трансформатора. Частота 60 Гц делится на 60 первым делителем частоты. На выходе первой схемы деления на 60 импульсы следуют с частотой 1 Гц (1 импульс в 1 с). Эти импульсы поступают в счетчик, который считает в прямом направлении от 00 до 59 и затем сбрасывается к 00. Число подсчитанных импульсов дешифруется и отображается на двух семисегментных светодиодных индикаторах, показанных сверху справа на рис. 11.19, б.

Рассмотрим теперь вторую схему деления частоты на рис. 11.19, б. На входе этой схемы деления на 60 мы имеем 1 импульс в 1 с, на выходе — 1 импульс в 1 мин. Выходной

сигнал (1 импульс/мин) подается в счетчик минут, который считает от 00 до 59. Этот прямой счетчик отслеживает число минут от 00 до 59 и затем сбрасывается к 00. Сигнал на выходе счетчика-накопителя минут дешифруется и отображается на двух семисегментных светодиодных индикаторах, показанных сверху в центре рис. 11.19, б.

Теперь перейдем к правой крайней (на рис. 11.19, б) схеме деления на 60. На входе этого делителя частоты мы имеем 1 импульс в 1 мин, на выходе — 1 импульс в 1 ч. Выходной сигнал (1 импульс/ч) подается в счетчик часов, показанный сверху слева. Счетчик часов отслеживает число часов от 00 до 23. Сигнал на выходе счетчика-накопителя часов дешифруется и подается на два семисегментных светодиодных индикатора, показанных сверху слева на рис. 11.19, б. Вы, очевидно, уже обратили внимание, что это цифровые часы с 24-часовым циклом. Их легко преобразовать в часы с 12-часовым циклом, заменив счетчик-накопитель, считающий от 00 до 23, на счетчик от 00 до 11.

Для установки времени в цифровые часы на рис. 11.19, б введена соответствующая цепь управления. Если замкнуть переключатель в этой цепи (можно вместо переключателя использовать логический элемент), часы начинают идти гораздо быстрее. Это позволяет быстро установить на индикаторах точное время. Цепь установки времени идет в обход первого делителя частоты (на 60), поэтому при замкнутом переключателе часы идут в 60 раз быстрее по сравнению со своим нормальным ходом. Можно применить даже еще более быструю установку времени, обходя как первый, так и второй делители частоты на 60. Именно такой способ установки времени обычно используется в цифровых часах.

Каково же внутреннее устройство делителей частоты на 60 в схеме на рис. 11.19, б? В гл. 7 уже говорилось об использовании счетчиков для деления частоты. На рис. 7.12 представлена структурная схема делителя частоты с использованием двух последовательно соединенных счетчиков — счетчика по модулю 6 и десятичного счетчика. Эти счетчики образуют схему деления частоты на 60, которая как раз и будет работать в наших цифровых часах.

Счетчики-накопители секунд и минут в схеме на рис. 11.19, б также составлены из обычных счетчиков. Схема для счета от 0 до 59 получается путем последовательного соединения десятичного счетчика и счетчика от 0 до 5. Десятичный счетчик связан с разрядом единиц на индикаторах, счетчик по модулю 6 — с разрядом десятков. Аналогичным образом счетчик-накопитель часов получается в результате последовательного соединения десятичного счетчика и счетчика от 0 до 2. Десятичный счетчик связан с разрядом единиц на индикаторе часов, а счетчик по модулю 3 — с разрядом десятков.

Во многих практически используемых цифровых часах предусматривается индикация только часов и минут. Боль-

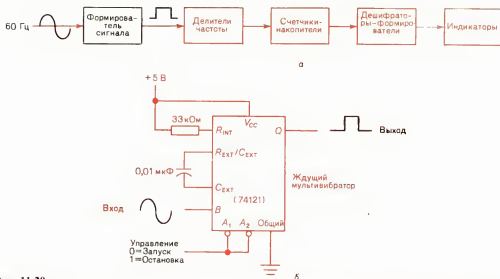


Рис. 11.20.

*а* — формирователь прямоугольного сигнала на входе цифровых часов; *б* — использование ждущего мультивибратора на микросхеме 74121 в качестве формирователя прямоугольного сигнала.

Кристалл БИС для цифровых часов

Схема формирования прямоугольного сигнала

Время нарастания

Синусоидальный сигнал

Прямоугольные импульсы

Ждущий мультивибратор

шинство цифровых часов строятся на основе какой-либо одной из многих недорогих ИС. В такую ИС встраиваются все делители частоты, счетчики-накопители и дешифраторы — получается кристалл БИС для цифровых часов. За счет незначительного удорожания кристалла можно получить БИС для цифровых часов с дополнительными характеристиками: например с возможностью выбора 12- или 24-часового цикла, с календарем, сигнализацией, автоматической установкой точного времени по радиосигналам.

Одно из дополнительных устройств, которое вам придется использовать при самостоятельной сборке цифровых часов, показано на рис. 11.20, *а*. В структурную схему наших цифровых часов добавлена схема формирования прямоугольного сигнала. Это необходимо потому, что интегральные счетчики, образующие делитель частоты, работают плохо, когда на их входы подается синусоидальный сигнал. Синусоидальный сигнал (он показан слева на рис. 11.20, *а*) имеет слишком большое время нарастания, и поэтому счетчики не срабатывают должным образом. Входной сигнал синусоидальной формы нужно преобразовать в последовательность прямоугольных импульсов. Это преобразование как раз и выполняет схема формирователя, а прямоугольные импульсы надлежащим образом запускают делитель частоты.

В выпускаемых промышленностью БИС для цифровых часов схема формирователя сигнала встроена непосредственно в микросхему. В лабораторных условиях для преобразования синусоидального сигнала в последовательность прямоугольных импульсов вы будете использовать ждущий мультивибратор (называемый еще одновибратором).

## Ширина импульса

ром). Ждущий мультивибратор выдает короткий одиночный прямоугольный импульс при подаче на его вход запускаящего напряжения. Ждущий мультивибратор можно собрать из дискретных компонентов. Вы, скорее всего, будете использовать ждущий мультивибратор на основе одной из стандартных микросхем. На рис. 11.20, б показана принципиальная схема ждущего мультивибратора на микросхеме 74121. В показанной на этом рисунке схеме соединений микросхема 74121 осуществляет преобразование синусоидального входного сигнала в прямоугольные выходные импульсы. Резистор сопротивлением 33 кОм и конденсатор емкостью 0,01 мкФ определяют *ширину* выходного импульса. Ширина импульса — это промежуток времени от начала до окончания действия импульса (время, в течение которого удерживается высокий уровень сигнала). В приведенной схеме ширина импульса составляет около 100 мкс. В схеме формирователя на рис. 11.20, б микросхема 74121 запускается и выдает одиночный импульс, когда напряжение на входе В достигает значения +1,7 В (по отношению к земле). Длительность импульса — около 100 мкс. Короткий одиночный прямоугольный импульс появляется на выходе этой схемы всякий раз, когда синусоидальный сигнал достигает значения около +1,7 В. В схеме ждущего мультивибратора на микросхеме 74121 (рис. 11.20, б) имеется управляющий вход, позволяющий останавливать мультивибратор в рабочий режим или в режим блокировки (останавливать мультивибратор). Логический 0 на этом управляющем входе соответствует нормальному рабочему режиму мультивибратора; логическая 1 запирает мультивибратор.

Вам, по-видимому, понадобятся некоторые практические знания по использованию счетчиков как делителей частоты. Запомните, что в цифровых часах счетчики используются для двух целей: во-первых, для деления частоты и, во-вторых, для прямого счета и отслеживания числа импульсов, поступающих на их входы.

## Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

33. В цифровых часах на рис. 11.19, а счетчики используются в \_\_\_\_\_ и \_\_\_\_\_.
34. Если цифровые часы работают от синусоидального входного сигнала, как на рис. 11.20, в них добавляется схема \_\_\_\_\_.
35. В лаборатории вы могли бы собрать схему формирователя сигналов, используя моностабильный мультивибратор или, как его еще называют, \_\_\_\_\_.

### 11.12. БИС для цифровых часов

Сердцем современных цифровых часов является БИС (на одном кристалле). БИС для цифровых часов изготавливают в виде монолитных МОП ИС. Очень часто такую МОП БИС (кристалл) помещают в один из корпусов типа DIP<sup>1)</sup> (с 18, 24, 28 или 40 выводами). В некоторых случаях такая МОП БИС крепится непосредственно на печатной плате модуля цифровых часов. Крошечный кремниевый кристалл покрывается эпоксидным компаундом. Оба способа корпу-

Модуль цифровых часов

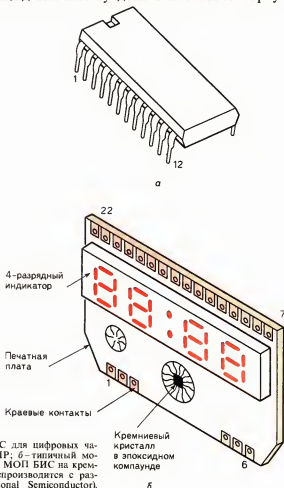


Рис. 11.21.

а — упаковка МОП БИС для цифровых часов в корпусе типа DIP; б — типичный модуль цифровых часов с МОП БИС на кремниевом кристалле (воспроизводится с разрешения фирмы National Semiconductor).

сирования БИС иллюстрируются на рис. 11.21. На рис. 11.21, а показано, как МОП БИС для цифровых часов устанавливается в корпус типа DIP с 24 выводами. Отмечено

<sup>1)</sup> DIP (Dual-In-line Package) — плоский корпус с двухрядным расположением выводов. — Прим. перев.

нормальное положение вывода 1 микросхемы (вывод 1 является ближайшим к пазу в корпусе, если двигаться против часовой стрелки). Модуль цифровых часов фирмы National Semiconductor изображен на рис. 11.21, б. Основой модуля является печатная плата с 22 краевыми контактами. Показана нумерация этих контактов. На плате предварительно устанавливается 4-разрядный индикатор на светодиодах со всеми соединениями. Некоторые модули цифровых часов собираются из дискретных компонентов и БИС в корпусе типа DIP, которые монтируются на печатной плате. В модуле на рис. 11.21, б на печатной плате закреплен крошечный кремниевый кристалл. Сверху он покрывается защитным слоем эпоксидного компаунда.

Схема МОП БИС  
MM5314 для цифро-  
вых часов

Структурная схема МОП БИС MM5314 для цифровых часов, выпускаемая фирмой National Semiconductor, показана на рис. 11.22, а. Схема расположения выводов для этой микросхемы приведена на рис. 11.22, б. Используя рис. 11.22, а и б, рассмотрим функциональное назначение отдельных выводов микросхемы MM5314.

#### Вход рабочего сигнала с частотой 50 или 60 Гц (вывод 16)

На этот вход подается напряжение переменного или выпрямленного (пульсирующего) тока. Схема формирования сигнала преобразует входной сигнал в последовательность прямоугольных импульсов. Формирователь сигнала запускает цепочку счетчиков, осуществляющих отсчет времени.

#### Вход выбора рабочей частоты: 50 или 60 Гц (вывод 11)

Масштабируемый  
счетчик

Этот вход используется для программирования *масштабируемого счетчика* (путем задания коэффициента деления на 50 или на 60) с целью получения на его выходе опорного сигнала с частотой 1 Гц (1 импульс/с). Счетчик программируется на рабочую частоту 60 Гц посредством соединения вывода 11 с выводом  $V_{DD}$  (земля). Если вывод 11 остается незаземленным, то масштабируемый счетчик настраивается на рабочую частоту 50 Гц.

#### Входы установки времени (выводы 13–15)

В данной ИС предусмотрены входы для медленной и быстрой установки времени, а также вход остановки (задержки) времени. Эти входы разблокируются при замыкании их на землю ( $V_{DD}$ ). Как правило, выводы 13–15 бывают соединены с выводом 2 ( $V_{DD}$ ) через нормально разомкнутые кнопки переключатели. Для обеспечения установки времени используются три логических элемента в цепочке счетчиков.



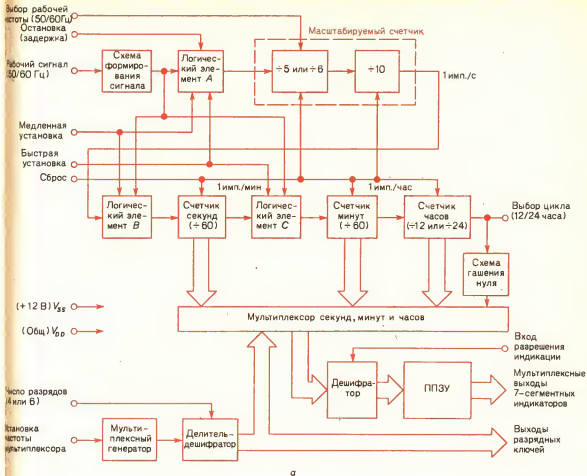


Рис. 11.22.

а — структурная схема МОП БИС MM5314 для цифровых часов (воспроизводится с разрешения фирмы National Semiconductor); б — схема расположения выводов микросхемы MM5314 (воспроизводится с разрешения фирмы National Semiconductor).

Медленная установка  
Быстрая установка  
Остановка

При *медленной установке* обходится масштабируемый счетчик. При *быстрой установке* шунтируется масштабируемый счетчик и счетчик секунд. Вход *остановки (задержки)* отсчета времени служит для запрета прохождения любого сигнала через логический элемент  $A$  к масштабируемому счетчику. Это приводит к остановке счетчиков и фиксации времени, индицируемого на выходных индикаторах.

#### Вход выбора 12- или 24-часового цикла (вывод 10)

Этот вход используется для программирования счетчика часов путем установки его коэффициента деления (12 или 24). При замыкании этого входа на землю ( $V_{DD}$ ) выбирается 12-часовой цикл; если вывод 10 свободен — выбирается 24-часовой цикл.

#### Мультиплексные выходы (выводы 3–9 и 17–22)

Счетчики секунд, минут и часов непрерывно отслеживают текущее время. Выходные сигналы счетчиков *мультиплексируются* с целью обеспечения последовательной, поразрядной (цифра за цифрой) выборки информации о времени<sup>1)</sup>. Другими словами, на очень короткое время включается только один индикатор<sup>2)</sup> (сначала первый, затем второй, затем третий и т.д.). При мультиплексировании вместо 48 соединительных проводов, идущих к 6 индикаторам (по 8 выводов у каждого), требуется всего 13 выводов. Этими выводами являются мультиплексные выходы семисегментных индикаторов (3–9) и выходы разрядных ключей (17–22).

Мультиплексный делитель-дешифратор  
Мультиплексный генератор

Сигналы на адресуемые входы выборки информации мультиплексора поступают от мультиплексного *делителя-дешифратора*, управляемого мультиплексным генератором. Частота колебаний этого генератора, определяющая скорость мультиплексирования, задается внешними элементами (резистором и конденсатором). По входу выбора числа индицируемых разрядов (четыре или шесть) мультиплексор программируется на последовательное включение всех шести или только четырех индикаторов. Схема *гашения нуля* исключает возможность появления цифры 0 на индикаторе десятков часов, т.е. «гасит» левый незначащий «ноль» в показаниях часов. Комбинации двоичных сигналов, поступающие на адресные входы мультиплексора, являются одновременно выходными сигналами разрядных ключей (выводы 17–22). Сигналы с выходом мультиплексора пода-

Схема гашения нуля

<sup>1)</sup> О мультиплексировании в данном случае часто говорят как о динамической индикации (а о последовательной выборке временной информации в счетчиках — как о поразрядном опросе счетчиков). — *Прим. перев.*

<sup>2)</sup> Или один разряд многоразрядного индикатора. — *Прим. перев.*

ются на дешифратор, который используется для адресации ППЗУ, генерирующего результирующий код семисегментного индикатора. Индикаторы зажигаются последовательно, начиная с индикатора единиц секунд и кончая индикатором десятков часов.

#### Вход задания рабочей частоты мультиплексора (вывод 23)

Релаксационный генератор

При добавлении к микросхеме MM5314 резистора и конденсатора получается *релаксационный генератор*. Резистор и конденсатор подключаются ко входу задания рабочей частоты мультиплексора, как показано на рис. 11.23. Типичные номиналы резистора и конденсатора: 470 кОм и 0,01 мкФ.

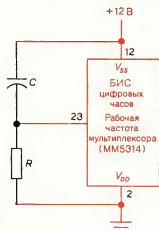


Рис. 11.23. Схема внешнего подключения резистора и конденсатора для задания рабочей частоты мультиплексора в ИС MM5314.

#### Вход выбора числа индицируемых разрядов (вывод 24)

Этот вход используется для управления мультиплексором. Если вход остается свободным, на индикацию выводятся четыре разряда. Соединение вывода 24 с выводом 2 (земля) обеспечивает индикацию 6 разрядов.

#### Вход разрешения индикации (вывод 1)

Если этот вывод свободен, разрешается прохождение сигналов на сегменты индикаторов. При замыкании этого вывода на землю выходы сегментных формирователей блокируются.

### Входы питания (выводы 2 и 12)

Для питания данной БИС необходим нерегулируемый источник питания напряжением от 11 до 19 В. Плюс этого источника присоединяется к выводу 12 ( $V_{SS}$ ), а минус — к общему выводу 2 ( $V_{DD}$ ).

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили материал настоящего параграфа.*

36. БИС для цифровых часов изготавливаются с использованием \_\_\_\_\_ (биполярной, МОП) технологии.
37. Если вывод 16 микросхемы MM5314 на рис. 11.22 замкнуть на землю, то ИС будет запрограммирована на работу с входным сигналом с частотой \_\_\_\_\_ Гц.
38. Если в микросхеме MM5314 (рис. 11.22) заземлить вход медленной установки времени, то обходится \_\_\_\_\_ счетчик.
39. Для питания МОП БИС MM5314 цифровых часов (рис. 11.22) требуется нерегулируемый источник питания напряжением \_\_\_\_\_ В.

### 11.13. Практическая цифровая система — цифровые часы на БИС

6-разрядные цифровые часы

На рис. 11.24, а изображены 6-разрядные цифровые часы на основе микросхемы MM5314. В этом собираемом учащимся устройстве используются 6 семисегментных индикаторов на светодиодах с общим анодом. Отметим также наличие в этих цифровых часах многих других дополнительных блоков. Структурная схема рассматриваемой цифровой системы приведена на рис. 11.24, б. В данной системе используется микросхема MM5314 фирмы National Semiconductor. Рабочая частота 60 Гц преобразуется в секунды, минуты и часы с помощью счетчиков, показанных в верхней части рис. 11.24, б. Сигналы с выходов счетчиков подаются на входы мультиплексора. Генератор, показанный в нижнем левом углу рисунка, выдает частоту порядка 1 кГц.

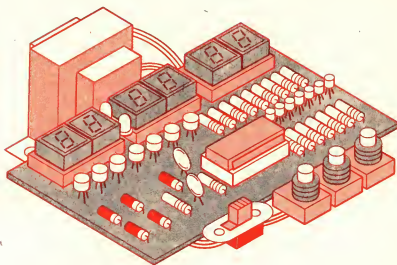
Генератор

Сегментные формирова-  
тели

Разрядные формиро-  
ватели

Вне микросхемы MM5314 находятся шесть 7-сегментных индикаторов на светодиодах с общим анодом. Поскольку светодиодные индикаторы потребляют большие токи, для отвода этих токов с катодов индикаторов используются согласующие буферные устройства — *сегментные формирова-  
тели*. Аналогичные согласующие буферные устройства — *раз-  
рядные формирова-  
тели* — питают соответствующими токами аноды индикаторов.

Чтобы лучше понять, как работает мультиплексор, предположим, что текущее время — 12 ч 34 мин 56 с. Эта инфор-



а

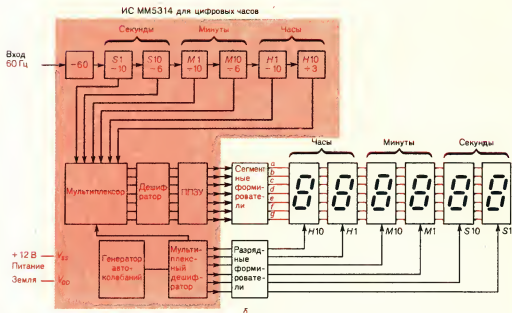


Рис. 11.24.

внешний вид 6-разрядных цифровых часов (воспроизводится с разрешения фирмы PPG Electronics, Inc.); структурная схема 6-разрядных цифровых часов на основе микросхемы MM5314.

мация находится в счетчиках внутри БИС. Дешифратор, используемый для адресации мультиплексора, сначала выбирает индикатор S1 (единицы секунд). Мультиплексор

## Дешифратор ППЗУ

## Мультиплексный дешифратор

получает данные из счетчика S1 и передает их в дешифратор ППЗУ. Сегменты *c*, *d*, *e*, *f* и *g* на всех индикаторах подключаются к отрицательному выводу ( $V_{DD}$ ) источника питания. Одновременно мультиплексный дешифратор подключает к источнику питания только одну линию S1 разрядного формирователя. На мгновение на индикаторе S1 загорается цифра 6, как показано на рис. 11.25, а. Хотя сегменты *c*, *d*, *e*, *f* и *g* были включены на всех индикаторах, только у правого индикатора S1 общий анод был подключен к положительному выводу ( $V_{SS}$ ) источника питания. Поэтому и загорелся только индикатор S1.

Далее, мультиплексный дешифратор БИС выбирает индикатор S10 (десятки секунд). Мультиплексор получает из счетчика S10 хранящуюся там «пятерку». Последовательная система дешифратор-ППЗУ-сегментный формирователь подключает к источнику питания сегменты *a*, *c*, *d*, *f* и *g*. С положительным выводом ( $V_{SS}$ ) источника питания соединяется общий анод индикатора S10 и цифра 5 загорается только на этом индикаторе. Все это показано на рис. 11.25, б.

Мультиплексный дешифратор и разрядный формирователь включают индикаторы поочередно. Одновременно система мультиплексор-дешифратор-ППЗУ возбуждает соответствующие сегменты. Какие именно сегменты включаются, зависит от текущего состояния счетчиков. Изучите внимательно рис. 11.25. На нем иллюстрируется один цикл последовательного включения всех шести индикаторов. Такие циклы (вся последовательность от *a* до *e*) повторяются более 100 раз в 1 с. Это мультиплексирование (или сканирование) осуществляется с очень большой скоростью, и поэтому глаз не замечает мелькания цифр на индикаторах. Схема цифровых часов на основе ИС MM5314 показана на рис. 11.26. Понижающий трансформатор T1 (с напряжением вторичной обмотки 12 В), выпрямительный мост ( $D_{1-4}$ ) и конденсатор фильтра (C1) образуют блок питания. Напряжение переменного тока с частотой 50/60 Гц со вторичной обмотки трансформатора подается на сигнальный вход микросхемы (вывод 16) через резистор R3. Конденсатор C3 и резистор R4 задают рабочую частоту мультиплексного генератора. Подключение параллельно конденсатору C3 конденсатора много большей емкости (порядка 1–5 мкФ) замедляет процесс мультиплексирования до такой степени, что вы можете наблюдать последовательное зажигание индикаторов.

Нормально разомкнутые кнопочные переключатели для быстрой, медленной установки и задержки отсчета времени ( $S_2$ ,  $S_3$  и  $S_4$  соответственно) показаны в нижнем левом углу рис. 11.26. Нужный режим (быстрая установка, медленная установка или задержка) выбирается путем соединения соответствующего вывода (13, 14 или 15) БИС через эти переключатели с выводом 2 ( $V_{DD}$ ).

Сегментными формирователями являются семь *n-p-n*

## Мультиплексирование



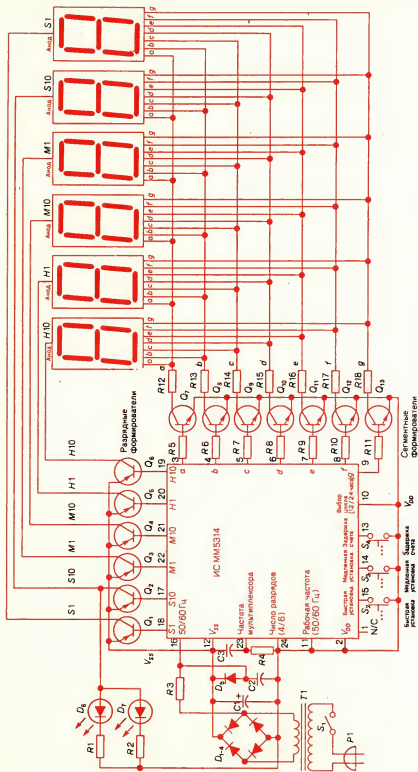


Рис. 11.26. Схема 6-разрядных цифровых часов на основе ИС MM5314 (воспроизводится с разрешения фирмы RFG Electronics, Inc.).



транзисторов ( $Q_7 - Q_{13}$ ), показанных справа от ИС на рис. 11.26. Эти транзисторы используются для отвода вытекающих токов от включенных индикаторов. Разрядные формирователи представляют собой шесть транзисторов типа  $p-n-p$  ( $Q_1 - Q_6$ ); они показаны на рис. 11.26 вверху слева. В каждый момент времени эти транзисторы присоединяют к положительному выводу источника питания только один индикаторный анод. Разрядные формирователи осуществляют сканирование индикаторов с частотой порядка 500–1500 Гц. При этом каждый индикатор включает-ся около 100–200 раз в 1 с.

Два светодиода ( $D_6$  и  $D_7$ ) в схеме на рис. 11.26 также включаются 100–200 раз в 1 с и поэтому кажется, что они светятся непрерывно. Эти два светодиода формируют раз-делительное двоеточие между индикаторами часов и минут в сборке. Двоеточие можно увидеть на рис. 11.24, а. Рези-стор  $R_3$ , конденсатор  $C_2$  и диод  $D_3$  образуют RC-фильтр. Этот RC-фильтр используется для ослабления влияния воз-можных переходных процессов в бытовой сети, которые могут вызвать сбой хода часов или повреждение БИС.

Вход выбора 12- или 24-часового цикла (вывод 10) в схе-ме на рис. 11.26 присоединен к выводу 2 ( $V_{DD}$ ). В этом слу-чае выбирается 12-часовой цикл. Заземлен и вход выбора рабочей частоты (вывод 11), т.е. БИС запрограммирована на рабочую частоту 60 Гц. Вход выбора числа индици-руемых разрядов также соединен с выводом 2 ( $V_{DD}$ ). Это обеспечивает программирование мультиплексного деши-фратора на 6-разрядную индикацию.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы ус-воили изложенный материал.*

40. На рис. 11.25 иллюстрируется процесс \_\_\_\_\_ (счета, шифрации, дешифрации, мультиплексирования) шести десятичных индикаторов на светодиодах с использова-нием БИС MM5314 для цифровых часов.
41. Шесть  $p-n-p$ -транзисторов на рис. 11.26 используются в цифровых часах в качестве \_\_\_\_\_.
42. Семь  $p-n-p$ -транзисторов на рис. 11.26 используются в цифровых часах в качестве \_\_\_\_\_.
43. При заземлении входа выбора 12- или 24-часового ци-кла цифровые часы (рис. 11.26) программируются на \_\_\_\_\_ часовой цикл.

### 11.14. Частотомер

Одним из приборов, которыми широко пользуются инже-неры и техники, является *частотомер*. Цифровой частото-мер показывает значение измеряемой частоты электриче-

RC-фильтр

Частотомер



Рис. 11.27.

*а* – упрощенная структурная схема цифровых часов;  
*б* – упрощенная структурная схема цифрового частотомера.

ского сигнала в десятичной форме. Частотомеры способны измерять значения частоты от нескольких колебаний в секунду (герц, Гц) до очень высоких частот порядка тысяч мегагерц (МГц). Как и в цифровых часах, в частотомерах используются декадные счетчики.

Для сравнения на рис. 11.27, *а* приведена структурная схема цифровых часов. Известная частота соответствующим образом делится в часах с помощью счетчиков. Сигналы с выходов счетчиков дешифруются и отображаются на индикаторах времени. Ниже на рис. 11.27, *б*, приведена структурная схема частотомера. Обратите внимание, что в отличие от цифровых часов, где частота входного рабочего сигнала известна, на вход частотомера подается сигнал с неизвестной частотой. В частотомере на рис. 11.27, *б* имеется, кроме того, узел *управления запуском/остановкой* счетчиков.

Несколько более подробная структурная схема частотомера изображена на рис. 11.28, *а*. Здесь в схему введен логический элемент И, который управляет подачей измеряемого сигнала на входы декадных счетчиков. Если на входе управления запуском/остановкой счетчиков установлен уровень логической 1, то импульсы с неизвестной частотой следования свободно проходят через элемент И к декадным счетчикам. Счетчики подсчитывают эти импульсы до тех пор, пока управляющий вход не возвращается в состояние логического 0. Логический 0 на управляющем входе «закры-

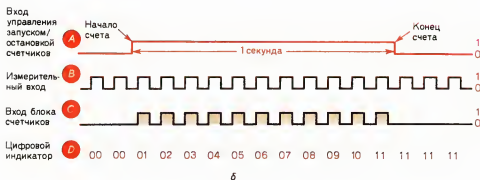
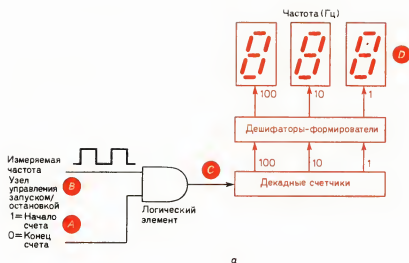


Рис. 11.28.

а – структурная схема цифрового частотомера с узлом управления запуском/остановкой счетчиков; б – временные диаграммы при измерении частоты 11 Гц; в – временные диаграммы при измерении частоты 19 Гц.

вает» логический элемент, после чего импульсы уже не проходят к счетчикам.

Временные диаграммы на рис. 11.28,б дают более точную иллюстрацию процессов внутри частотомера. Диаграмма *A* показывает, что на входе управления запуском/остановкой счетчиков сначала (слева на диаграмме) действует уровень логического 0, затем этот вход *точно* на 1 с переходит в состояние логической 1 и затем вновь возвращается к логическому 0. На диаграмме *B* показана непрерывная цепочка импульсов неизвестной частоты, поступающих на измерительный вход частотомера. Как мы уже видели на рис. 11.28,а, состояния входа управления запуском/остановкой счетчиков и измерительного входа связаны логической операцией И. На диаграмме *C* показаны только те импульсы, которые прошли через логический элемент И. Эти импульсы переключают счетчики. Диаграмма *D* дает временную развертку десятичных чисел, последовательно появляющихся на индикаторах. Обратите внимание, что «счет» на индикаторах начинается из состояния 00 (в исходном состоянии индикаторы очищены). Затем в течение 1 с они успевают «сосчитать» до 11. Значение частоты измеряемого сигнала (представленного на диаграмме *B* рис. 11.28,б) равно, следовательно, 11 Гц (11 импульсов/с).

На рис. 11.28,в иллюстрируется случай измерения частотомером несколько большей частоты. Как и в первом случае, диаграмма *A* соответствует входу управления запуском/остановкой счетчиков, который из состояния логического 0 *ровно* на 1 с переключается в состояние логической 1 и затем возвращается к логическому 0. На диаграмме *B* показана последовательность импульсов, частота следования которых выше, чем в первом примере. Эту неизвестную частоту как раз и измеряет цифровой частотомер. На диаграмме *C* показаны импульсы, которые переключают декадные счетчики в течение 1-секундного счетного интервала. Как видно из диаграммы *D*, в течение этого интервала декадные счетчики успевают сосчитать от 00 до 19. Следовательно, частота измеряемого сигнала равна в данном случае 19 Гц.

Если бы измеряемая частота была равна 870 Гц, то в течение 1-секундного интервала счетчики сосчитали бы от 000 до 870. Число 870 некоторое время отображалось бы на индикаторах, затем произошел бы сброс счетчиков в исходное состояние 000 и начался новый цикл измерения частоты. Такие *циклы сброса-счета-индикации* повторяются снова и снова.

Заметим, что управляющий импульс запуска/остановки счетчиков (счетный импульс) должен быть *очень точным*. На рис. 11.29 показано, как можно сформировать счетный импульс, используя сигнал бытовой электросети с точно известной частотой (например, 60 Гц). Синусоидальный сигнал с частотой 60 Гц преобразуется в последовательность прямоугольных импульсов с помощью схемы формирова-

Цикл сброса — счет — индикации

Управляющий импульс запуска/остановки

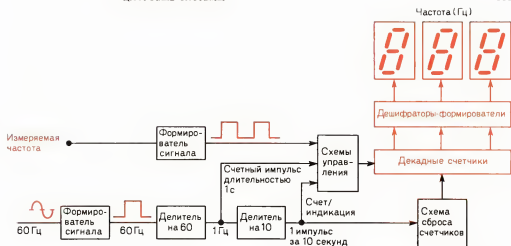


Рис. 11.29. Более подробная структурная схема цифрового частотомера.

ния сигнала. Полученные прямоугольные импульсы запускают счетчик, который делит частоту на 60. Длительность импульса на выходе счетчика равна *точно* 1 с. Этот *счетный импульс* включает своим фронтом схему управления, разрешая прохождение измеряемого сигнала на входы счетчиков. Измеряемый сигнал переключает счетчики в течение ровно 1 с.

Запомните, что работа частотомера состоит в многократном повторении циклов сброса-счета-индикации. Пока мы рассматривали только счетную часть такого цикла. Схема *сброса счетчиков* представляет собой группу логических элементов, которые сбрасывают (очищают) декадные счетчики в исходное состояние 000 в нужный момент времени — как раз перед началом счета. Счетный 1-секундный импульс разрешает счет. По окончании действия этого импульса значение измеряемой частоты *отображается* на семисегментных индикаторах. В рассматриваемом нами частотомере индикаторы показывают значение частоты в герцах. Удобно на некоторое время оставлять на индикаторах отображаемое значение измеряемой частоты. Для этого счетчик-делитель на 10 посылает импульс в схему управления, которая на 9 с запрещает счет. Затем все повторяется заново каждые 10 с: *сброс* счетчиков к 000, *счет* в прямом направлении в течение 1 с, *отображение* (индикация) измеряемой частоты в течение 9 с в отсутствие счета.

Частотомер, структурная схема которого показана на рис. 11.29, измеряет частоты от 1 до 999 Гц. Обратите внимание на широкое использование счетчиков в частотомере (схема деления на 60, схема деления на 10, три декадных счетчика). Частотомер можно было бы назвать *счетчиком частоты*<sup>1)</sup>, поскольку он фактически подсчитывает число

<sup>1)</sup> Именно так дословно переводится английский эквивалент названия этого прибора (frequency counter). — Прим. перев.

импульсов за определенный промежуток времени.

Одно из ограничений частотомера на рис. 11.29 – верхний предел измеряемой частоты, которая должна быть не выше 999 Гц. Имеются два способа увеличения верхней граничной частоты нашего частотомера. Первый из них – это введение одного или нескольких дополнительных модулей счета – дешифрации – индикации<sup>1)</sup>. Мы могли бы увеличить верхнюю граничную измеряемую частоту частотомера на рис. 11.29 до 999 Гц, добавляя еще один модуль счета – дешифрации – индикации.

Второй способ расширения частотного диапазона – счет десятков вместо счета единиц. Эта идея иллюстрируется на рис. 11.30. Вместо счетчика-делителя на 60 (в нашей схеме) здесь используется счетчик-делитель на 6. Он вырабатывает счетный импульс длительностью всего 1/10 с. За время действия такого счетного импульса через устройство управления проходит только 1/10 часть тех импульсов с измерительного входа, которые успевают пройти за время действия 1-секундного счетного импульса. Это эквивалентно счету десятками, а не единицами. В данном случае для индикации используются только три индикатора на светодиодах. Индикатор единиц изображен на рис. 11.30 лишь для того, чтобы показать, что истинное значение измеряемой частоты (в герцах) получается путем добавления нуля (справа) к отображаемому на индикаторах числу. Частотный диапазон такого частотомера 10–9990 Гц.

В схеме на рис. 11.30 декадные счетчики считают в прямом направлении в течение 1/10 с. Результат счета отображается на индикаторах в течение 9/10 с. Затем счетчики сбрасываются в исходное состояние 000 и процедура счета – индикации – сброса повторяется. Частотомер, схема которого изображена на рис. 11.30, обладает одним новым свойством: во время подсчета импульсов индикаторы отключаются (гасятся). Затем, когда значение измеряемой частоты «готово» для индикации, они снова включаются. Таким образом, рабочий цикл данного частотомера состоит из этапов сброса, счета (с погашенными индикаторами) и довольно большого периода индикации. Этот цикл при работе частотомера повторяется каждую секунду.

Частотомер, схема которого изображена на рис. 11.30, вы можете собрать в лаборатории из логических элементов, триггеров и некоторых стандартных узлов. Настоятельно рекомендуем вам собрать эту сложную цифровую систему, поскольку только практический опыт поможет вам разобраться во всех деталях работы частотомера.

### **Задания для самопроверки**

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

<sup>1)</sup> То есть введение дополнительных индицируемых разрядов. – Прим. перев.

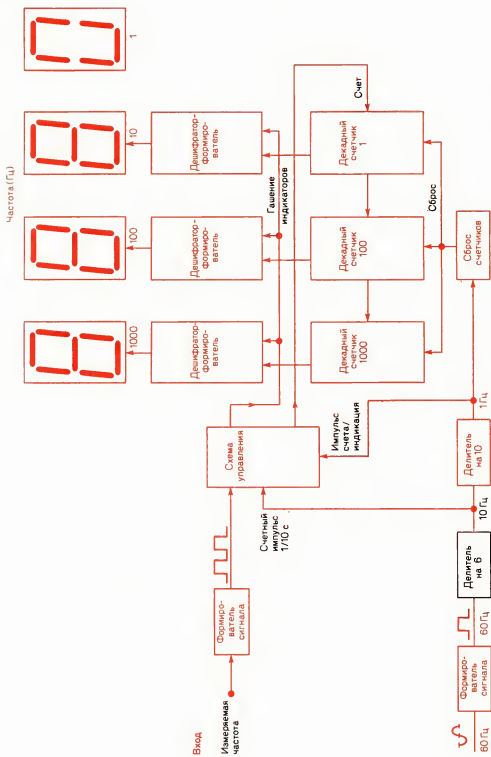


Рис. 11.30. Подробная структурная схема экспериментального цифрового частотомера, измеряющего частоты от 10 до 9990 Гц.

44. Цифровой частотомер, показанный на рис. 11.28, подсчитывает число импульсов, проходящих через логический элемент И в течение \_\_\_\_\_ с.
45. В частотомере на рис. 11.30 длительность счетного импульса равна \_\_\_\_\_ с.
46. Сигнал, частота которого измеряется частотомером, перед подачей в схему управления (рис. 11.30) преобразуется в нужную форму с помощью схемы \_\_\_\_\_.
47. Декадные счетчики на рис. 11.30 выполняют две функции: счет в прямом направлении и \_\_\_\_\_ результата счета для индикации.

Экспериментальный частотомер

### 11.15. Экспериментальный частотомер

В этом разделе описывается частотомер, который вы можете собрать сами в своей лаборатории. Его подробная принципиальная электрическая схема приведена на рис. 11.31. В этом частотомере используются только те устройства, которые вы уже применяли на практике; вы увидите, что данный частотомер работает исключительно точно.

Структурная схема описываемого экспериментального частотомера приведена на рис. 11.30. Большая часть элементов частотомера на его принципиальной электрической схеме (рис. 11.31) в основном занимает те же позиции, что и на структурной схеме.

В левом нижнем углу на рис. 11.31 изображен синусоидальный сигнал с частотой 60 Гц, который преобразуется в последовательность прямоугольных импульсов. Это преобразование (или *формирование*) сигнала осуществляется ждущим мультивибратором – микросхемой 74121. Именно эту микросхему мы использовали для аналогичного преобразования синусоидального сигнала в прямоугольные импульсы в цифровых часах. Напомним, что подача прямоугольных импульсов на вход следующего за формирователем сигнала счетчика необходима для его надежного срабатывания.

Справа от микросхемы 74121 изображен счетчик-делитель на 6. Он собран на трех триггерах (Т1, Т2 и Т3) и логическом элементе И – НЕ. На вход этого счетчика поступает сигнал с частотой 60 Гц; на выходе счетчика (выход Q триггера Т3) частота сигнала равна 10 Гц. Этот сигнал (10 Гц) подается на вход JK-триггера (Т4), который задерживает каждый импульс на  $1/60$  с для целей синхронизации. Первый импульс проходит через триггер Т4 и переключает JK-триггер Т5 в состояние  $Q = 0$  (счет).

При переключении выхода Q триггера Т5 к уровню логического 0 запускается ждущий мультивибратор 74121, изображенный на рис. 11.31 вверху слева. Ждущий мультивибратор пропускает входной сигнал, частоту которого нужно измерить, на вход счетчика десятков. Этот верхний ждущий мультивибратор работает как логический элемент и, кроме

Преобразование сигнала

Счетчик-делитель на 6





того, осуществляет формирование сигнала на измерительном входе частотомера в последовательность прямоугольных импульсов. *Счетный импульс* удерживает микросхему 74121 в открытом состоянии точно в течение  $1/10$  с. В течение этого промежутка времени импульсы, поступающие с измерительного входа частотомера, переключают счетчик десятков, и он подсчитывает число приходящих импульсов. Каждый раз, когда счетчик десятков досчитывает до 9, на следующем импульсе он переносит 1 на вход счетчика сотен. Содержимое счетчиков дешифруется и отображается на семисегментных индикаторах. Выход  $Q$  триггера Т5 в конце концов переключается в состояние логической 1. Это приводит к выключению (или запираанию) верхнего ждущего мультивибратора 74121 и прекращению поступления импульсов с измерительного входа частотомера на вход счетчика десятков. До сих пор была рассмотрена только фаза *счета*. Напомним, что при своей работе частотомер последовательно проходит фазы сброса-счета-индикации.

Фаза *индикации* при работе частотомера начинается в момент переключения  $Q$ -выхода JK-триггера (Т5) к уровню логической 1. Говорят, что эта 1 запирает ИС 74121. Информация о числе подсчитанных импульсов содержится в триггерах счетчиков десятков, сотен и тысяч. Соответствующие двоичные числа декодируются тремя дешифраторами 7447. Эти дешифраторы преобразуют двоичные числа в семисегментный код. На семисегментных светодиодных индикаторах загораются соответствующие сегменты и отображается значение измеряемой частоты. Для удобства отсчета справа добавлен индикатор с дополнительным «нулем». Этот 0 необходим для того, чтобы значение частоты отсчитывалось непосредственно в герцах.

Период индикации

Период индикации для частотомера на рис. 11.31 длится около  $9/10$  с. Этот факт может вызвать недоумение, если принять во внимание, что частота следования импульсов на входе JK-триггера Т5 равна 10 Гц. Казалось бы, второй импульс от счетчика-делителя на 6 должен переключить выход триггера Т5 назад к логическому 0. Это бы действительно случилось, если бы на J- и K-входы триггера Т5 не был подан логический 0 с выхода логического элемента ИЛИ-НЕ (логический элемент ИЛИ и инвертор), изображенного на рис. 11.31 внизу справа. Этот логический элемент ИЛИ-НЕ удерживает индикаторы *включенными* в течение  $9/10$  с и затем переходит на  $1/10$  с в состояние логической 1. Когда он выдает логическую 1, импульс с выхода счетчика-делителя на 6 переключает триггер Т5, который в свою очередь отпирает ИС 74121. Эта 1 с выхода логического элемента ИЛИ-НЕ сохраняется в течение  $1/10$  с, и этого времени вполне достаточно для реализации фазы счета. Обратите внимание, что сразу же справа от логического элемента ИЛИ-НЕ находится отдельный инвертор. Этот инвертор вырабатывает *сигнал (импульс) гашения индикаторов*. Когда логический элемент ИЛИ-НЕ переводит схе-

Сигнал гашения индикаторов

му в режим счета (логическая 1), индикаторы временно *гасятся* сигналом логического 0 от этого инвертора.

Счетчик-делитель на 10, изображенный в нижней части рис. 11.31 выполняет несколько различных функций. На вход этого декадного счетчика поступают импульсы с частотой следования 10 Гц; на выходе имеем 1 Гц. Состояния четырех двоичных выходов счетчика 7493 связаны логической операцией ИЛИ-НЕ. Когда на всех выходах действует уровень логического 0, логический элемент ИЛИ-НЕ вырабатывает логическую 1, разрешающую переключение триггера Т5. Последний в свою очередь запускает ждущий мультивибратор 74121. Все остальное время в течение 1 с-цикла счетчика 7493 на выходе логического элемента ИЛИ-НЕ действует уровень логического 0. Этот 0 блокирует триггер Т5 и, следовательно, ждущий мультивибратор 74121.

В нижнем правом углу на рис. 11.31 показан 5-входовый логический элемент И. Этот логический элемент на короткое время вырабатывает логическую 1 как раз перед началом фазы счета. Эта 1 от логического элемента И сбрасывает (очищает) счетчики (десятков, сотен, тысяч) в состоянии 000. Выход логического элемента И возвращается в свое нормальное состояние (логический 0) в фазе счета и индикации. Этот логический элемент И можно было бы называть *логическим элементом сброса счетчиков*.

Большинство выпускаемых промышленностью счетчиков работает аналогично счетчику, представленному на рис. 11.31. Промышленные образцы счетчиков обычно имеют большее число разрядов индикаторов и отображают значения частоты в килогерцах и мегагерцах. Для нормальной работы экспериментального частотомера величина входного сигнала должна находиться в пределах 2–4 В. В промышленных частотомерах перед первой схемой формирования сигнала обычно имеется усилитель, обеспечивающий усиление входного сигнала до нужного уровня. Кроме того, обеспечивается защита входа от перегрузки с помощью стабилизатора. Чтобы предотвратить мерцание индикаторов, в промышленных частотомерах обычно применяется несколько иной способ хранения и индикации содержимого счетчиков. Мы использовали в качестве задающего сигнал бытовой электросети (60 Гц). В промышленных частотомерах обычно используется точный высокочастотный генератор, вырабатывающий эталонную частоту.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

48. Триггеры Т1, Т2, Т3 и логический элемент ИЛИ-НЕ в схеме частотомера на рис. 11.31 образуют \_\_\_\_\_ счетчик.

Сброс счетчика

Промышленные частотомеры

49. В частотомере на рис. 11.31 фаза счета длится \_\_\_\_\_ с, а фаза индикации — \_\_\_\_\_ с.
50. Микросхема 7447 представляет собой \_\_\_\_\_ (счетчик, дешифратор, шифратор, мультиплексор).

### Основные результаты главы

1. Цифровая система — это совокупность соответствующим образом связанных подсистем.
2. В любой цифровой системе реализуются шесть основных функций: ввод, передача, хранение, обработка, управление и вывод информации.
3. Выпускаемые промышленностью интегральные схемы подразделяются на ИС с малой, средней, высокой и сверхвысокой степенью интеграции.
4. Микрокалькулятор — это сложная цифровая система, которая обычно строится на основе одной БИС.
5. ЭВМ — наиболее сложная цифровая система. Ее отличительные особенности — большие размеры и работа по программе, хранимой в памяти.
6. МикроЭВМ дешевле больших ЭВМ, но уступают им в быстродействии. МикроЭВМ — это цифровая система, ядром которой является микропроцессор.
7. В микроЭВМ в качестве внутренней памяти широко используются ЗУПВ и ПЗУ, а в качестве внешних вспомогательных ЗУ большой емкости — ЗУ на гибких дисках.
8. Команды, в соответствии с которыми работает микропроцессор, состоят из двух частей: кода операции и операнда. При выполнении программы работа микропроцессора представляет собой последовательную реализацию микропроцедур вызова — дешифрации — исполнения.
9. Для дешифрации адреса в микроЭВМ можно использовать комбинационные логические элементы.
10. Необходимость в использовании устройств с тремя состояниями наподобие буферов возникает тогда, когда несколько ЗУ и микропроцессоров пересылают информацию по общей шине данных.
11. Мультиплексоры и демultipлексоры используются для передачи параллельных данных по одной линии связи в последовательной форме.
12. Для обнаружения ошибок, возникающих во время передачи данных, можно использовать контрольные разряды четности.
13. Цифровые часы и частотомер — две очень похожие цифровые системы, в которых широко используются счетчики.
14. Выпускается много различных БИС для цифровых часов. В большинстве случаев для сборки цифровых часов в дополнение к этим БИС требуются еще и некоторые другие компоненты.
15. Мультиплексирование — общепринятый способ управления работой семисегментных индикаторов на светодиодах.
16. Логические элементы И, логические элементы ИЛИ и инверторы — это те базовые стандартные компоненты, на основе которых строится любая цифровая система.

## Итоговые задания к изучаемой главе

1. Назовите по крайней мере пять широко распространенных устройств, которые можно считать цифровыми системами.
2. Назовите хотя бы четыре ранее использованных вами устройства, которые можно считать цифровыми подсистемами.
3. Какие шесть функций реализуются почти в каждой цифровой системе?
4. Как расшифровываются следующие сокращения, относящиеся к ИС:  
а. ИС; б. МИС;  
в. СИС; г. БИС;  
д. СВИС; е. ПЗУ;  
ж. ЗУПВ; з. ППЗУ?
5. В цифровой электронике термин «кристалл» обычно используют для обозначения \_\_\_\_\_ (микросхемы, среза пластмассовой пленки).
6. Недорогие микрокалькуляторы обычно строятся на основе единственной \_\_\_\_\_ (БИС, СИС).
7. Конфигурацию электрических соединений внутри микрокалькулятора называют \_\_\_\_\_ (архитектурой, размерностью) соответствующей ИС.
8. Работа микрокалькулятора синхронизируется \_\_\_\_\_ (внутренним тактовым генератором, нажатием клавиш на клавишной панели).
9. Любой простой микрокалькулятор содержит \_\_\_\_\_ (ЗУПВ, ПЗУ) довольно большой емкости.
10. В составе \_\_\_\_\_ (микрокалькулятора; ЭВМ; как ЭВМ, так и микрокалькулятора) есть блок управления или схемы управления.
11. \_\_\_\_\_ (ЭВМ, наручные электронные цифровые часы) обычно строятся на основе одной БИС.
12. Нарисуйте схему организации пяти основных блоков ЭВМ. Укажите потоки *программной информации* и *данных* в этой системе.
13. Какие три блока входят в состав центрального процессора ЭВМ?
14. В ЭВМ вычисления и логические функции выполняют \_\_\_\_\_ (АЛУ, мультиплексор).
15. Наиболее сложной цифровой системой является \_\_\_\_\_ (ЭВМ, цифровой многоцелевой измерительный прибор).
16. Микросхема, называемая \_\_\_\_\_, выполняет функцию центрального процессора микроЭВМ.
17. В показанной на рис. 11.5 микроЭВМ устройством ввода информации является \_\_\_\_\_, а устройствами вывода информации — \_\_\_\_\_ и \_\_\_\_\_.
18. Все блоки микроЭВМ связаны линиями управления, \_\_\_\_\_ шиной и двунаправленной \_\_\_\_\_.
19. Операция ввода — запоминания — вывода, иллюстрируемая на рис. 11.17, задается тремя командами, занимающими \_\_\_\_\_ байт памяти программы.
20. Схема на логических элементах, называемая дешифратором \_\_\_\_\_, используется, чтобы выбрать одно из многих ЗУ для выдачи или приема данных по шине данных.
21. Нарисуйте условное графическое обозначение и таблицу истинности для буфера с тремя состояниями.
22. Что означают сокращения: а. MUX; б. DEMUX?
23. Цифровая система с использованием мультиплексора и демультиплексора преобразует параллельные входные

- данные в \_\_\_\_\_ (асинхронные, последовательные) \_\_\_\_\_
24. Система передачи данных с использованием мультиплексора и демultipлексора работает аналогично двум связанным \_\_\_\_\_ (трехпозиционным переключателям, многопозиционным переключателям поворотного типа).
25. Мультиплексоры известны также, как \_\_\_\_\_ (селекторы данных, шифраторы). Мультиплексоры иногда называют \_\_\_\_\_ (распределителями, вычитателями) или дешифраторами.
26. Для передачи 16-разрядного слова с использованием мультиплексора и демultipлексора потребовалось бы \_\_\_\_\_ (1, 5, 16) линий связи.
27. Ошибки, возникающие при передаче данных, можно обнаруживать, используя \_\_\_\_\_ (контрольный разряд четности, 16-разрядное слово).
28. Логический элемент \_\_\_\_\_ (И, исключаящее ИЛИ) способен обнаруживать нечетное число «единиц» на его входах.
29. Код \_\_\_\_\_ (Грея, Хемминга) является кодом с исправлением ошибок.
30. Какие функции типичной системы, указанные на рис. 11.1, реализуются в сумматоре-вычитателе (рис. 11.18)?
31. Цифровые часы и \_\_\_\_\_ (ЭВМ, частотомер) — две очень похожие цифровые системы.
32. В цифровых часах широко используются \_\_\_\_\_ (счетчики, регистры сдвига).
33. Сигнал известной частоты является основным входным сигналом \_\_\_\_\_ (цифровых часов, цифрового частотомера).
34. В цифровых часах счетчики используются для счета в прямом направлении и \_\_\_\_\_ (сдвига данных, хранения данных).
35. Большинство БИС для цифровых часов изготавливаются с использованием \_\_\_\_\_ (МОП-, биполярной) технологии.
36. Микросхема MM5314 фирмы National Semiconductor для цифровых часов \_\_\_\_\_ (непосредственно формирует, мультиплексирует) сигналы включения выходных индикаторов времени.
37. Частота мультиплексного генератора в схеме цифровых часов на рис. 11.22, а устанавливается \_\_\_\_\_ (путем присоединения внешних конденсаторов и резистора к соответствующим выводам БИС; при изготовлении БИС и не может быть изменена).
38. На практике блок сегментных формирователей в схеме на рис. 11.24, б может представлять собой \_\_\_\_\_ (СБИС, семь транзисторов и связанных с ними резисторов).
39. Мультиплексируемые индикаторы в схеме цифровых часов на рис. 11.26 \_\_\_\_\_ (включаются и выключаются все одновременно; включаются и выключаются последовательно с высокой скоростью).
40. Известная частота рабочего сигнала, поступающего на вход микросхемы MM5314 на рис. 11.26, равна \_\_\_\_\_ Гц. Сигнал такой частоты поступает от \_\_\_\_\_ (генератора, трансформатора).
41. В цифровом частотомере счетчики используются для прямого счета и \_\_\_\_\_ (обратного счета, деления частоты).

42. Ждущий мультиви-  
братор (рис. 11.20)  
используется в ци-  
фровых часах для  
\_\_\_\_\_ (обратного  
счета, преобразова-  
ния входного сигнала в последователь-  
ность  
прямоугольных им-  
пульсов).
43. Ждущий мультиви-  
братор 74121, пока-  
занный в верхней  
части рис. 11.31, ис-  
пользуется в каче-  
стве \_\_\_\_\_ (реги-  
стра памяти, фор-  
мирователя сигнала)  
и \_\_\_\_\_ (логиче-  
ского элемента, ре-  
гистра сдвига).
44. Три JK-триггера  
(T1, T2, T3) и логи-  
ческий элемент И-  
НЕ в схеме частотомера на рис. 11.31  
выполняют функ-  
цию \_\_\_\_\_ (вычи-  
тающего счетчика,  
делителя частоты).
45. Логический элемент  
И (микросхема 7408)  
в частотомере на  
рис. 11.31 служит  
для \_\_\_\_\_ (очист-  
ки, блокировки)  
счетчиков.
46. Диапазон изме-  
ряемых частот для  
частотомера, схема  
которого предста-  
влена на рис. 11.31,  
составляет \_\_\_\_\_  
Гц.

### Ответы к заданиям для самопроверки

1. Управления.
2. К устройству ввода.
3. От 12 до 100.
4. 1000.
5. БИС.
6. Вывода информации.
7. Ввода информации.
8. 1) Блок питания; 2) клавиатура.
9. Периферийными.
10. Размерах, хранимых в памяти ЭВМ программ.
11. 1) Программы; 2) данные.
12. Клавиатура; печатающее устрой-  
ство, видеомонитор.
13. В основном блоке ЭВМ за кла-  
виатурой.
14. Данных.
15. Программы.
16. Данные.
17. Адресной.
18. Операцией; операндом.
19. 100, 101.
20. Микропроцессор (МП).
21. Дешифрации — выполнения.
22. Последовательно — в порядке их  
расположения.
23. Дешифратором адреса.
24. Трестабильных буферов.
25. 0; 8.
26. Находится в состоянии высокого  
импеданса.
27. Мультиплексор; демультиплек-  
сор.
28. 1111.
29. Четности.
30. Исключающее ИЛИ; исключаю-  
щее ИЛИ.
31. Шифратором.
32. 4-разрядных сумматоров.
33. Делителях частоты; счетчиках-на-  
копителях.
34. Формирования прямоугольного  
сигнала.
35. Ждущий мультивибратор.
36. МОП.
37. 60.
38. Масштабируемый.
39. 11—19 В.
40. Мультиплексирования.
41. Разрядных формирователей.
42. Сегментных формирователей.
43. 12.
44. 1,0.
45. 0,1.
46. Формирования прямоугольного  
сигнала.
47. Хранение.
48. Делитель на 6.
49. 0,1; 0,9.
50. Дешифраторами.

## Глава 12

# Сопряжение цифровых и аналоговых устройств

До сих пор мы рассматривали только такие цифровые системы, для которых вся входная и вся выходная информация была цифровой. Данные на входах и выходах обычно представлялись в десятичной или двоичной форме. Однако в некоторых цифровых системах на входах действуют *аналоговые сигналы*, изменяющиеся *непрерывно* между двумя уровнями напряжения. В этой главе мы обсудим сопряжение аналоговых устройств с цифровыми системами.

На входе цифровой системы, изображенной на рис. 12.1, действует аналоговый сигнал. Напряжение принимает непрерывный ряд значений в интервале 0–3 В. *Шифратор* в этой системе представляет собой специальное устройство, преобразующее этот аналоговый сигнал в цифровую информацию. Мы будем называть этот шифратор *аналого-цифровым преобразователем*, или сокращенно *АЦП*. Таким образом, АЦП преобразует аналоговую информацию в цифровую.

Аналого-цифровой преобразователь

АЦП

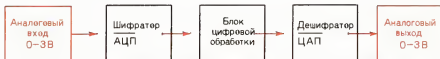


Рис. 12.1. Цифровая система с аналоговым входом и аналоговым выходом.

В цифровой системе на рис. 12.1 имеется также *дешифратор*. Это дешифратор специального типа: он преобразует цифровую информацию, поступающую от цифрового процессора, в аналоговый выходной сигнал. Например, аналоговый выходной сигнал может быть напряжением, непрерывно изменяющимся внутри интервала 0–3 В. Мы будем называть этот дешифратор *цифро-аналоговым преобразователем*, или сокращенно *ЦАП*. Таким образом, ЦАП преобразует цифровую информацию в аналоговую форму.

Всю систему, изображенную на рис. 12.1, можно назвать *гибридной системой*, поскольку в нее входят как цифровые, так и аналоговые устройства. Шифраторы и дешифраторы, преобразующие сигналы из аналоговой формы в цифровую и из цифровой формы в аналоговую, называются *интерфейсными устройствами*. Термин «интерфейс» обычно используется для обозначения комплекса средств (устройств

Цифро-аналоговый преобразователь

ЦАП

Гибридная система

Интерфейсные устройства



или схем), обеспечивающих переход от одного режима обработки данных к другому<sup>1)</sup>. В рассматриваемом нами случае сопрягаются два способа обработки данных — цифровой и аналоговый.

### 12.1. Цифро-аналоговое преобразование

Обратимся к ЦАП в системе, представленной на рис. 12.1. Предположим, что нам нужно преобразовать двоичный сигнал с выхода процессора в выходное напряжение, изменяющееся в интервале 0–3 В. Как и в случае любого дешифратора, нужно сначала составить таблицу истинности для всех возможных комбинаций сигналов на входах дешифратора.

	Цифровой вход				Аналоговый выход
	D	C	B	A	Вольты
Строка 1	0	0	0	0	0
Строка 2	0	0	0	1	0,2
Строка 3	0	0	1	0	0,4
Строка 4	0	0	1	1	0,6
Строка 5	0	1	0	0	0,8
Строка 6	0	1	0	1	1,0
Строка 7	0	1	1	0	1,2
Строка 8	0	1	1	1	1,4
Строка 9	1	0	0	0	1,6
Строка 10	1	0	0	1	1,8
Строка 11	1	0	1	0	2,0
Строка 12	1	0	1	1	2,2
Строка 13	1	1	0	0	2,4
Строка 14	1	1	0	1	2,6
Строка 15	1	1	1	0	2,8
Строка 16	1	1	1	1	3,0

Таблица 12.1. Таблица истинности для ЦАП

Возможные состояния четырех входов (D, C, B, A) ЦАП указаны в табл. 12.1. Входные сигналы представлены в двоичной форме. Каждая 1 соответствует уровню напряжения в интервале +3 – +5 В. Каждый 0 – уровню напряжения, близкому к 0 В. Выходные напряжения указаны в крайнем правом столбце табл. 12.1. Как видно из этой таблицы, нулевому состоянию (0000) входов ЦАП соответствует нулевой выходной сигнал (0 В). Если на входы подана двоичная комбинация 0001, на выходе появляется сигнал 0,2 В. Устанавливая на входах 0010, получаем на выходе 0,4 В. Обратите внимание: когда мы «спускаемся» в табл. 12.1 вниз,

<sup>1)</sup> В более общем смысле «интерфейс» — это комплекс средств унифицированного сопряжения между отдельными частями системы обработки данных, куда входят не только аппаратные средства, но и правила, устанавливающие принципы взаимодействия подсистем. — *Прим. перев.*

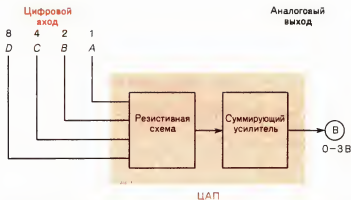


Рис. 12.2. Структурная схема ЦАП.

Резистивная схема  
Суммирующий усилитель

Операционный усилитель  
ОУ  
Масштабируемый усилитель

в каждой новой строке аналоговый выходной сигнал увеличивается на 0,2 В.

Структурная схема ЦАП приведена на рис. 12.2. Слева показаны цифровые входы (*D*, *C*, *B*, *A*). Дешифратор состоит из двух блоков: *резистивной схемы* и *суммирующего усилителя*. Выходным сигналом является напряжение, считываемое с вольтметра, который показан справа.

Назначение резистивной схемы — учет весового коэффициента для цифровых сигналов на входах ЦАП (вес 1 на входе *B* в два раза больше веса 1 на входе *A*, вес 1 на входе *C* в четыре раза больше веса 1 на входе *A* и т. д.). Для этой цели можно использовать несколько различных способов соединения резисторов. Такие резистивные схемы называются *многозвенными резистивными схемами лестничного типа*<sup>1)</sup>.

Суммирующий усилитель в схеме на рис. 12.2 усиливает поступающие на его вход сигналы (с выхода резистивной схемы) до уровня, соответствующего значениям выходного напряжения в крайнем правом столбце табл. 12.1. В качестве суммирующего усилителя обычно используется аналоговая ИС, называемая *операционным усилителем*, или сокращенно *ОУ*. Суммирующий усилитель называют также *масштабируемым усилителем*.

Итак, дешифратор специального типа, называемый *цифро-аналоговым преобразователем (ЦАП)*, состоит из двух блоков: группы резисторов, образующих многозвенную резистивную схему лестничного типа, и операционного усилителя (*ОУ*), используемого в качестве суммирующего усилителя.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

<sup>1)</sup> Или резистивными матрицами. — Прим. перев.

1. Шифратор специального типа, преобразующий информацию из аналоговой формы в цифровую, называется \_\_\_\_\_.
2. Дешифратор специального типа, преобразующий информацию из цифровой формы в аналоговую, называется \_\_\_\_\_.
3. Цифро-аналоговый преобразователь (ЦАП) состоит из \_\_\_\_\_ схемы и \_\_\_\_\_ усилителя.
4. Сокращение «ОУ» используется для обозначения \_\_\_\_\_.

## 12.2. Операционные усилители

Усилители специального типа, называемые операционными усилителями (ОУ), характеризуются высоким входным сопротивлением, низким выходным сопротивлением и изменяющимся в широких пределах коэффициентом усиления по напряжению, величину которого можно установить внешними резисторами. Условное графическое обозначение ОУ показано на рис. 12.3, а. Видно, что ОУ имеет два входа. Верхний вход называется *инвертирующим входом*. На условном графическом обозначении ОУ этот вход отмечен знаком минус (-). Второй вход называется *неинвертирующим входом*. На условном графическом обозначении ОУ он отмечен знаком плюс (+). Справа показан выход усилителя.

Инвертирующий вход

Неинвертирующий вход

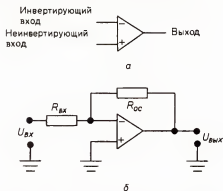


Рис. 12.3. Операционный усилитель.

а – условное обозначение; б – входной резистор и резистор обратной связи, используемые для установки требуемого значения коэффициента усиления по напряжению.

Коэффициент усиления по напряжению

$$K_u = \frac{R_{ос}}{R_{вх}}$$

Операционный усилитель почти никогда не используется сам по себе. Обычно к нему добавляются два резистора, как показано на рис. 12.3, б, для установки требуемого значения коэффициента усиления по напряжению. Резистор \$R\_{вх}\$ называется *входным резистором*<sup>1)</sup>. Резистор \$R\_{ос}\$ называется *резистором обратной связи*. Коэффициент усиления по напряжению для такого усилителя находится с помощью простой формулы

<sup>1)</sup> В этой главе мы изменили обозначения авторов и привели их в соответствие с принятыми в отечественной литературе. — Прим. перев.

$K_u$  (коэффициент усиления по напряжению) =  $R_{oc}/R_{вх}$ .

Предположим, что к ОУ присоединены резисторы с одинаковыми сопротивлениями:  $R_{oc} = 10 \text{ кОм}$  и  $R_{вх} = 10 \text{ кОм}$ . Используя нашу формулу для коэффициента усиления по напряжению, получаем

$$K_u = R_{oc}/R_{вх} = 10000/10000 = 1.$$

Коэффициент усиления такого усилителя равен 1. В нашем примере, если в схеме на рис. 12.3,б входное напряжение  $U_{вх} = 5 \text{ В}$ , то и выходное напряжение  $U_{вых} = 5 \text{ В}$ . Используется инвертирующий вход усилителя, поэтому, строго говоря, если входное напряжение равно  $+5 \text{ В}$ , то выходное напряжение равно  $-5 \text{ В}$ . Коэффициент усиления по напряжению данного ОУ можно также рассчитать с помощью формулы

$$K_u = U_{вых}/U_{вх}.$$

Значит, для рассматриваемой схемы коэффициент усиления по напряжению

$$K_u = U_{вых}/U_{вх} = 5/5 = 1.$$

Получаем то же самое единичное значение этой величины.

Предположим теперь, что  $R_{вх} = 1 \text{ кОм}$  и  $R_{oc} = 10 \text{ кОм}$ , как в схеме на рис. 12.4. Чему равен коэффициент усиления по напряжению для этой схемы? Коэффициент усиления по напряжению рассчитывается по формуле

$$K_u = R_{oc}/R_{вх} = 10000/1000 = 10.$$

Если, например, входное напряжение равно  $0,5 \text{ В}$ , то выходное напряжение в 10 раз больше, т.е. равно  $5 \text{ В}$ . Вольтметр на выходе схемы на рис. 12.4 покажет  $U_{вых} = -5 \text{ В}$ .

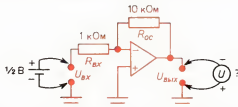


Рис. 12.4. Схема ОУ, позволяющая определить коэффициент усиления по напряжению.

Вы узнали теперь, как можно изменять коэффициент усиления по напряжению ОУ путем изменения отношения сопротивлений входного резистора и резистора обратной связи. Вам необходимо научиться устанавливать этот коэффициент усиления, используя резисторы  $R_{вх}$  и  $R_{oc}$  различных номиналов.

Итак, ОУ является частью цифро-аналогового преобразователя; он используется в этом преобразователе в качестве суммирующего усилителя. Коэффициент усиления ОУ очень просто задать, выбрав соответствующее отношение сопротивлений входного резистора и резистора обратной связи.

**Задания для самопроверки**

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

5. Резистор  $R_{oc}$  в схеме ОУ на рис. 12.3,б называется резистором \_\_\_\_\_.
6. Резистор  $R_{вх}$  в схеме ОУ на рис. 12.3,б называется \_\_\_\_\_ резистором.
7. Найдите коэффициент усиления по напряжению ОУ в схеме на рис. 12.3,б, если  $R_{вх} = 1 \text{ кОм}$  и  $R_{oc} = 20 \text{ кОм}$ .
8. Чему будет равно выходное напряжение того же ОУ, если входное напряжение равно  $+0,2 \text{ В}$ ?

### 12.3. Основная схема цифро-аналогового преобразователя

Схема простого цифро-аналогового преобразователя (ЦАП) приведена на рис. 12.5. Этот ЦАП состоит из двух блоков. Резистивная схема (слева) собрана на резисторах  $R_1$ ,  $R_2$ ,  $R_3$  и  $R_4$ . Суммирующий усилитель (справа) включает в себя ОУ и резистор обратной связи. Входное напряжение  $U_{вх}$ , равное 3 В, приложено к переключателям  $D$ ,  $C$ ,  $B$  и  $A$ . Выходное напряжение  $U_{вых}$  измеряется вольтметром. Обратите внимание, что для ОУ требуется довольно необычный источник питания с выводом средней точки, обеспечивающий питающие напряжения  $+10 \text{ В}$  и  $-10 \text{ В}$ .

Источник питания с  
выводом средней  
точки

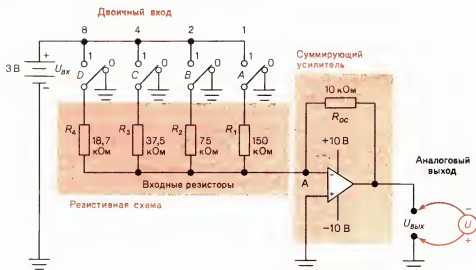


Рис. 12.5. Принципиальная схема ЦАП.

Если все переключатели замкнуты на общий провод (0 В), как показано на рис. 12.5, то входное напряжение

в точке  $A$  равно 0 В и выходное напряжение также равно 0 В. Такая ситуация соответствует строке 1 в табл. 12.1. Предположим теперь, что мы установили переключатель  $A$  в положение, соответствующее логической 1 (см. рис. 12.5). Тогда к ОУ будет приложено входное напряжение, равное 3 В. Рассчитаем коэффициент усиления по напряжению получившегося усилителя. Этот коэффициент усиления зависит от сопротивления резистора обратной связи  $R_{oc}$ , равного 10 кОм, и сопротивления входного резистора  $R_{вх}$ , т.е. в данном случае от сопротивления резистора  $R_1$ , равного 150 кОм. Используя формулу для коэффициента усиления, находим

$$K_u = R_{oc}/R_{вх} = 10000/150000 = 0,066.$$

Чтобы получить выходное напряжение, мы умножаем этот коэффициент усиления на величину входного напряжения, т.е.

$$U_{вых} = K_u \times U_{вх} = 0,066 \times 3 = -0,2 \text{ В}.$$

Выходное напряжение равно 0,2 В, когда на входы ЦАП подана двоичная комбинация 0001. Это как раз то, что требуется согласно строке 2 в табл. 12.1.

Подадим теперь на входы ЦАП (рис. 12.5) двоичную комбинацию 0010. Для этого установим переключатель  $B$  в положение, соответствующее логической 1, тем самым приложим к ОУ напряжение, равное 3 В. Для коэффициента усиления в данном случае получаем

$$K_u = R_{oc}/R_{вх} = 10000/75000 = 0,133.$$

Умножив этот коэффициент усиления на величину входного напряжения, найдем, что выходное напряжение равно 0,4 В, как и должно быть в соответствии со строкой 3 в табл. 12.1.

Обратите внимание, что при переходе к каждому следующему числу в двоичной счетной последовательности из табл. 12.1 выходное напряжение ЦАП должно увеличиваться на 0,2 В. Такое возрастание выходного напряжения обеспечивается за счет увеличения коэффициента усиления по напряжению ОУ при подключении различных резисторов ( $R_1, R_2, R_3, R_4$ ). Если бы в схеме на рис. 12.5 мы подключили только один резистор  $R_4$  (с помощью переключателя  $D$ ), то тем самым установили бы коэффициент усиления

$$K_u = R_{oc}/R_{вх} = 10000/18700 = 0,535.$$

Умножение этого коэффициента усиления на величину входного напряжения (3 В) дает 1,6 В на выходе ОУ. Это соответствует строке 9 в табл. 12.1.

Если все переключатели в схеме на рис. 12.5 установлены в положения, соответствующие логическим «единицам», ОУ вырабатывает на своем выходе полные 3 В, поскольку коэффициент усиления в этом случае становится равным 1.

В качестве входного можно использовать любое напряжение, не превышающее напряжение питания операционного усилителя ( $\pm 10$  В). Можно увеличить число двоичных разрядов, добавляя переключатели. При добавлении разрядного переключателя веса 16 в схему на рис. 12.5 потребуется резистор  $R_5$  с сопротивлением, равным половине сопротивления резистора  $R_4$ . Таким образом, сопротивление резистора  $R_5$  должно быть равно 9350 Ом. При этом нужно будет также изменить сопротивление резистора обратной связи приблизительно до 5 кОм. На входы ЦАП можно тогда подавать 5-разрядные двоичные числа и по-прежнему получать на выходе аналоговый выходной сигнал, изменяющийся от 0 до 3 В.

Схема цифро-аналогового преобразователя, показанная на рис. 12.5, имеет два недостатка: во-первых, в ней приходится использовать резисторы с широким диапазоном номиналов и, во-вторых, обеспечиваемая точность преобразования невысока.

#### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

9. Рассчитайте коэффициент усиления по напряжению ОУ в схеме на рис. 12.5, когда в положение, соответствующее логической 1, установлен только переключатель С (переключатель разряда четверок).
10. Используя полученное значение коэффициента усиления по напряжению из задания 9, рассчитайте выходное напряжение ЦАП на рис. 12.5, когда в положение, соответствующее логической 1, установлен только переключатель С.
11. Назовите два недостатка цифро-аналогового преобразователя, показанного на рис. 12.5.

#### 12.4. Цифро-аналоговые преобразователи лестничного типа

Цифро-аналоговый преобразователь состоит из резистивной схемы и суммирующего усилителя. На рис. 12.6 изображена одна из возможных резистивных схем, обеспечивающих учет весового множителя на двоичных входах. Эту резистивную схему иногда называют *R-2R-схемой лестничного типа*. Преимущество такого соединения резисторов заключается в том, что используются резисторы только двух номиналов. Сопротивление каждого из резисторов  $R_1, R_2, R_3, R_4$  и  $R_5$  равно 20 кОм, а каждого из резисторов  $R_6, R_7, R_8$  и  $R_{oc}$  — 10 кОм. Обратите внимание, что номиналы горизонтальных резисторов «лестницы» ровно в 2 раза больше номиналов вертикальных резисторов; отсюда и происходит название схемы.

Схема цифро-аналогового преобразователя

Суммирующий усилитель

R-2R-схема лестничного типа

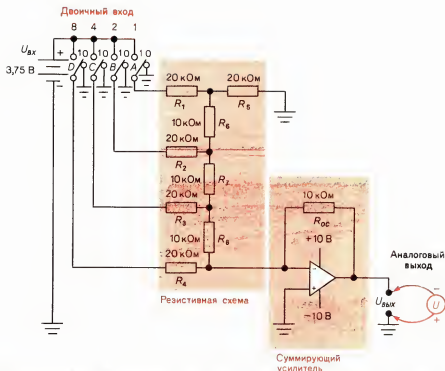


Рис. 12.6. Цифро-аналоговый преобразователь, представляющий резистивную схему, называемую R-2R-схемой лестничного типа.

### ЦАП

Суммирующий усилитель в схеме ЦАП на рис. 12.6 ничем не отличается от суммирующего усилителя, рассмотренного в предыдущем разделе. Еще раз обратим внимание на использование для питания ОУ источника напряжений двух знаков.

Данный ЦАП работает аналогично простейшему ЦАП из предыдущего раздела. Подробная информация о его работе содержится в табл. 12.2. Обратите внимание, что в рассматриваемом преобразователе используется входное напряжение, равное 3,75 В. Переход к каждому следующему двоичному числу из приведенной в табл. 12.2 счетной последовательности на входах приводит к увеличению аналогового выходного сигнала на 0,25 В (это видно из крайнего правого столбца табл. 12.2). Напомним, что каждый 0 в столбцах для входов D, C, B, A означает отсутствие напряжения (0 В) на соответствующем входе. Каждая 1 в этих столбцах означает, что к соответствующему входу приложено напряжение, равное 3,75 В. Входное напряжение выбрано равным 3,75 В, поскольку эта величина очень близка к выходному напряжению счетчиков и других ИС семейства ТТЛ, с которыми вам, возможно, придется иметь дело в своей работе. Таким образом, входы (D, C, B, A) ЦАП на рис. 12.6 можно непосредственно присоединить к выходам



Таблица 12.2. Таблица истинности для ЦАП

Двоичный вход				Аналоговый выход
В	А	С	В	Вольты
0	0	0	0	0
0	0	0	1	0,25
0	0	1	0	0,50
0	0	1	1	0,75
0	1	0	0	1,00
0	1	0	1	1,25
0	1	1	0	1,50
0	1	1	1	1,75
1	0	0	0	2,00
1	0	0	1	2,25
1	0	1	0	2,50
1	0	1	1	2,75
1	1	0	0	3,00
1	1	0	1	3,25
1	1	1	0	3,50
1	1	1	1	3,75

Преобразователь  
уровня

любой ТТЛ ИС, при этом ЦАП будет работать в соответствии с табл. 12.2. На практике, однако, выходные сигналы ТТЛ ИС имеют заметный разброс, поэтому их следует пропускать через преобразователь уровня для получения выходного напряжения с высокой точностью.

ЦАП на рис. 12.6 может иметь большее число двоичных входов (для разрядов с весами 16, 32, 64 и т.д.). Однако добавляя двоичные разряды, нужно оставлять неизменной показанную на схеме ЦАП структуру соединений резисторов при одновременном сохранении их номиналов.

Мы обсудили два типа специальных дешифраторов, называемых цифро-аналоговыми преобразователями. ЦАП лестничного типа обладает некоторыми преимуществами по сравнению с базовым устройством. «Сердцем» ЦАП является суммирующий усилитель вместе с резистивной схемой.

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

12. Цифро-аналоговый преобразователь на рис. 12.6—это преобразователь \_\_\_\_\_ типа.
13. Обратимся к рис. 12.6. Коэффициент усиления ОУ максимален, когда каждый из входных переключателей установлен в положение, соответствующее логическому (ой) \_\_\_\_\_ (0, 1).
14. Обратитесь к рис. 12.6 и табл. 12.2. Коэффициент усиления

ния ОУ в этом ЦАП минимален, когда только переключатель \_\_\_\_\_ (A, B, C, D) установлен в положение, соответствующее логической 1.

## 12.5. Аналого-цифровой преобразователь

Аналого-цифровой преобразователь — это шифратор специального типа. Базовая структурная схема АЦП приведена на рис. 12.7. На его входе действует одно изменяющееся напряжение. Это напряжение в данном случае изменяется от 0 до 3 В. С выхода АЦП снимаются двоичные сигналы.

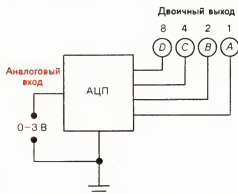


Рис. 12.7. Структурная схема АЦП.

АЦП

АЦП преобразует аналоговый сигнал напряжения на входе в 4-разрядное двоичное слово. Как и в случае любого другого шифратора, полезно точно определить ожидаемые значения входных и выходных сигналов. Таблица истинности (табл. 12.3) показывает, как должен работать АЦП. Строка 1 соответствует нулевому напряжению (0 В) на входе. При этом выходы также находятся в нулевом состоянии (0000). Строка 2 соответствует 0,2 В на входе. На выходе в этом случае двоичное число 0001. Обратите внимание, что каждый раз (в каждой новой строке) увеличение входного напряжения на 0,2 В приводит к увеличению двоичного числа на выходе на 1. И наконец, согласно строке 16, когда ко входу приложено максимальное напряжение, равное 3 В, на выходе мы имеем двоичное число 1111. Обратите внимание, что таблица истинности для АЦП (табл. 12.3) получается в результате обращения таблицы истинности для соответствующего ЦАП (табл. 12.1); входы и выходы меняются местами.

ЦАП

Компаратор напряжений  
Логический элемент И  
Двоично-десятичный счетчик

Таблица истинности для АЦП выглядит очень просто. Более сложной будет электронная схема, реализующая указанную в таблице истинности связь входных и выходных сигналов. Структурная схема одного из возможных АЦП представлена на рис. 12.8. Этот АЦП содержит *компаратор напряжений*, логический элемент И, двоично-десятичный

Таблица 12.3. Таблица истинности для АЦП

	Аналоговый вход	Двоичный выход			
	Вольты	8	4	2	1
		D	C	B	A
Строка 1	0	0	0	0	0
Строка 2	0,2	0	0	0	1
Строка 3	0,4	0	0	1	0
Строка 4	0,6	0	0	1	1
Строка 5	0,8	0	1	0	0
Строка 6	1,0	0	1	0	1
Строка 7	1,2	0	1	1	0
Строка 8	1,4	0	1	1	1
Строка 9	1,6	1	0	0	0
Строка 10	1,8	1	0	0	1
Строка 11	2,0	1	0	1	0
Строка 12	2,2	1	0	1	1
Строка 13	2,4	1	1	0	0
Строка 14	2,6	1	1	0	1
Строка 15	2,8	1	1	1	0
Строка 16	3,0	1	1	1	1

счетчик и ЦАП. Со всеми этими устройствами, за исключением компаратора, вы уже знакомы.

Ко входу АЦП (слева на рис. 12.8) приложено аналоговое напряжение. Компаратор «проверяет» величину напряжения, поступающего от ЦАП. Если аналоговое входное напряжение на входе A компаратора больше напряжения на входе B, разрешается прохождение тактовых (счетных) импульсов на вход двоично-десятичного счетчика. Счетчик

Тактовые импульсы

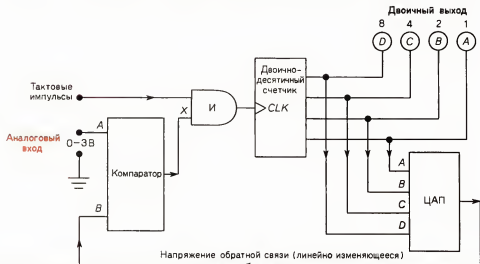


Рис. 12.8. Структурная схема АЦП, содержащая компаратор напряжений, логический элемент И, двоично-десятичный счетчик и ЦАП.

подсчитывает эти импульсы, в результате *постепенно увеличивается* цифровой сигнал (двоичное число) на его выходе. Счет продолжается до тех пор, пока напряжение обратной связи с выхода ЦАП не превысит аналоговое входное напряжение. В этой точке компаратор останавливает счетчик. Предположим, что входное аналоговое напряжение равно 2 В. В соответствии с табл. 12.3 счетчик сосчитает до 1010, затем остановится, сбросится в нулевое состояние (0000), и счет начнется снова.

Теперь рассмотрим более подробно работу АЦП (рис. 12.8). Предположим, что на выходе компаратора в точке *X* действует уровень логической 1. Будем также считать, что двоично-десятичный счетчик находится в состоянии 0000. И наконец, предположим, что к аналоговому входу АЦП приложено напряжение, равное 0,55 В. Логическая 1 в точке *X* «открывает» логический элемент И, и первый импульс от тактового генератора появляется на синхронизирующем входе двоично-десятичного счетчика. Счетчик переходит в состояние 0001. Двоичная комбинация 0001 появляется на индикаторе (в правом верхнем углу рис. 12.8). Эта же двоичная комбинация подается на входы ЦАП.

Согласно табл. 12.1, двоичному числу 0001 на выходах ЦАП соответствует сигнал 0,2 В на выходе. Это напряжение подается на вход *B* компаратора. Компаратор сравнивает сигналы, поступившие на его входы (0,55 и 0,2 В). Напряжение на входе *A* больше, поэтому компаратор вырабатывает на выходе сигнал логической 1. Эта логическая 1 «удерживает» логический элемент И в открытом состоянии, и он пропускает следующий тактовый импульс с счетчику. Содержимое счетчика увеличивается на 1. На его выходах теперь появляется двоичная комбинация 0010. Эта двоичная комбинация подается на входы ЦАП.

В табл. 12.1 двоичному числу 0010 на входах ЦАП соответствует сигнал 0,4 В на выходе. Это напряжение подается на вход *B* компаратора. Компаратор снова сравнивает напряжение на входе *B* с напряжением на входе *A*; напряжение 0,55 В на входе *A* по-прежнему больше, поэтому на выходе компаратора опять вырабатывается сигнал логической 1. Логический элемент И по-прежнему открыт и позволяет следующему тактовому импульсу достичь счетчика. Содержимое счетчика увеличивается до 0011. Эта двоичная комбинация подается на входы ЦАП.

Далее в соответствии с табл. 12.1 двоичному числу 0011 на входах ЦАП сопоставляется сигнал 0,6 В на выходе. Этот сигнал подается на вход *B* компаратора. Компаратор снова сравнивает напряжение на входе *B* с напряжением на входе *A*, впервые напряжение на входе *B* оказывается больше, и компаратор вырабатывает на выходе сигнал логического 0. Этот логический 0 «запирает» логический элемент И. Теперь ни один тактовый импульс не может достичь счетчика. Счетчик останавливается на двоичном числе 0011. Значит, аналоговому входному сигналу, равному 0,55 В, со-

ответствует двоичное число 0011. Из строки 4 табл. 12.3 видно, что 0,6 В на входе соответствуют двоичному числу 0011 на выходе. Наш АЦП «отработал» согласно таблице истинности.

Если бы входное аналоговое напряжение было равно 1,2 В, то, согласно табл. 12.3, мы должны были бы получить на выходе двоичное число 0110. До остановки по команде компаратора счетчик «успел» бы сосчитать от 0000 до 0110. При входном аналоговом напряжении 2,8 В мы должны были бы получить на выходе двоичное число 1110. Счетчик тогда сосчитал бы от 0000 до 1110. Обратите внимание, что для преобразования аналогового сигнала напряжения в двоичный цифровой сигнал требуется некоторое время. Однако в большинстве случаев частота следования тактовых импульсов достаточно высока, так что эта временная задержка не имеет существенного значения.

Вам теперь, по-видимому, стало ясно, почему мы сначала изучили ЦАП, а не АЦП. Рассмотренный АЦП с динамической компенсацией довольно сложен, и для него требуется использовать ЦАП. Термин «динамическая компенсация» в названии данного преобразователя отражает наличие в схеме линейно нарастающего в процессе счета напряжения на выходе ЦАП, которое подается по цепи обратной связи к компаратору. Если вы начертите график изменения напряжения, поступающего на вход В компаратора, то он будет иметь пилообразную (кусочно-линейную) форму<sup>1)</sup>.

АЦП с динамической компенсацией

Динамическая компенсация

Пилообразная форма  
Кусочно-линейная форма

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

15. АЦП преобразует \_\_\_\_\_ входной сигнал в \_\_\_\_\_ выходной сигнал.
16. Если в табл. 12.3 аналоговое входное напряжение равно 1 В, то на выходе мы должны получить двоичное число \_\_\_\_\_.
17. Если в схеме на рис. 12.8 потенциал точки В ниже потенциала точки А, то на выходе компаратора в точке Х будет действовать \_\_\_\_\_ (ВЫСОКИЙ, НИЗКИЙ) уровень. Это приведет к \_\_\_\_\_ (разрешению прохождения тактовых импульсов через логический элемент И, блокировке логического элемента И).
18. Устройство, схема которого показана на рис. 12.8, — это АЦП \_\_\_\_\_.

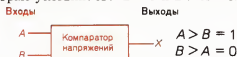
<sup>1)</sup> Линейно нарастающее напряжение возвращается к 0 В перед началом каждого нового цикла счета в процессе аналого-цифрового преобразования — в результате на графике напряжения получается «пила». Такую форму имеет, например, напряжение развертки в осциллографах и телевизорах. — Прим. перев.

## 12.6. Компараторы

## Компаратор

В предыдущем разделе мы говорили о *компараторе*. Мы выяснили, что компаратор сравнивает два напряжения и указывает, которое из них больше. На рис. 12.9 показана основная структурная схема компаратора. Если напряжение на входе *A* больше, чем напряжение на входе *B*, компаратор вырабатывает на выходе логическую 1. Если же напряжение на входе *B* больше, чем напряжение на входе *A*, на выходе компаратора появляется логический 0. На рис. 12.9 это символически записано в форме условий:  $A > B = 1$  и  $B > A = 0$ .

Рис. 12.9. Структурная схема компаратора напряжений.



«Сердце» компаратора — операционный усилитель. На рис. 12.10, *a* приведена одна из возможных схем компаратора. Обратите внимание, что ко входу *A* приложено напряжение 1,5 В, а ко входу *B* — 0 В. Вольтметр на выходе этого компаратора покажет приблизительно 3,5 В, или уровень логической 1.

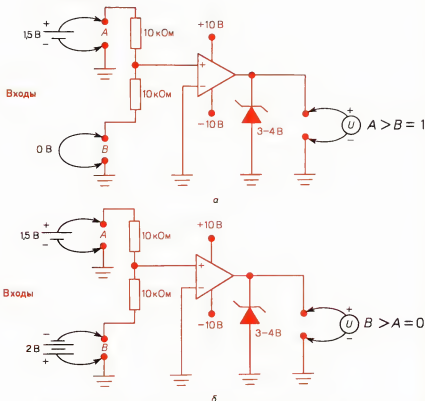


Рис. 12.10. Принципиальная схема компаратора напряжений.

*a* — более высокое напряжение на входе *A*; *б* — более высокое напряжение на входе *B*.

На рис. 12.10, б иллюстрируется случай, когда напряжение на входе  $B$  увеличено до 2 В. На входе  $A$  по-прежнему остается 1,5 В. Напряжение на входе  $B$  в этом случае оказывается больше, и на выходе компаратора мы получаем около 0 В (фактическое значение выходного напряжения составляет примерно  $-0,6$  В), или уровень логического 0.

Компаратор в схеме АЦП на рис. 12.8 работает подобно только что рассмотренному устройству. Стабилитрон в схеме компаратора на рис. 12.10 используется для фиксации уровней выходного напряжения вблизи 3,5 и 0 В. Без стабилитрона мы получили бы  $+9$  и  $-9$  В. Напряжения  $+3,5$  и 0 В более совместимы с логическими уровнями ТТЛ ИС, с которыми вам, возможно, придется иметь дело.

Стабилитрон

Фиксация уровней

Выходное напряжение

### Задания для самопроверки

Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.

19. Компаратор в схеме АЦП на рис. 12.8 сравнивает два \_\_\_\_\_ (двоичных числа, десятичных числа, постоянных напряжения).
20. Компаратор напряжений можно собрать из интегрального \_\_\_\_\_, нескольких резисторов и стабилитрона.
21. Когда в схеме на рис. 12.10 напряжение на входе  $B$  возрастает и становится больше напряжения на входе  $A$ , уровень напряжения на выходе ОУ изменяется от \_\_\_\_\_ (ВЫСОКОГО, НИЗКОГО) к \_\_\_\_\_ (ВЫСОКОМУ, НИЗКОМУ).

## 12.7. Цифровой вольтметр

Одно из возможных применений АЦП — его использование в *цифровом вольтметре*. Вы уже знакомы со всеми узлами, необходимыми для построения цифрового вольтметра. Структурная схема простого цифрового вольтметра показана на рис. 12.11. АЦП преобразует аналоговое напряжение в двоичную форму. Соответствующее двоичное число посылается в дешифратор, где оно преобразуется в код семисегментного индикатора. На семисегментном индикаторе отображаются значения напряжения в десятичной форме. Из

Цифровой вольтметр

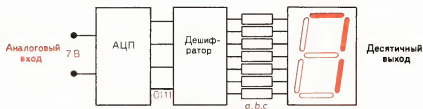


Рис. 12.11. Структурная схема цифрового вольтметра.

рис. 12.11 видно, что, если ко входу АЦП приложено 7 В, АЦП вырабатывает на выходе двоичное число 0111. Дешифратор включает соответствующие сегменты (*a*, *b*, *c*) семисегментного индикатора, и они высвечиваются на индикаторе. С индикатора считывается десятичная «семерка». Заметим, что АЦП также является дешифратором; он преобразует аналоговые входные сигналы в двоичные выходные сигналы.

Компаратор напряжений

ОУ 741

Схема цифрового вольтметра приведена на рис. 12.12. Здесь вы видите компаратор напряжений, логический элемент И, счетчик, дешифратор, семисегментный индикатор и ЦАП. Для обеспечения работы этой схемы нужно иметь несколько источников питания. В ОУ 741 используется источник напряжения со средней точкой ( $\pm 10$  В) или два отдельных источника напряжения 10 В разных знаков. Питание ТТЛ ИС 7408, 7493 и 7447 осуществляется от источника напряжения 5 В; такое же напряжение подается на семисегментный светодиодный индикатор. Для того чтобы наблюдать работу цифрового вольтметра, нам нужен также источник постоянного напряжения, регулируемого в пределах 0–10 В, которое можно использовать в качестве аналогового входного сигнала.

Счетчик

Логический элемент И

Дешифратор

Семисегментный индикатор

Предположим, что на аналоговом входе цифрового вольтметра (рис. 12.12) действует напряжение, равное 2 В. Сбросим счетчик в состояние 0000. Компаратор сравнивает напряжения на входах *A* и *B*, напряжение на входе *A* больше ( $U_A = 2$  В,  $U_B = 0$  В). На выходе компаратора появляется логическая 1. Эта логическая 1 «открывает» логический элемент И. Первый импульс от тактового генератора проходит через логический элемент. Счетчик начинает свою работу. На его выходах появляется двоичная комбинация 0001. Эта двоичная комбинация поступает на входы дешифратора. Дешифратор включает сегменты *b* и *c* семисегментного индикатора; эти сегменты зажигаются, высвечивая на индикаторе десятичную цифру 1. Двоичная комбинация 0001 поступает также на входы ЦАП; при этом напряжение, приблизительно равное 3,2 В, с выхода *A* счетчика через резистор 150 кОм прикладывается ко входу ОУ. Для коэффициента усиления ОУ по напряжению в данном случае имеем

$$K_u = R_{oc}/R_{вх} = 47000/150000 = 0,31.$$

Умножая этот коэффициент на величину входного напряжения, получаем выходное напряжение:

$$U_{вых} = K_u \times U_{вх} = 0,31 \times 3,2 = 1 \text{ В}.$$

Выходное напряжение ЦАП равно –1 В. Это напряжение по цепи обратной связи подается на компаратор.

Напряжение на входе цифрового вольтметра по-прежнему равно 2 В. Компаратор снова сравнивает напряжения на входах *A* и *B*, напряжение на входе *A* оказывается больше. Компаратор выдает сигнал логической 1 на один из входов



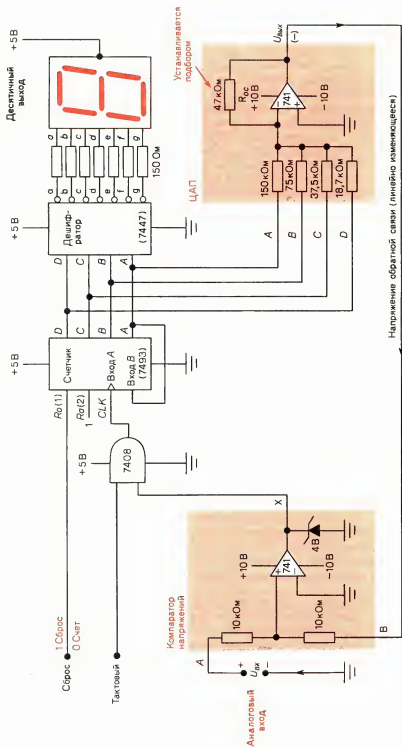


Рис. 12.12. Монтажная схема цифрового вольтметра.

логического элемента И. Логический элемент И пропускает второй тактовый импульс к счетчику. Счетчик переходит в состояние 0010. Двоичное число 0010 дешифруется, и на семисегментном индикаторе появляется десятичное число 2. Двоичная комбинация 0010 поступает также на входы ЦАП. ЦАП вырабатывает на выходе сигнал напряжения, равный примерно 2 В; это напряжение по цепи обратной связи подается на вход *В* компаратора.

Итак, на индикаторе цифра 2. Ко входу *А* компаратора по-прежнему приложено напряжение 2 В. Компаратор сравнивает напряжения на входах *А* и *В*; напряжение на входе *В* только что стало чуть больше. Выход *Х* компаратора переключается в состояние логического 0. Это приводит к запиранью логического элемента И. Ни один тактовый импульс теперь не проходит к счетчику. Счет останавливается в тот момент, когда индикатор показывает цифру 2. Это и есть цифровое представление величины напряжения, приложенного к аналоговому входу вольтметра.

Вам необходимо самостоятельно поработать с ЦАП, компаратором и АЦП (в виде цифрового вольтметра). Во всех тонкостях функционирования этих интерфейсных устройств вы сумеете хорошо разобраться только после сборки и использования их в лаборатории.

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

22. Одно из возможных применений АЦП – его использование в \_\_\_\_\_.
23. В цифровом вольтметре на рис. 12.12 микросхема 7493 используется в качестве \_\_\_\_\_.
24. Если в схеме на рис. 12.12 счетчик сброшен в состояние 0000, то напряжение обратной связи, поступающее на вход *В* компаратора, равно приблизительно \_\_\_\_\_ В.

### 12.8. Другие типы АЦП

В разд. 12.5 мы изучили АЦП с динамической компенсацией. Используются и другие типы АЦП; в данном разделе мы обсудим еще два типа преобразователей.

Структурная схема *интегрирующего АЦП* показана на рис. 12.13. Работа этого АЦП очень сильно напоминает работу АЦП с динамической компенсацией (рис. 12.8). Единственным новым узлом в интегрирующем АЦП является *генератор линейно изменяющегося напряжения*, показанный слева на рис. 12.13. Этот генератор вырабатывает пилообразное напряжение; форма сигнала похожа на «треугольную» волну, как видно из рис. 12.14, а.

Интегрирующий АЦП

Генератор линейно  
изменяющегося напря-  
жения

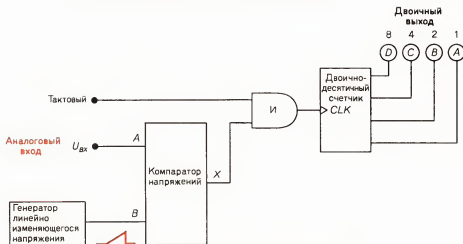


Рис. 12.13. Структурная схема интегрирующего АЦП.

Линейно изменяющееся напряжение

Предположим, что к аналоговому входу АЦП на рис. 12.13 приложено напряжение, равное 3 В. Эта ситуация иллюстрируется на рис. 12.14, а. Линейно изменяющееся напряжение начинает возрастать, но в течение некоторого промежутка времени остается меньше, чем напряжение на входе А компаратора. В этот промежуток времени на выходе компаратора действует уровень логической 1, благодаря чему логический элемент И удерживается в «открытом» состоянии, и через него могут свободно проходить тактовые импульсы. На рис. 12.14, а показаны три тактовых импульса, которые прошли через логический элемент И, прежде чем линейно изменяющееся напряжение превысило напряжение на аналоговом входе. В точке Y (см. рис. 12.14, а) на выходе компаратора устанавливается логический 0. Логический элемент И «запирается». Счет останавливается на двоичном числе 0011. Это двоичное число означает, что напряжение на входе равно 3 В.

Еще один пример иллюстрирует рис. 12.14, б. В этом случае к аналоговому входу интегрирующего АЦП приложено напряжение 6 В. Линейно изменяющееся напряжение начинает возрастать. До тех пор, пока оно меньше напряжения на входе А компаратора, на его выходе В действует уровень логической 1. Счетчик подсчитывает тактовые импульсы. В точке Z на графике «пилы» напряжение генератора становится больше  $U_{вх}$ . В этой точке выход компаратора переключается к уровню логического 0. Этот логический 0 «запирает» логический элемент И. Тактовые импульсы теперь не достигают счетчика. Счет прекращается на двоичном числе 0110. Двоичное число 0110 — цифровой эквивалент аналогового входного сигнала (в данном случае 6 В).

Недостаток интегрирующего АЦП — слишком большое время, затрачиваемое на счет при преобразовании больших

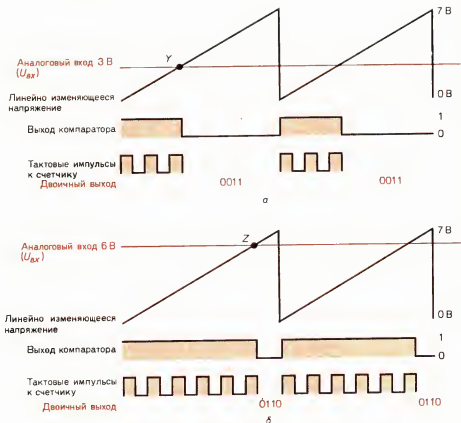


Рис. 12.14. Форма сигнала в интегрирующем АЦП.

а — при входном напряжении 3 В; б — при входном напряжении 6 В.

напряжений. Например, при 8-разрядном двоичном выходе счетчик в некоторых случаях должен будет сосчитать до 255. Чтобы ускорить процесс преобразования, мы используем АЦП другого типа. Преобразователь, который сокращает время преобразования, называется *АЦП последовательного приближения*.

Структурная схема АЦП последовательного приближения показана на рис. 12.15. В состав этого преобразователя входят компаратор напряжений, ЦАП и еще один новый логический блок. Этот новый логический блок называется *регистром последовательного приближения*.

Предположим, что мы подали 7 В на аналоговый вход АЦП последовательного приближения сначала «формирует запрос» относительно возможной величины аналогового входного напряжения. Этот запрос реализуется путем засылки 1 в самый старший разряд (ССР) двоичного числа на выходе АЦП, что осуществляется с помощью регистра последовательного приближения (блок 1 на рис. 12.16). Результат операции (1000) поступает через ЦАП на вход

АЦП последовательного приближения

Регистр последовательного приближения

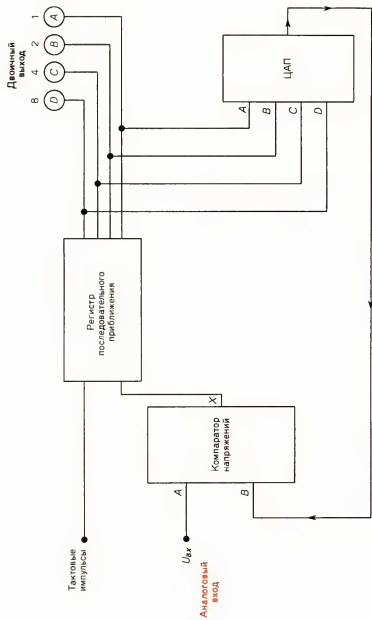
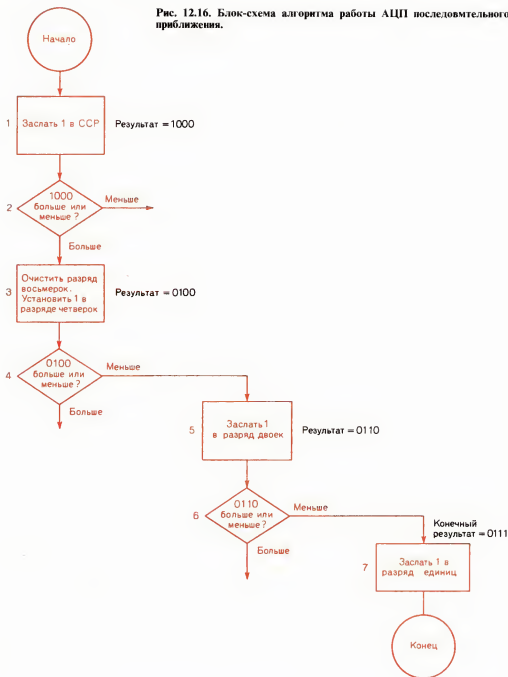


Рис. 12.15. Структурная схема АЦП последовательного приближения.

Рис. 12.16. Блок-схема алгоритма работы АЦП последовательного приближения.



В компаратора. Компаратор «отвечает» на вопрос, сформулированный в блоке 2 на рис. 12.16: «двоичное число 1000 больше или меньше цифрового эквивалента входного на-

пряжения?» Ответ в данном случае: «больше». Тогда регистр последовательного приближения выполняет операции, указанные в блоке 3. Разряд восьмерок сбрасывается в 0, разряд четверок устанавливается в состояние 1. Результат (0100) через ЦАП пересылается на вход компаратора. Компаратор далее отвечает на вопрос, сформулированный в блоке 4: «двоичное число 0100 больше или меньше цифрового эквивалента входного напряжения?» Ответ: «меньше». Тогда регистр последовательного приближения выполняет операцию, указанную в блоке 5. В разряде двоек устанавливается 1. Результат (0110) пересылается назад к компаратору. Компаратор «отвечает» на вопрос, сформулированный в блоке 6: «двоичное число 0110 больше или меньше цифрового эквивалента входного напряжения?» Ответ: «меньше». Регистр последовательного приближения выполняет операцию, указанную в блоке 7. В самый младший разряд (СМР) засылается 1. Конечный результат: двоичное число 0111. Это и есть цифровой эквивалент входного напряжения, равного 7 В, которое действует на входе АЦП.

Обратите внимание, что операции, указанные в прямоугольниках на рис. 12.16, выполняются регистром последовательного приближения. На поставленные вопросы «отвечает» компаратор. Заметьте также, что характер операций, выполняемых регистром последовательного приближения, зависит от того, какой ответ получен на предыдущий вопрос: «меньше» или «больше» (см. блоки 3 и 5).

Преимущество АЦП последовательного приближения заключается в том, что для получения конечного результата нужно сделать относительно небольшое число опросов. В результате существенно убыстряется процесс аналого-цифрового преобразования. АЦП последовательного приближения находят очень широкое применение.

Процесс аналого-цифрового преобразования

### Задания для самопроверки

*Выполняя следующие задания, проверьте, хорошо ли вы усвоили изложенный материал.*

25. Назовите три типа аналого-цифровых преобразователей.
26. В АЦП с динамической компенсацией для формирования сигнала пилообразного напряжения, поступающего на вход  $V$  компаратора, используется ЦАП, тогда как в интегрирующем АЦП такое напряжение создается \_\_\_\_\_.
27. АЦП последовательного приближения — \_\_\_\_\_ (более быстродействующий, менее быстродействующий) преобразователь по сравнению с интегрирующим АЦП.

## Основные результаты главы

1. Для сопряжения аналоговых и цифровых устройств используются специальные интерфейсные шифраторы и дешифраторы. Они называются соответственно аналого-цифровыми преобразователями (АЦП) и цифро-аналоговыми преобразователями (ЦАП).
2. В состав ЦАП входят резистивная схема и суммирующий усилитель.
3. Операционные усилители используются в цифро-аналоговых преобразователях и компараторах. Коэффициент усиления операционного усилителя можно легко установить с помощью внешних резисторов.
4. Для учета «веса» двоичных входов в ЦАП применяются несколько различных резистивных схем.
5. Широко известны типы аналого-цифровых преобразователей – АЦП с динамической компенсацией, интегрирующий АЦП и АЦП последовательного приближения.
6. Компаратор сравнивает два напряжения и определяет, которое из них больше. «Сердце» компаратора – операционный усилитель.
7. Цифровой вольтметр – одно из устройств, где находит применение АЦП.

## Итоговые задания к изучаемой главе

1. Аналого-цифровой преобразователь – это \_\_\_\_\_ (шифратор, дешифратор) специального типа.
2. ЦАП является \_\_\_\_\_ (шифратором, дешифратором).
3. \_\_\_\_\_ (АЦП, ЦАП) преобразует информацию в цифровую форму.
4. \_\_\_\_\_ (АЦП, ЦАП) преобразует двоичный цифровой сигнал в аналоговый сигнал напряжения.
5. В состав ЦАП входят \_\_\_\_\_ схема и суммирующий \_\_\_\_\_.
6. Для обозначения операционного усилителя часто используется сокращение \_\_\_\_\_.
7. Коэффициент усиления по напряжению для операционного усилителя в схеме на рис. 12.3, б определяется путем деления сопротивления \_\_\_\_\_ ( $R_{вх}$ ,  $R_{ос}$ ) на сопротивление \_\_\_\_\_ ( $R_{вх}$ ,  $R_{ос}$ ).
8. Нарисуйте условное графическое обозначение операционного усилителя. Обозначьте инвертирующий вход знаком «минус», а неинвертирующий – знаком «плюс». Обозначьте выход. Покажите, как подаются на операционный усилитель питающие напряжения +10 и –10 В.
9. Чему равен коэффициент усиления операционного усилителя в схеме на рис. 12.4, если  $R_{вх} = 1 \text{ кОм}$  и  $R_{ос} = 100 \text{ кОм}$ ?
10. Если на рис. 12.4 входное напряжение равно 0,5 В, то выходное напряжение равно \_\_\_\_\_ (+, –) 5 В, поскольку мы используем \_\_\_\_\_ (инвертирующий, неинвертирующий) вход ОУ.
11. Чему равен коэффициент усиления по напряжению ОУ в схеме на рис. 12.5, когда только один переключатель А находится в положении, соответ-



- ствующем логической 1?
12. Определите полное сопротивление параллельно соединенных резисторов  $R_1$  и  $R_2$ , когда оба переключателя  $A$  и  $B$  на рис. 12.5 установлены в положения, соответствующие сигналу логической 1.
  13. Чему равен коэффициент усиления  $K_u$  операционного усилителя в схеме на рис. 12.5, когда переключатели  $A$  и  $B$  установлены в положения, соответствующие сигналу логической 1? (Используйте величину сопротивления, полученную в задании 12.)
  14. Определите величину выходного напряжения, когда на выходы ЦАП (рис. 12.5) подана двоичная комбинация 0011. (Используйте значение  $K_u$  из задания 13.)
  15. Резистивная схема, показанная на рис. 12.6, называется \_\_\_\_\_ схемой \_\_\_\_\_ лестничного типа.
  16. Сравните табл. 12.1 и 12.2. Эти две таблицы отличаются друг от друга \_\_\_\_\_ (сигналами на двоичных входах, масштабом выход-
  - ного аналогового сигнала).
  17. **ВЫСОКИЙ** уровень напряжения, или логическая 1, на выходе ТТЛ-устройства соответствует приблизительно \_\_\_\_\_ (0, 3,75, 5,5) В.
  18. Сокращение ТТЛ используется для обозначения \_\_\_\_\_.
  19. \_\_\_\_\_ (АЦП, ЦАП) — более сложная электронная система.
  20. АЦП с динамической компенсацией включает в себя логический элемент \_\_\_\_\_ (И, ИЛИ), \_\_\_\_\_ (компаратор, резистивную схему), \_\_\_\_\_ (счетчик, регистр сдвига) и цифро-аналоговый \_\_\_\_\_.
  21. Если в точке  $X$  на рис. 12.8 действует уровень логического (ой) \_\_\_\_\_ (0, 1), число, соответствующее текущему состоянию счетчика, увеличивается на 1 с приходом тактового импульса.
  22. Если на рис. 12.8 напряжение на входе  $B$  компаратора больше, чем напряжение на входе  $A$ , логический элемент  $I$  \_\_\_\_\_ («от-
  - крыт», «закрыт»).
  23. Если напряжение на входе  $A$  компаратора (рис. 12.9) равно 5 В, а на входе  $B$  2 В, то на выходе  $X$  устанавливается логический (ая) \_\_\_\_\_ (0, 1). При этом напряжение на выходе  $X$  равно приблизительно \_\_\_\_\_ (0, 4) В.
  24. Основным узлом компаратора является \_\_\_\_\_ (счетчик, операционный усилитель).
  25. В цифровом вольтметре (рис. 12.12) используется АЦП \_\_\_\_\_ (с динамической компенсацией, последовательного приближения).
  26. В состав интегрирующего АЦП входят логический элемент \_\_\_\_\_ (И, ИЛИ), \_\_\_\_\_ (счетчик, регистр), \_\_\_\_\_ линейно изменяющегося напряжения и \_\_\_\_\_ (компаратор, ЦАП).
  27. Аналого-цифровое преобразование информации осуществляется быстрее при использовании \_\_\_\_\_ (интегрирующего АЦП, АЦП последовательного приближения).

## Ответы к заданиям для самопроверки

1. Аналого-цифровым преобразователем (АЦП)
2. Цифро-аналоговым преобразователем (ЦАП)
3. Резистивной, суммирующего (масштабируемого)
4. Операционного усилителя
5. Обратной связи
6. Входным
7.  $K_u = 20$
8.  $U_{\text{вых}} = -4 \text{ В}$
9.  $K_u = 0,266$
10.  $U_{\text{вых}} = -0,8 \text{ В}$
11. Невысокая точность преобразования; широкий диапазон номиналов используемых резисторов
12. Лестничного ( $R-2R$ -схема лестничного)
13. 1
14. А
15. Аналоговый; цифровой (двоичный)
16. 0101
17. ВЫСОКИЙ; разрешению прохождения тактовых импульсов через логический элемент И
18. С динамической компенсацией
19. Постоянных напряжения
20. ОУ
21. ВЫСОКОГО, НИЗКОМУ
22. Цифровом вольтметре
23. Декадного счетчика (счетчика по модулю 10)
24. 0
25. 1) АЦП с динамической компенсацией  
2) Интегрирующий АЦП  
3) АЦП последовательного приближения
26. Генератором линейно изменяющегося напряжения
27. Более быстродействующий

# Приложение А

## Некоторые другие параметры интегральных схем

### Коэффициент объединения по входу и коэффициент разветвления по выходу

Каждый транзистор характеризуется максимально допустимыми значениями рассеиваемой мощности и тока коллектора. Эти максимальные значения указанных параметров определяют *нагрузочную способность* транзистора. Выходная нагрузочная способность цифровой микросхемы называется *коэффициентом разветвления по выходу*. Коэффициент разветвления по выходу цифровой микросхемы указывает число «стандартных» входов, которые можно присоединить к данному выходу логического элемента. Если, например, для логических элементов семейства ТТЛ этот параметр равен 10, то это означает, что к выходу одного логического элемента можно присоединить 10 входов логических элементов того же семейства. Типичное значение коэффициента разветвления по выходу для ТТЛ ИС равно 10. Для КМОП ИС коэффициент разветвления по выходу порядка 50.

Нагрузка, характеризующая один вход логического элемента, называется *коэффициентом объединения по входу*. Обычно это число, указывающее номинальную величину нагрузки для данного входа по отношению к некоторой стандартной нагрузке. Таким образом, стандартный вход характеризуется коэффициентом объединения по входу, равным 1. Если этот коэффициент равен 2, речь идет о большей входной нагрузке. Следовательно, для входа с коэффициентом объединения по входу, равным 2, требуется больший рабочий (запускающий) ток, чем для входа с единичным коэффициентом объединения по входу. Классификация цифровых микросхем по данному параметру аналогична классификации громкоговорителей по номинальному полному сопротивлению и номинальной мощности.

### Запас помехоустойчивости

*Шум* в цифровой системе представляет собой *нежелательные мешающие напряжения*, наводимые в соединительных проводах и проводниках на печатных платах; они могут влиять на входные логические уровни, приводя к неверным выходным сигналам. Рассмотрим диаграмму на рис.



Рис. А.1. Входные логические уровни ТТЛ-микросхем, обеспечивающие запас по помехоустойчивости.

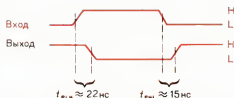
А.1. На ней представлены границы НИЗКОГО, ВЫСОКОГО и неопределенного уровней для входов ТТЛ-микросхем. Если, например, фактическое входное напряжение равно 0,2 В, то область надежной работы, определяемая интервалом напряжений между величиной входного сигнала и нижней границей зоны неопределенного уровня, равна 0,6 В ( $0,8 - 0,2 = 0,6$  В). Это так называемый *запас помехоустойчивости*. Другими словами, чтобы входной сигнал попал в запрещенную область неопределенного уровня к фактическому значению входного напряжения (НИЗКИЙ уровень или в данном случае 0,2 В), нужно добавить более чем + 0,6 В.

На практике запас помехоустойчивости даже еще больше, поскольку напряжение должно превысить *порог переключения*, равный 1,2 В, как это видно из рис. А.1. При фактическом значении НИЗКОГО уровня, равном 0,2 В, и пороге переключения около 1,2 В реальный запас помехоустойчивости составляет 1 В ( $1,2 - 0,2 = 1$  В). Запас помехоустойчивости является рабочей характеристикой отдельных семейств ИС. В КМОП ИС он особенно высок, вследствие чего о них говорят как о семействе *помехоустойчивых* ИС. ТТЛ ИС менее помехоустойчивы по сравнению с КМОП ИС.

### Время задержки распространения сигнала

Скорость (быстрота) реакции микросхемы на изменение состояния ее входов — одна из важных характеристик, которую нужно принимать во внимание в тех применениях цифровых ИС, где требуется высокое быстродействие. Рассмотрим временные диаграммы сигналов на рис. А.2. Верхняя диаграмма показывает изменение сигнала на входе обычно

Рис. А.2. Временные диаграммы сигналов для стандартного ТТЛ-инвертора, иллюстрирующие задержку распространения сигнала.



го инвертора при переходе от НИЗКОГО уровня к ВЫСОКОМУ с последующим обратным переходом от ВЫСОКОГО уровня к НИЗКОМУ. Нижняя диаграмма показывает выходной отклик инвертора на такое изменение состояния входа. Небольшая временная задержка между моментами изменения сигналов на входе и выходе инвертора называется *временем задержки распространения сигнала*. Эта величина измеряется в секундах. Время задержки распространения сигнала для перехода от НИЗКОГО уровня к ВЫСОКОМУ на входе<sup>1)</sup> отличается от времени задержки распространения сигнала для перехода от ВЫСОКОГО уровня к НИЗКОМУ<sup>2)</sup>. Эти времена указаны на рис. А.2 для стандартного инвертора 7404 семейства ТТЛ.

Время задержки распространения сигнала для стандартного ТТЛ-инвертора (такого, например, как ИС 7404) равно 22 нс для перехода от НИЗКОГО уровня к ВЫСОКОМУ и всего лишь 15 нс для перехода от ВЫСОКОГО уровня к НИЗКОМУ. Времена задержки распространения сигнала изменяются от 3–5 нс для микросхем ТТЛ-семейства с диодами Шоттки (ТТЛШ: ИС 74S04) до 30–100 нс для КМОП ИС (ИС 74C04). Чем меньше времена задержки для данной ИС, тем выше ее быстродействие. ИС семейства ТТЛ более быстродействующие по сравнению с КМОП ИС.

### Рассеиваемая мощность

Как правило, при уменьшении времени задержки распространения (увеличении быстродействия) возрастает потребляемая мощность и связанная с ней генерация тепла. Сверхбыстродействующие ТТЛ ИС с диодами Шоттки (ТТЛШ ИС) потребляют около 19 мВт на логический элемент (ключ), тогда как менее быстродействующие КМОП ИС потребляют всего лишь 0,01 мВт на ячейку. Многие разработчики считают, что в микромошных ТТЛШ ИС идеально сочетаются быстродействие и малая потребляемая мощность. Типичный микромошный ТТЛШ-вентиль потребляет 2 мВт и характеризуется временем задержки распространения чуть меньше 10 нс. Микромошные ТТЛ-схемы потребляют в 5 раз меньшую мощность по сравнению со стандартными ТТЛ-схемами, но практически не отличаются от них по быстродействию.

<sup>1)</sup> Так называемое время включения.—Прим. перев.

<sup>2)</sup> Или времени задержки выключения.—Прим. перев.

# Приложение Б

## МОП- и КМОП- схемы

### МОП ИС

Полевой МОП-транзистор, работающий в режиме обогащения, образует исходную структурную ячейку МОП ИС. Ввиду своей простоты МОП-ячейка занимает очень малую площадь на кристалле. Следовательно, при использовании МОП-технологии удастся создать микросхемы с большей степенью интеграции по сравнению с биполярными ИС (такими, например, как ТТЛ ИС). Высокая плотность расположения МОП-ячеек на кристалле обуславливает широкое использование МОП-технологии при изготовлении СИС и СБИС: микропроцессоров, запоминающих устройств и БИС для цифровых часов. МОП-схемы обычно строятся или на  $p$ -канальных МОП-транзисторах или на более новых, быстродействующих  $n$ -канальных МОП-транзисторах. МОП ИС меньше по размерам, потребляют меньшую мощность, обладают большим запасом помехоустойчивости и имеют больший коэффициент разветвления по выходу по сравнению с биполярными ИС. Основным недостатком МОП-устройств — их относительно небольшое быстродействие.

### КМОП ИС

В состав *комплементарной МОП-ячейки* (КМОП-ячейки) входят как  $p$ -канальный, так и  $n$ -канальный МОП-транзисторы, связанные в *комплементарную* (взаимно дополняющую) пару. Отличительная особенность КМОП ИС — *исключительно низкое энергопотребление*. Кроме того, КМОП ИС имеют и такие преимущества, как низкая стоимость, простота конструкции, малые тепловые потери, хорошая нагрузочная способность, широкий интервал логических уровней и хорошие шумовые характеристики. Цифровые микросхемы КМОП-семейства работают в широком диапазоне питающих напряжений (от +3 до +15 В).

Основной недостаток КМОП ИС — меньшее быстродействие по сравнению с биполярными цифровыми ИС (такими, например, как ТТЛ ИС). Кроме того, при использовании КМОП ИС нужно принимать дополнительные меры по их защите от статического электричества. Статический электрический заряд или напряжение, появляющееся в цепи во

время переходного процесса, могут вызвать повреждение очень тонких слоев двуокиси кремния внутри МОП-ячейки. Слой двуокиси кремния выполняет функцию диэлектрика в КМОП-конденсаторе и может быть пробит в результате воздействия статического разряда или напряжения переходного процесса. В связи с проблемой статического разряда для лабораторных работ вместо КМОП ИС целесообразно использовать биполярные ТТЛ ИС.

Если же вам все-таки придется работать с КМОП ИС, то, как рекомендуют фирмы-изготовители, для предотвращения повреждения этих микросхем под действием статического разряда и напряжений, возникающих при переходных процессах, нужно придерживаться следующих правил:

1. Хранить КМОП ИС в специальных *проводящих футлярах*.
2. При работе с КМОП-схемами использовать паяльники с батарейным питанием или заземлять жало паяльника при его питании от источника переменного тока.
3. Производить перепайку выводов или удалять КМОП ИС только при отключенном питании.
4. Обеспечивать такой режим работы, чтобы входные сигналы не превышали напряжения питания.
5. Не подавать входные сигналы после отключения питания.
6. Присоединять все *неиспользуемые входы* микросхемы к положительному полюсу источника питания или к общему проводу (земле), в зависимости от типа и назначения входов (свободными можно оставлять только неиспользуемые *выходы* КМОП ИС).

Исключительно малое энергопотребление делает КМОП ИС идеальными микросхемами для использования в портативных устройствах с батарейным питанием. КМОП ИС находят широкое применение в наручных электронных часах, микрокалькуляторах и космических летательных аппаратах.

Структура типичной КМОП-ячейки показана на рис. Б.1. Верхняя половина ячейки представляет собой *p*-канальный МОП-транзистор, нижняя — *n*-канальный МОП-

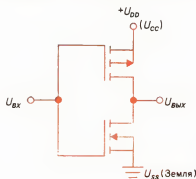


Рис. Б.1. Структура комплементарной КМОП-ячейки (последовательное соединение *p*-канального и *n*-канального МОП-транзисторов).

транзистор. Оба МОП-транзистора работают в режиме обогащения. Когда на входе ячейки (входное напряжение  $U_{вх}$ ) установлен НИЗКИЙ уровень напряжения, верхний МОП-транзистор открыт, а нижний — закрыт. Таким образом, на выходе ячейки (выходное напряжение  $U_{вых}$ ) действует ВЫСОКИЙ уровень. Однако при ВЫСОКОМ уровне на входе ячейки открыт нижний МОП-транзистор, а верхний — закрыт. Следовательно, в этом случае на выходе ячейки мы имеем НИЗКИЙ уровень. Ячейка, изображенная на рис. Б.1, действует как инвертор.

Обратите внимание, что вывод  $U_{DD}$  КМОП-ячейки соединен с плюсом источника питания. Этот вывод некоторыми изготовителями обозначается как  $U_{CC}$  (как в ТТЛ ИС). Напряжение  $U_{DD}$  — это напряжение стока в МОП-транзисторе (индекс  $D$  от английского слова *Drain* — сток). Вывод  $U_{SS}$  КМОП-ячейки соединен с минусом источника питания. Этот вывод некоторыми изготовителями обозначается как «земля» (как в ТТЛ ИС). Напряжение  $U_{SS}$  — это напряжение истока в МОП-транзисторе (индекс  $S$  от английского слова *Source* — исток). КМОП ИС обычно рассчитаны на питание от источника с напряжением 9, 10 или 12 В. КМОП ИС могут работать и от источника с напряжением +5 В, как и устройства на ТТЛ ИС.

Семейство КМОП ИС довольно обширно и, по-видимому, будет еще больше расширяться. В классах малых ИС и средних ИС общераспространенной является серия логических микросхем 74С00. Логические микросхемы серии 74С00 один к одному (как по расположению выводов, так и по функциональному назначению) повторяют ТТЛ-микросхемы серии 7400. Например, ТТЛ ИС 7400 представляет собой четыре двухвходовых логических элемента И–НЕ в одном корпусе, точно так же, как и КМОП ИС 74С00. При изготовлении ИС 7400 использована биполярная технология, при изготовлении ИС 74С00 — КМОП-технология.

Очень широко используются также логические КМОП ИС серии 4000. Эта серия цифровых КМОП ИС представлена малыми ИС и СИС. Серии 74С00 и 4000 цифровых микросхем охватывают собой все многообразие логических элементов, буферов, триггеров, сумматоров, счетчиков, регистров сдвига, шифраторов и дешифраторов. КМОП БИС включают в себя буферы, регистры последовательного приближения, статические ЗУПВ, СППЗУ, многоразрядные устройства управления индикаторами, аналого-цифровые преобразователи, цифровые вольтметры и по меньшей мере один микропроцессор.

### Сопряжение КМОП- и ТТЛ-устройств

Логические уровни (напряжения) для КМОП ИС и ТТЛ ИС определяются по-разному. Обратитесь вновь к рис. 1.18



и вспомните, как определяются НИЗКИЙ и ВЫСОКИЙ логические уровни для этих двух типов ИС. Из-за различия в уровнях напряжений КМОП ИС и ТТЛ ИС обычно не допускают простого соединения друг с другом. Очень важно, что у этих микросхем различные нагрузочные требования по току. Следовательно, КМОП ИС и ТТЛ ИС в общем случае нельзя соединять непосредственно. Ниже иллюстрируются простые способы сопряжения этих ИС (интерфейс КМОП–ТТЛ или ТТЛ–КМОП).

Сопряжение КМОП ИС и ТТЛ ИС осуществляется очень просто, если обе микросхемы работают от общего источника питания с напряжением  $+5\text{ В}$ . На рис. Б.2 представлены четыре примера интерфейса ТТЛ–КМОП и КМОП–ТТЛ. На рис. Б.2,а иллюстрируется использование токоотводящего резистора с сопротивлением  $1\text{ кОм}$  для сопряжения обычных ТТЛ ИС с КМОП ИС. На рис. Б.2,б показано использование токоотводящего резистора с сопротивлением  $2,2\text{ кОм}$  для сопряжения микро-мощной ТТЛ ИС с КМОП ИС.

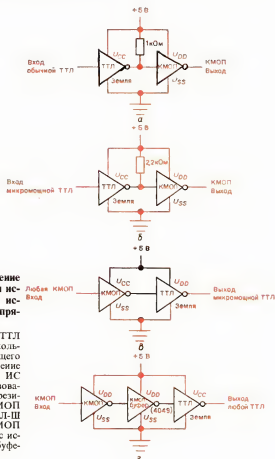
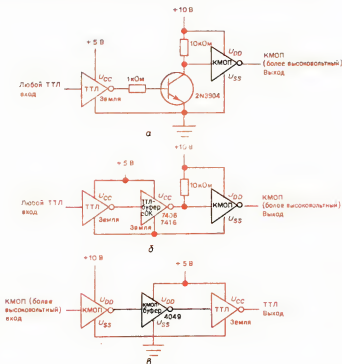


Рис. Б.2. Сопряжение ТТЛ и КМОП ИС при использовании общего источника питания с напряжением  $+5\text{ В}$ .

а – сопряжение обычной ТТЛ ИС и КМОП ИС с использованием токоотводящего резистора; б – сопряжение микро-мощной ТТЛ-Ш ИС и КМОП ИС с использованием токоотводящего резистора; в – сопряжение КМОП ИС с микро-мощной ТТЛ-Ш ИС; г – сопряжение КМОП ИС с обычной ТТЛ ИС с использованием КМОП-буфера.

Реализация интерфейса КМОП–ТТЛ еще проще. На рис. Б.2, в показано сопряжение КМОП ИС и микромощной ТТЛ ИС с питанием от одного источника напряжением 5 В. В данном случае возможно непосредственное присоединение выхода КМОП ИС к любому одному входу микромощной ТТЛ ИС. Обратите внимание, что логический КМОП элемент может работать только на один вход микромощной ТТЛ ИС. Если требуется большая мощность по входу ТТЛ ИС, между этой ИС и КМОП ИС нужно ввести специальный КМОП-буфер 4049, как показано на рис. Б.2, г. При наличии такого буфера один выход КМОП ИС может работать на два входа обычной ТТЛ ИС. Неинвертирующий буфером, аналогичным показанному на рис. Б.2, г, является КМОП ИС 4050.

Для сопряжения КМОП ИС и ТТЛ ИС, которые питаются от источников с различным напряжением, необходимы некоторые дополнительные компоненты. На рис. Б.3



представлены три примера интерфейса ТТЛ–КМОП и КМОП–ТТЛ для этого случая. На рис. Б.3, а показан ТТЛ-инвертор, управляемый обычным  $n-p-n$ -транзистором. Этот транзистор и связанный с ним резистор используются для преобразования более низкого напряжения на выходе ТТЛ ИС в более высокое входное напряжение, необходимое для нормальной работы КМОП-инвертора. Размах напря-

жения на выходе КМОП-инвертора — от 0 до +10 В. На рис. Б.3,б показано использование ТТЛ-буфера с *открытым коллектором* (ОК) и резистора с сопротивлением 10 кОм для преобразования более низкого напряжения ТТЛ ИС к более высокому напряжению КМОП ИС. ТТЛ ИС 7406 и 7416 являются *инвертирующими* буферами с открытым коллектором. В схеме, приведенной на рис. Б.3,б, можно использовать аналогичные *неинвертирующие* буферы с открытым коллектором — ТТЛ ИС 7407 и 7417.

Сопряжение между более высоковольтным КМОП-инвертором и низковольтным ТТЛ-инвертором иллюстрируется на рис. Б.3,в. Между этими инверторами включен КМОП-буфер 4049. Обратите внимание, что КМОП-буфер питается от низковольтного источника напряжения (+5 В).

Сопряжение КМОП-устройств с простыми индикаторными лампами на светодиодах осуществляется просто. На рис. Б.4 представлено шесть примеров такого интерфейса. В схемах на рис. Б.4,а и б КМОП ИС питаются от источника с напряжением +5 В. В этом случае последовательно с индикаторами не нужно включать никаких ограничивающих резисторов. Как видно из рис. Б.4,а, выходной светодиодный индикатор загорается, когда на выходе КМОП-инвертора устанавливается **ВЫСОКИЙ** уровень. Другой случай реализуется в схеме на рис. Б.4,б: индикатор загорается при установке на выходе КМОП-инвертора **НИЗКОГО** уровня.

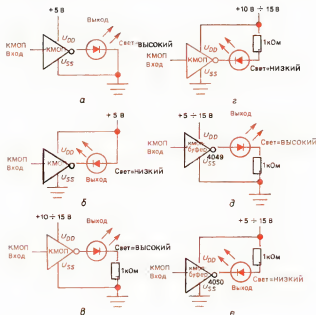


Рис. Б.4. Сопряжение КМОП ИС с индикаторами на светодиодах.

а — напряжение питания равно +5 В; индикатор загорается при **ВЫСОКОМ** уровне на выходе КМОП-инвертора; б — напряжение питания равно +5 В; индикатор загорается при **НИЗКОМ** уровне на выходе КМОП-инвертора; в — напряжение питания от +10 до +15 В; индикатор загорается при **ВЫСОКОМ** уровне на выходе КМОП-инвертора; г — напряжение питания от +10 до +15 В; индикатор загорается при **НИЗКОМ** уровне на выходе КМОП-инвертора; д — сопряжение с использованием инвертирующего КМОП-буфера; е — сопряжение с использованием неинвертирующего КМОП-буфера.

На рис. Б.4,в и г иллюстрируются случаи, когда КМОП ИС питаются от источника с более высоким напряжением

(от +10 до +15 В). Для ограничения тока (ввиду повышенного напряжения источника) последовательно с выходными индикаторными лампами включаются ограничивающие резисторы с сопротивлением 1 кОм. В схеме на рис. Б.4, в выходной индикатор загорается при установке на выходе КМОП-инвертора ВЫСОКОГО уровня, а в схеме на рис. Б.4, г — НИЗКОГО уровня.

В схемах, приведенных на рис. Б.4, д и е индикаторы на светодиодах управляются КМОП-буферами. Схема может работать при напряжениях питания от +5 до +15 В. На рис. Б.4, д показано использование инвертирующего КМОП-буфера (подобного ИС 4049), а на рис. Б.4, е — неинвертирующего буфера (подобного ИС 4050). В обоих случаях последовательно с выходным индикатором необходимо включать ограничивающий резистор с сопротивлением 1 кОм.

# Дополнение

## Отечественные аналоги американских микросхем, упоминаемых в книге<sup>1)</sup>

Условное обозначение американской микросхемы и тип логики	Функциональное назначение	Отечественный функциональный аналог
7400	ТТЛ Четыре элемента И – НЕ с двумя входами	K155ЛА3
74000	Четыре элемента И – НЕ с двумя входами (КМОП-схема)	K176ЛА7
7404	ТТЛ Шесть логических элементов НЕ	K155ЛН1
7406	ТТЛ Шесть буферных инверторов с открытым коллектором, с повышенным коллекторным напряжением	K155ЛН3
7407	ТТЛ Шесть неинвертирующих буферных формирователей с открытым коллекторным выходом	K155ЛП9
7408	ТТЛ Четыре элемента И с двумя входами	K155ЛИ1
7416	ТТЛ Шесть буферных элементов НЕ	K155ЛН5
7417	ТТЛ Шесть инвертирующих буферных формирователей с открытым коллекторным выходом	K155ЛП4
7432	ТТЛ Четыре логических элемента ИЛИ с двумя входами	K155ЛЛ1
7447	ТТЛ Дешифратор-формирователь, преобразующий двоично-десятичный код в код семисегментного индикатора	K155ИД2
7474	ТТЛ Два D-триггера	K155ТМ2
7475	ТТЛ Четыре D-триггера	K155ТМ7
7476	ТТЛ Два JK-триггера	K176ТВ1
7483	ТТЛ Четырехразрядный сумматор	K155ИМ3
7486	ТТЛ 4 элемента исключающее ИЛИ с двумя входами	K155ЛП5
7489	ТТЛ ОЗУ на 64 бит 16 × 4	K155РУ2
7493	ТТЛ Четырехразрядный двоичный счетчик	K155ИЕ5
74121	ТТЛ Одновибратор с логическим элементом на входе	K155АГ1

<sup>1)</sup> Таблица составлена редактором перевода. – Прим. ред.

Условное обозначение американской микросхемы и тип логики	Функциональное назначение		Отечественный функциональный аналог
74125	ТТЛ	Четыре буферных элемента с тремя состояниями выхода	K155ЛП8
74147	ТТЛ	Шифратор приоритетов 10–4	K555ИВ3
74150	ТТЛ	Селектор-мультиплексор на 16 каналов со стробированием	K155КП1
74151	ТТЛ	Селектор-мультиплексор на 8 каналов со стробированием	K155КП5
74154	ТТЛ	Дешифратор-демультиплексор для преобразования двоично-десятичного кода в десятичный 4–16	K155ИД3
74192	ТТЛ	Синхронный двоично-десятичный реверсивный счетчик	K155ИЕ6
74194	ТТЛ	Четырехразрядный универсальный регистр сдвига	K155ИР11
74LS148	ТТЛШ	Шифратор приоритетов	K555ИВ1
74LS244	ТТЛШ	Однонаправленный шинный формирователь	K555АП5
8080	п-МОП	8-разрядный микропроцессор	КР580ИК80А
8257	п-МОП	Программируемый контроллер прямого доступа к памяти	КР580ИК57

# Предметный указатель

Адрес 257  
Аккумулятор 297  
Активный сигнал НИЗКОГО уровня 104  
АЛУ 291  
Арсенид галлия 122  
Архитектура 289

Байт 279  
Биполярная технология 66  
Большая степень интеграции (БИС) 285  
Булева алгебра 87  
Булево выражение 50  
-- упрощенное 87, 212  
Буферы с тремя состояниями 302

Ввод 284  
Вес разряда 36  
Видеомонитор 16  
Восьмиразрядное двоичное число 43  
Временные диаграммы 142  
Время доступа 279  
-- нарастания 317  
Вход гасящий 126  
-- инвертирующий 347  
-- неинвертирующий 347  
-- последовательного гашения 127  
-- синхронизирующий 143  
Входы асинхронные 148  
Вывод 284  
Выход цифровой 233  
Выходное напряжение 359  
Вычитание чисел со знаком 244  
Вычитатели полные 218  
Вычитатель параллельный 221  
-- 4-разрядный 221, 225

Газоразрядная трубка 122  
Гашение 127  
Генератор 324  
-- линейно изменяющегося напряжения 362  
-- контрольного разряда четности 311  
-- мультиплексный 322  
-- релаксационный 323  
-- тактовых импульсов 24  
---- в режиме свободных колебаний 25  
---- одиночных 25  
-- цифровых импульсов 183

Данные 292

Двоичная система счисления 35  
Двоично-десятичный код 8421 115  
Двоичное вычитание 218  
-- умножение 233  
Двоичные умножители 236  
Двойное инвертирование 53  
Деление частоты 174  
Делители частоты 314  
Делитель-дешифратор мультиплексный 322  
Демультимплексор 74154 308  
Демультимплексоры (DEMUX) 307  
Детектор ошибок 311  
Дешифратор 42  
-- адреса 301  
-- мультиплексный 326  
-- ППЗУ 326  
Дешифратор-формирователь 123, 124, 233  
Дизъюнктивная нормальная форма 81  
Дiod светозлучающий 27  
Дискеты 277  
Диски гибкие 276  
Дисковод 277  
Дополнение до 1 53, 223  
Доступ последовательный 279  
-- произвольный 279  
Дребезг контакта 23  
D-триггер 146, 148

Емкость памяти 280

ЖКИ на эффекте динамического рассеяния 133  
JK-триггер 149, 150  
JK-триггеры типа ведущий/ведомый 157

Загрузка параллельная 194  
-- последовательная 193  
-- расширенная 194  
Запоминающие устройства (ЗУ) 291, 294  
-- большой емкости 276  
-- магнитные 275  
-- механические 275  
-- на гибких дисках 16  
---- магнитных сердечниках, применение 275  
-- оперативные 256  
-- постоянные (ПЗУ) 263  
-- использование 267  
-- программируемые (ППЗУ) 268  
---- электрически (ЭППЗУ) 268  
-- с большой емкостью 274, 276

- произвольной выборкой (ЗУПВ) 256
- динамические 260
- статические 260
- теневые 269
- совпадением токов 272
- энергозависимые 257, 276
- энергонезависимые 257, 271
- Запрещенное состояние 141

Измерение логических уровней сигналов интегральных ТТЛ-схем 29

Импульс счетный 333

— управляющий запуска/остановки 332

Импульсы прямоугольные 317

Инвертор 52, 53

Индекс 43

Индикатор выходного сигнала 27

— накальный 122

— сегментный на светодиодах 121

----- с общим анодом 123

— флуоресцентный 122

Индикаторы выходные времени 314

— на жидких кристаллах (ЖКИ) 122, 130

----- на эффекте динамического рассеяния 133

----- полевые 131

Интегральные схемы счетчиков 176

— фиксаторов 152

Карта распределения памяти микропроцессорной системы 304

Карты Карно 88

--- с тремя переменными 90

--- четырьмя переменными 92

КМОП-приборы 29

Код Грея 118

— с избытком 3 117

— универсальный товаров 20

— Хемминга 312

Коммерческая маркировка 69

Компаратор 354, 358

Компенсация динамическая 357

Контроль свечения 126

Конъюнктивная нормальная форма 81

Корпус с двухрядным расположением выводов 67

Коэффициент усиления по напряжению 347

Кристалл 286

— БИС для цифровых часов 317

— микрокалькулятора 286

Линии связи параллельные 306

Логика на элементах И-НЕ 96

— положительная 49

Логическая функция И 49

Логические схемы И-ИЛИ 82

--- ИЛИ-И 82

Логический монитор 182

— пробник 29, 71, 181

— для КМОП-схем 108

— элемент включающее ИЛИ 51

--- И 47, 354

--- И с тремя входами 62

--- ИЛИ 51

--- ИЛИ-НЕ 55

--- И-НЕ 54

--- И-НЕ универсальный 60

--- исключающее ИЛИ 57

--- ИЛИ-НЕ 58

--- XNOR 58

--- XOR 57

Маркировка вывода 1 на ИС 67

Метод обнаружения ошибок 310

— «свертывания» 101

Микрокалькуляторы 17

— неисправность 290

Микропроцедура выборки-дешифрации-исполнения 299

Микропроцессорная система 43

Микропроцессорные арифметико-логические устройства (АЛУ) 216

Микропроцессоры 17, 293, 297

Микросхема 7404 233

— 7489-ОЗУ 258

— селектора 74151 103

— 4-разрядного прозрачного фиксатора типа 7475 153

— 7404 233

— 74194 200

--- 4-разрядный двунаправленный универсальный регистр сдвига 198

МикроЭВМ 16, 293

— работа 296

Мини-диски гибкие 277

Множимое 233

Множитель 233

Модуль счетчика 163

— цифровых часов 319

Монитор 276

— логический 182

МОП-ЗУПВ 280

МОП-технология 67

Мультивибратор 24

— астабильный 24

— бистабильный 24

— в режиме свободных колебаний 24

— ждущий 317

— моностабильный 24

Мультиплексирование 326

Мультиплексор 74150 308

Мультиплексоры (MUX) 100, 307

Напряжение выходное 347, 359

— линейно изменяющееся 364

Неисправность микрокалькуляторов 290

Нематическая жидкость 131

Область напряжений неопределенная 23

— сигналов неопределенного уровня 105

Одновибратор 24

Операнд 297

Операция 297

— восприятия 257



- записи 257
- сложенная повторяемая 234
- считывания 257
- Определение дополнительного кода десятичного числа 242
- логических уровней КМОП-схем 108
- TTL-схем 104
- Остановка 322
- Остаток 40
- Осциллограф двухканальный со ждущей разверткой 184
- Отрицание 53

## Память блочного типа 256

- Перевод 41
- Передача 284
- данных 306
- Переключатель логический 25
- бездребезговый 23
- однополюсный ползунковый двухпозиционный 22
- Переключательный режим 150
- Перемещение информации кольцевое 195
- Переход от дополнительного кода к двоичному числу 242
- Период индикации 338
- Повреждение в цифровых схемах 107
- Подавление нулей в старших разрядах 128
- Поиск неисправностей в простых схемах 107
- схеме с дешифратором 134
- Полевой ЖКИ 131
- Полные вычитатели 218
- Полувывчитатели 218
- Полусумматор 212
- Помехоустойчивость 106
- Последовательность действий при поиске неисправностей 72
- Последовательностные схемы 140
- Посторонние электрические сигналы 106
- Построение карт Карно 87
- контуров 89
- Представление чисел в дополнительном коде 241
- Преобразование булева выражения в таблицу истинности 84
- сигнала 336
- таблицы истинности в булево выражение 83
- чисел из двоичной системы в десятичную 38
- шестнадцатеричную 43
- десятичной системы в двоичную 40
- шестнадцатеричную 44
- шестнадцатеричной системы в двоичную 43
- десятичную 44
- Преобразователь аналого-цифровой (АЦП) 344, 353
- интегрирующий 362
- последовательного приближения 344
- с динамической компенсацией 357
- двоичного кода в код Грея 262
- уровня 353
- цифро-аналоговый (ЦАП) 344

- Прибор цифровой метеорологический 30
- универсальный измерительный 16
- Приборы с барьерами Шоттки с малой потребляемой мощностью 70
- Программа 292
- Программа, хранимая в памяти 292
- Программно-аппаратное обеспечение 264
- Программы начального запуска 264
- Произведение 234
- Произведение сумм 81
- Процесс аналого-цифрового преобразования 367
- записи 268
- обработки 284
- Процессор центральный 233

## Работа микроЭВМ 296

- синхронная 144
- Разрешение 104
- Разряд самый младший 163
- старший 163
- с весом 1 в двоичном числе 40
- 2 в двоичном числе 40
- четности 310
- Распределители или дешифраторы 308
- Регистр команд 297
- последовательного приближения 364
- сдвига параллельный 8-разрядный 203
- двунаправленный 203
- кольцевой 195
- последовательный 193
- влево 201
- вправо 200
- проверка 204
- Регистратор торговых 20
- Режим работы 200
- хранения 141
- Резистивная схема 346
- Резистор ограничивающий 123
- последовательно включенный 27
- сдвига последовательный 193
- Робот 21
- RC-фильтр 329
- R-2R-схема лестничного типа 351
- RS-триггер 140
- тактируемый 143
- RS-фиксатор 142

## Сброс сигнала 141

- счетчика 339
- Светодиоды 130
- Селекторы данных 97, 308
- «1 из 8» 97
- «1 из 16» 99
- использование для решения задач на построение логических схем 97
- Семейство биполярных TTL-ИС 67
- КМОП-ИС 67
- Семисегментный индикатор на светодиодах 121
- Сигнал аналоговый 14
- гашения индикаторов 338
- синусоидальный 317

- цифровой 14
- Сигналы неопределенного логического уровня
  - 105
  - посторонние электрические 106
- Символ инвертора 54
- Система гибридная 344
- счисления 35
  - двоичная 35
  - с основанием 2 35
  - 10 35
  - 16 42
  - шестнадцатеричная 42
- Слова 256
- Сложение двоичных чисел 210
  - чисел со знаком 244
- Совместимость 66
- Способ дополнения до 1 223
  - сложения со сдвигом 237
  - циклического переноса 223
- Состояние покоя 141
- СППЗУ 268
- Средняя часть обозначения 69
- Средства проверки схем 187
- Стабилитрон 359
- Степень интеграции большая (большие ИС) 285
  - малая (малые ИС) 285
  - сверхбольшая (сверхбольшие ИС) 286
  - средняя (средние ИС) 285
- Стробирование 104
- Сумма произведений 81
- Сумматор-вычитатель 313
  - 4-разрядный 225
- Сумматор двоичный 8-разрядный 230
  - 3-разрядный 216
  - параллельный 217, 227
  - полный 214
  - двоичный 4-разрядный 229
  - проверка работоспособности 248
  - последовательный 227
  - 4-разрядный 225, 231
- Сумматоры, использование для вычитания 223
- Схема гашения нуля 322
  - из повторяющихся модулей 206
  - комбинационная логическая 79, 95, 140
  - логического типа 351
  - МОП БИС MM5314 для цифровых часов 320
  - на основе булева выражения 79
  - в конъюнктивной нормальной форме 81
  - четырех логических элементах И с двумя входами каждый 67
  - НЕ 52
  - сброса счетчиков 233
  - формирования прямоугольного сигнала 217
  - цифро-аналогового преобразователя 351
- Схемы из повторяющихся модулей 206
- Счетчик двоично-десятичный 354
  - декадный (десятичный) 167
  - делитель на 6 174, 336
  - 10 174
  - масштабируемый 320
  - накопитель 314
  - по модулю 10 166
  - 16 163
  - синхронный 168
  - декадный реверсивный 74, 192
  - со сквозным переносом 165
  - 3-разрядный (по модулю 8) 168
  - синхронный 170
  - циклического типа 172
  - 4-разрядный двоичный 176
- Счетчики асинхронные 166
  - вычитающие 172
  - самоостанавливающиеся 172
- Считывание 271
- Таблица истинности 49, 83, 250
  - для полного сумматора 214
  - полусумматора 212
- Таймер - ИС типа 555 26
- Тактовые импульсы 355
- Тахометр цифровой 19
- Термообогреватель 20
- Техника многократного сложения 237
- Транзисторно-транзисторная логика (ТТЛ) 22
  - входы с «плавающим» потенциалом Вых-СОКОВОГО уровня 128
  - ИС 7408 68
  - схемы на приборах с барьерами Шоттки 70
  - с высоким быстродействием 70
  - малой потребляемой мощностью 70
- Триггер 23
  - с задержкой 147
  - раздельными входами 142
- JK-триггер 149
  - в составе интегральной ТТЛ-схемы 150
  - типа ведущий/ведомый 157
- Триггеры, использование 155
  - с управлением по срезу тактового импульса 155
  - фронту тактового импульса 155
- ТТЛ-входы с «плавающим» потенциалом Вых-СОКОВОГО уровня 128
- ТТЛ-ИС 7408 68
- Увеличение числа входов 63
- Ультрафиолетовое стирание 268
- Управление 284
- Упрощение булевых выражений 87
- Уровни логические ТТЛ- и КМОП-схем 30
  - напряжения ТТЛ-схем 22
- Усилитель масштабируемый 346
  - операционный 346, 360
  - суммирующий 346, 352
- Установка в состояние 0 141
  - 1 141
  - быстрая 322
  - медленная 322
- Устройства запоминающие 294
  - интерфейсные 344
  - периферийные 293
- Устройство арифметическое 294
  - ввода 294
  - вывода 294

- параллельное сложения/вычитания 231
- суммирующее последовательного действия 227
- управляющее 294

Ферритовые сердечники 269

Фиксатор 23

Фиксация уровней 359

Форма кусочно-линейная 357

- передачи последовательная 306

- цифрового сигнала 22

Формирователи разрядные 324

- сегментные 324

Формирователь индикаторный 123

Хранение 84

Хранимая в памяти программа 292

Циклический перенос 223

Цикл сброса-счета-индикации 372

Цифро-аналоговый преобразователь (ЦАП) 344, 352, 353

Цифровая вычислительная машина с хранимой программой 293

- часть условного обозначения ИС 69

Цифровой вольтметр 359

- измеритель емкости 18

- измерительный прибор 16

- метеорологический прибор 20

- спидометр 19

- тахометр 19

Цифровые часы 19, 314

-- наручные 19

-- 6-разрядные 324

- ЭВМ 290

Частное 40

Частотомеры 18, 329

- промышленные 339

- экспериментальные 336

Четырехразрядное двоичное число 42

Числа в дополнительном коде 246

Шина адресная 294

- данных 294

Шина записи 269

Ширина импульса 318

- считывания 271

Шифратор 42

- 74147 231

- приоритетов 119

Электрически программируемые ПЗУ (ЭППЗУ) 268

Электронный замок, конструирование 85

Элемент логический универсальный 60, 104

- ТТЛ ИС 74125 тристабильный буферный

счетверенный 305

Элементы системы 284

# Оглавление

Предисловие редактора перевода	5
Предисловие редактора серии	7
Введение	8
Соблюдайте правила техники безопасности	10
Основные правила техники безопасности в электротехнике и электронике	11
<b>Глава 1. Цифровая электроника</b>	13
1.1. Что такое цифровая электронная схема?	13
1.2. Где применяются цифровые схемы?	16
1.3. Как получать цифровые сигналы?	22
1.4. Как контролировать цифровые сигналы?	27
<b>Глава 2. Числа, используемые в цифровой электронике</b>	35
2.1. Счет в десятичной и двоичной системах счисления	35
2.2. Вес разряда	36
2.3. Преобразование двоичных чисел в десятичные	38
2.4. Преобразование десятичных чисел в двоичные	40
2.5. Электронные переводчики	41
2.6. Шестнадцатеричные числа	42
<b>Глава 3. Двоичные логические элементы</b>	47
3.1. Логический элемент И	47
3.2. Логический элемент ИЛИ	51
3.3. Инвертор	52
3.4. Логический элемент И-НЕ	54
3.5. Логический элемент ИЛИ-НЕ	55
3.6. Логический элемент исключающее ИЛИ	57
3.7. Логический элемент исключающее ИЛИ-НЕ	58
3.8. Универсальный характер логического элемента И-НЕ	60
3.9. Логические элементы с числом входов больше двух	60
3.10. Использование инвертора для преобразования логических элементов	64

3.11.	Практические схемы на логических элементах семейства ТТЛ	66
3.12.	Поиск неисправностей в простых логических схемах	71
<b>Глава 4.</b>	<b>Применение двоичных логических элементов</b>	<b>79</b>
4.1.	Конструирование схем на основе булевых выражений	79
4.2.	Построение схемы на основе булева выражения в конъюнктивной нормальной форме	81
4.3.	Таблицы истинности для булевых выражений	83
4.4.	Пример решения логической задачи	85
4.5.	Упрощение булевых выражений	87
4.6.	Карты Карно	88
4.7.	Карты Карно с тремя переменными	90
4.8.	Карты Карно с четырьмя переменными	92
4.9.	Другие разновидности карт Карно	93
4.10.	Использование логики на элементах И–НЕ	95
4.11.	Способы упрощения логических задач	97
4.12.	Другие применения селектора данных	101
4.13.	Цифровые логические уровни	104
4.14.	Поиск неисправностей в простых схемах	107
<b>Глава 5.</b>	<b>Коды, шифраторы и дешифраторы</b>	<b>115</b>
5.1.	Двоично-десятичный код 8421	115
5.2.	Код с избытком 3	117
5.3.	Код Грея	118
5.4.	Шифраторы	119
5.5.	Семисегментные индикаторы на светодиодах	121
5.6.	Дешифраторы	124
5.7.	Дешифраторы-формирователи, преобразующие двоично-десятичный код в семисегментный	125
5.8.	Индикаторы на жидких кристаллах	130
5.9.	Поиск неисправностей в схемах с дешифраторами	134
<b>Глава 6.</b>	<b>Триггеры</b>	<b>140</b>
6.1.	RS-триггер	140
6.2.	Тактируемый (синхронный) RS-триггер	143
6.3.	D-триггер	146
6.4.	JK-триггер	149
6.5.	Интегральные схемы фиксаторов	152
6.6.	Запуск триггеров	155

<b>Глава 7. Счетчики</b>	<b>163</b>
7.1. Счетчики со сквозным переносом	163
7.2. Асинхронные счетчики по модулю 10	166
7.3. Синхронные счетчики	168
7.4. Вычитающие счетчики	171
7.5. Самоостанавливающиеся счетчики	172
7.6. Счетчики-делители частоты	174
7.7. Интегральные схемы счетчиков	176
7.8. Приборы для проверки последовательностных логических схем	181
7.9. Проверка счетчика	184
<b>Глава 8. Регистры сдвига</b>	<b>191</b>
8.1. Последовательные регистры сдвига	192
8.2. Параллельные регистры сдвига	194
8.3. Универсальный регистр сдвига	198
8.4. Применение регистра сдвига 74194	200
8.5. Проверка простого регистра сдвига	204
<b>Глава 9. Арифметические устройства</b>	<b>210</b>
9.1. Двоичное сложение	210
9.2. Полусумматоры	212
9.3. Полные сумматоры	213
9.4. 3-разрядные сумматоры	216
9.5. Двоичное вычитание	218
9.6. Параллельные вычитатели	221
9.7. Использование сумматоров для вычитания	223
9.8. 4-разрядные сумматоры-вычитатели	225
9.9. Суммирующие устройства последовательного действия	227
9.10. Интегральные сумматоры	229
9.11. Параллельные устройства сложения/вычитания	231
9.12. Двоичное умножение	233
9.13. Двоичные умножители	236
9.14. Запись, сложение и вычитание чисел, представленных в дополнительном коде	241
9.15. Сумматоры-вычитатели, работающие в дополнительном коде	246
9.16. Проверка работоспособности полного сумматора	248
<b>Глава 10. Запоминающие устройства</b>	<b>255</b>
10.1. Запоминающие устройства с произвольной выборкой (ЗУПВ)	256
10.2. Интегральные ЗУПВ	258

10.3.	Применение ЗУПВ	260
10.4.	Постоянные запоминающие устройства (ПЗУ)	263
10.5.	Применение ПЗУ	264
10.6.	Программируемые постоянные запоминающие устройства (ППЗУ)	268
10.7.	ЗУ на магнитных сердечниках	269
10.8.	ЗУ большой емкости для ЭВМ	275
10.9.	Память для микроЭВМ	276
<b>Глава 11.</b>	<b>Цифровые системы</b>	<b>284</b>
11.1.	Элементы системы	284
11.2.	Цифровая система на интегральной микросхеме	285
11.3.	Микрокалькулятор	286
11.4.	ЭВМ	290
11.5.	МикроЭВМ	293
11.6.	Работа микроЭВМ	296
11.7.	Дешифрация адреса в микроЭВМ	301
11.8.	Передача данных	306
11.9.	Обнаружение ошибок при передаче информации	310
11.10.	Сумматор-вычитатель	313
11.11.	Цифровые часы	314
11.12.	БИС для цифровых часов	319
11.13.	Практическая цифровая система – цифровые часы на БИС	324
11.14.	Частотомер	329
11.15.	Экспериментальный частотомер	336
<b>Глава 12.</b>	<b>Сопряжение цифровых и аналоговых устройств</b>	<b>344</b>
12.1.	Цифро-аналоговое преобразование	345
12.2.	Операционные усилители	347
12.3.	Основная схема цифро-аналогового преобразователя	349
12.4.	Цифро-аналоговые преобразователи лестничного типа	351
12.5.	Аналого-цифровой преобразователь	354
12.6.	Компараторы	358
12.7.	Цифровой вольтметр	359
12.8.	Другие типы АЦП	362
<b>Приложение А.</b>	<b>Некоторые другие параметры интегральных схем</b>	<b>371</b>
<b>Приложение Б.</b>	<b>МОП- и КМОП-схемы</b>	<b>374</b>
<b>Дополнение.</b>	<b>Отечественные аналоги американских микросхем, упоминаемых в книге</b>	<b>381</b>
<b>Предметный указатель</b>		<b>383</b>

## УВАЖАЕМЫЙ ЧИТАТЕЛЬ!

Ваши замечания о содержании книги, ее оформлении, качестве перевода и другие просим присылать по адресу:

129820, Москва, ГСП, 1-й Рижский пер., д. 2,  
изд-во «Мир».

УЧЕБНОЕ ИЗДАНИЕ

Роджерс Токкейм

### ОСНОВЫ ЦИФРОВОЙ ЭЛЕКТРОНИКИ

Зав. редакцией Ю. А. Кузьмин

Ст. научный редактор Е. И. Майкова

Мл. редактор Т. В. Ежкова

Художник В. А. Медников

Художественные редакторы М. Н. Кузьмина, О. Н. Адашкина

Технические редакторы А. Ю. Жигалова, Е. В. Алехина

Корректор Т. И. Стифеева

ИБ № 5933

Слаано в набор 12.03.87. Подписано к печати 26.01.88. Формат 70 × 100<sup>1</sup>/<sub>16</sub>. Бумага офсетная № 2. Печать офсетная. Гарнитура таймс. Объем 12,25 бум. л. Усл. печ. л. 31,85. Усл. кр.-отт. 63,70. Уч. изд. л. 26,02. Изд. N 8/4629. Тираж 100 000 экз. Зак. 284. Цена 2 р. 20 коп.

ИЗДАТЕЛЬСТВО «МИР» 129820, ГСП,  
Москва, И-110, 1-й Рижский пер., 2

Можайский полиграфкомбинат Союзполиграфпрома при Государственном комитете СССР по делам издательств, полиграфии и книжной торговли.  
143200, г. Можайск, ул. Мира, 93.













PROFESSIONAL PAPER  
PUBLISHED BY THE  
AMERICAN SOCIETY OF  
CIVIL ENGINEERS  
NEW YORK